

논문 2011-48TC-12-4

# 위상잡음 해석을 이용한 RSSI용 PLL 주파수합성기 설계

## ( Design of a PLL Frequency Synthesizer for RSSI Applications Using Phase Noise Analysis )

김 남 태\*, 정 재 한\*\*, 송 한 정\*\*\*

( Nam Tae Kim, Jae Han Jeong, and Han Jung Song )

### 요 약

본 논문에서는 위상잡음 해석을 이용하여 RSSI(receiver signal strength indicator)용 PLL 주파수 합성기를 설계한다. PLL의 위상잡음, 잠금시간(lock time) 및 스퍼(spur) 억제 능력은 루프 요소의 성능과 루프 필터에 의하여 결정되므로, 합성기의 요구 성능은 PLL 요소의 잡음 성능과 루프 전달함수를 최적화함으로써 구할 수 있다. 이의 응용 예로써, 2.288GHz에서 동작하는 RSSI용 PLL 주파수 합성기를 위상잡음 해석을 이용하여 설계하며, 실험을 통하여 설계의 타당성을 입증한다.

### Abstract

In this paper, a PLL frequency synthesizer for RSSI applications is designed by phase noise analysis. Required synthesizer performance is achieved by optimizing the noise performance of PLL components and a loop transfer function, since its phase noise, lock time, and spur suppression capability are determined by the performance of loop components and loop filter characteristics. As an application example, a PLL frequency synthesizer for RSSI applications, which operates at the frequency of 2.288GHz, is designed using the phase noise analysis. The validity of the design technique is proved by experiments.

**Keywords :** phase-locked loop; frequency synthesizer; phase noise; RSSI

## I. 서 론

RSSI는 통신시스템의 이득 조정, 핸드 오버(hand over) 및 전력 관리에 있어서 중요한 역할을 담당한다. RSSI의 입력 동적 범위는 그 성능을 결정하는 중요한 요소가 되며, 이를 적절히 유지하기 위해서는 수신기의 잡음을 최소화 할 필요가 있다. 통신시스템의 잡음을 결정하는 여러 요소 중, 국부발진기의 잡음은 가역 혼합(reciprocal mixing)에 의하여 수신기의 잡음으로 변

환되므로, 발진기의 신호는 낮은 위상잡음을 갖는 고순도의 신호로 합성해야 한다<sup>[1]</sup>.

PLL 기술은 발진기 신호를 낮은 위상잡음으로 합성하는 효과적인 방법이며, 이를 위하여 많은 연구가 수행되었다. [2~3]에서는 존 프리(zone-free) 위상-주파수 검출기, 제로 오프셋(zero-offset) 전하 펌프, 저잡음 주파수 분주기 및 저잡음 전압제어 발진기(VCO)에 대한 연구가 이루어졌으며, [4~5]에서는 루프 필터에 대한 연구도 수행되었다. 그러나 비교 주파수가 증가함에 따라 위상-주파수 검출기의 잡음은 증가하므로, 이를 개선하기 위하여 위상 검출기로서 혼합기 및 표본화 위상 검출기를 사용하는 방법도 제안되었다<sup>[6~7]</sup>. PLL을 설계하는 여러 방법 중, 위상잡음 해석은 합성기의 규격으로부터 PLL 요소들의 요구 성능을 용이하게 결정할 수 있는 방법이며, 이를 이용하면 주파수 합성기의

\* 정회원-교신저자, 인제대학교 전자지능로봇공학부  
(Dept. of Electronic Eng., Inje University)

\*\* 정회원, KDC R&D, Ethertronics Inc.  
(KDC R&D, Ethertronics Inc.)

\*\*\* 정회원, 인제대학교 나노공학부  
(Dept. of Nano Eng., Inje University)

접수일자: 2011년8월30일, 수정완료일: 2011년12월9일

성능도 효과적으로 예측할 수 있다<sup>[8]</sup>.

본 논문에서는 위상잡음 해석을 이용하여 PLL의 성능을 예측함으로써 요구 규격을 만족하는 RSSI용 주파수 합성기를 설계한다. 루프 전달함수는 루프 요소의 성능과 루프 파라미터(parameter)를 최적화함으로써 합성하며, PLL 요소들이 합성기의 잡음에 미치는 영향도 고찰한다. 이의 응용 예로써, 2.288GHz에서 동작하는 RSSI용 PLL 주파수 합성기를 설계하며, 실험에 의하여 설계의 타당성을 입증한다.

## II. PLL 잡음 모델

PLL 주파수 합성기의 잡음 모델은 그림 1과 같다.

PLL의 위상잡음은 루프 요소들의 잡음과 이의 전달함수에 의하여 결정된다. 그림 1에서 루프 전달함수는 다음과 같이 주어진다<sup>[9]</sup>.

$$G_{ol}(f) = G(f)H \quad (1)$$

$$G_{cl}(f) = \frac{G(f)}{1 + G(f)H} \quad (2)$$

여기서  $G_{ol}(f)$ 와  $G_{cl}(f)$ 는 각각 개루프(open loop) 및 폐루프(closed loop) 전달함수이다. 개루프 전달함수는 PLL의 루프 대역폭과 위상 여유도를 결정하며, 폐루프 전달함수는 기준 스퍼(reference spur) 감쇠 레벨을 결정한다. 식 (1)과 (2)에서  $G(f)$ 와  $H$ 는 다음과 같이 계산된다.

$$G(f) = \frac{K_{\phi} G_{PD}(f) Z_{LPF}(f) K_{VCO}}{j2\pi f} \quad (3)$$

$$H = \frac{1}{N} \quad (4)$$

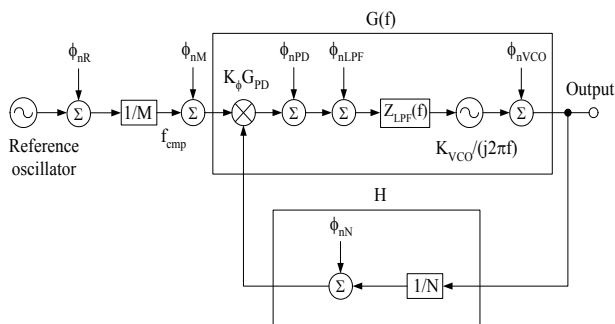


그림 1. PLL 주파수 합성기의 잡음 모델  
Fig. 1. Noise model of a PLL frequency synthesizer.

여기서  $K_{\phi}$ 는 위상 검출기의 이득,  $Z_{LPF}$ 는 저역통과 필터의 전달함수,  $K_{VCO}$ 는 VCO의 이득,  $N$ 은  $N$  분주기의 분주비를 나타낸다.  $G_{PD}(f)$ 는 위상 검출기의 전달함수로서 다음과 같이 주어진다<sup>[10]</sup>.

$$G_{PD}(f) = \frac{1 - e^{-j2\pi f/f_R}}{j2\pi f/f_R} \quad (5)$$

여기서  $f_R$ 는 기준 발진기(reference oscillator)의 주파수이다. 식 (1)~(5)로부터 위상 검출기의 전달함수는 오프셋 주파수(offset frequency)가 기준 주파수에 근접함에 따라 루프의 위상 여유도에 영향을 미친다.

### 1. 기준 발진기

PLL 설계에 있어서 기준 발진기의 위상잡음은 측정치를 이용할 수도 있다. 그러나 발진기의 경우에 있어서  $1/f$  근사는 위상잡음에 대한 유용한 모델이 된다. 이를 이용하면, 기준 발진기의 위상잡음은 PLL 출력에서 다음과 같이 된다<sup>[11]</sup>.

$$\sigma_{nR}(f) = \phi_{nR} \frac{G_{cl}(f)}{M} \quad (6)$$

여기서

$$\phi_{nR} = \frac{10^{P_{nR}/20}}{f/f_r} \quad (7)$$

이며,  $M$ 은  $M$  분주기의 분주비이다. 식 (7)에서  $\phi_{nR}$ 은 기준 발진기의 잡음 전압,  $P_{nR}$ 은 이의 잡음 전력(dBc/Hz),  $f_r$ 은 잡음 전력이 주어지는 주파수이다.

식 (6)에서 기준 발진기에 대한 위상잡음 전달함수는 저역통과 특성을 나타낸다. 따라서 PLL 출력에서 기준 발진기로 인한 위상잡음은 루프 대역에서는  $N/M$ 배로 증가하고, 대역 외에서는 감쇠되는 특성을 갖는다.

### 2. 위상 검출기

위상 검출기의 기저 위상잡음(phase noise floor)은 동작 주파수에 대하여 일정하게 모델링할 수 있다. 그러나 3상태 위상-주파수 검출기(tri-state phase-frequency detector)의 경우, 위상잡음은 비교 주파수에 따라 변화한다. 이를 고려하면 위상 검출기의 잡음 전력은 다음과 같이 주어진다<sup>[9]</sup>.

$$P_{nPD} = P_{1Hz} + 10\log f_{cmp} \quad (8)$$

여기서  $P_{1Hz}$ 는 위상-주파수 검출기의 1Hz 당 기저 위상 잡음(dBc/Hz)이며,  $f_{cmp}$ 는 검출기 입력에서의 비교 주파수이다. 검출기의 잡음으로 인한 PLL의 위상잡음은 다음과 같이 주어진다.

$$\sigma_{nPD}(f) = \phi_{nPD} \frac{G_{cl}(f)}{K_{\phi}} \quad (9)$$

$$\phi_{nPD} = 10^{P_{nPD}/20} \quad (10)$$

여기서  $\phi_{nPD}$ 는 위상-주파수 검출기의 잡음 전압이다. 식 (9)에서 위상 검출기로 인한 PLL 위상잡음은 루프 대역 내에서는  $N/K_{\phi}$ 배로 증가하며, 대역 외에서는 페루프 전달함수의 특성에 따라 감소한다.

### 3. 주파수 분주기

M 및 N 분주기의 잡음으로 인한 PLL 위상잡음은 다음과 같이 된다<sup>[7]</sup>.

$$\sigma_{nM}(f) = \phi_{nM} G_{cl}(f) \quad (11)$$

$$\sigma_{nN}(f) = \phi_{nN} G_{cl}(f) \quad (12)$$

여기서  $\phi_{nM}$  및  $\phi_{nN}$ 는 각각 M 및 N 분주기의 잡음 전압이다. 분주기로 인한 출력 위상잡음은 루프 대역에서는 N배로 증가하며, 대역 외에서는 페루프 전달함수의 특성에 따라 감소한다.

### 4. 전압 제어 발진기

PLL 설계에 있어서 VCO의 위상잡음도 측정치를 이용할 수 있다. 그러나 수학적 편의성을 위하여 이의 잡음 전압은 다음과 같이 모델링한다<sup>[11]</sup>.

$$\phi_{nVCO} = \frac{10^{P_{rVCO}/20}}{f/f_r} \quad (13)$$

여기서  $P_{rVCO}$ 는 주파수  $f_r$ 에서 주어지는 VCO의 잡음 전력(dBc/Hz)을 나타낸다.

PLL 출력에서 VCO로 인한 위상잡음은 다음과 같이 된다<sup>[9]</sup>.

$$\sigma_{nVCO}(f) = \phi_{nVCO} \frac{1}{1 + G_{ol}(f)} \quad (14)$$

식 (14)에서 VCO에 대한 위상잡음 전달함수는 고역 통과 특성을 나타낸다. 따라서 VCO로 인한 PLL의 위상잡음은 루프 대역에서는 감소하며, 대역 외에서는 출력 위상잡음에 그대로 전달된다.

## 5. 루프 필터

루프 필터(loop filter)는 주파수에 대한 위상잡음의 형태, 루프 잠금 시간 및 스퍼 감쇠 레벨을 결정한다. 본 논문에서는 루프 필터로서 수동 저역통과 필터를 생각한다.

### 가. 전달함수

PLL 설계에 많이 사용되는 2차 및 3차 저역통과 필터는 그림 2와 같이 주어진다.

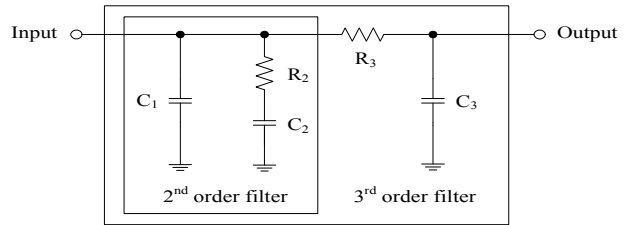


그림 2. 저역통과 필터

Fig. 2. Low-pass filter.

루프 필터는 전하 펌프의 전류를 전압으로 변환하므로, 이의 전달함수는 임피던스가 된다. 그림 2의 필터에 대하여 전달함수는 다음과 같이 유도된다.

$$Z_{LPF3}(f) = \frac{Z_{LPF2}(f)/(j2\pi f C_3)}{Z_{LPF2}(f) + R_3 + 1/(j2\pi f C_3)} \quad (15)$$

$$Z_{LPF2}(f) = \frac{1 + j2\pi f R_2 C_2}{j2\pi f (C_1 + C_2 + j2\pi f C_1 C_2 R_2)} \quad (16)$$

여기서  $Z_{LPF3}$ 은 3차 저역통과 필터의 전달함수이며,  $Z_{LPF2}$ 는  $R_3$ 과  $C_3$ 을 제외함으로써 얻어지는 2차 저역통과 필터의 전달함수이다.

그림 2의 루프 필터 소자값은 다음과 같이 주어진다<sup>[12]</sup>.

$$C_1 = \frac{K_{\phi} K_{VCO} \tau_1}{\omega_c^2 N \tau_2} \left( \frac{1 + \omega_c^2 \tau_2^2}{(1 + \omega_c^2 \tau_1^2)(1 + \omega_c^2 \tau_3^2)} \right)^{1/2}$$

$$C_2 = C_1 \left( \frac{\tau_2}{\tau_1} - 1 \right)$$

$$R_2 = \frac{\tau_2}{C_2}$$

$$R_3 = 2R_2$$

$$C_3 = \frac{\tau_3}{R_3}$$

$$\tau_1 = R_1 C_1 = \frac{\sec\phi_p - \tan\phi_p}{\omega_p}$$

$$\tau_2 = R_2 C_2 = \frac{1}{\omega_c^2(\tau_1 + \tau_3)}$$

$$\tau_3 = R_3 C_3 = \left( \frac{10^{A/10} - 1}{(2\pi f_{cmp})^2} \right)^{1/2}$$

$$\omega_p = 2\pi B_{loop}$$

$$\omega_c = \frac{\tan\phi_p(\tau_1 + \tau_3)}{(\tau_1 + \tau_3)^2 + \tau_1\tau_3} \left( \left( \frac{(\tau_1 + \tau_3)^2 + \tau_1\tau_3}{\tan^2\phi_p(\tau_1 + \tau_3)^2} + 1 \right)^{1/2} - 1 \right)$$

여기서  $\omega_c$ 는 3차 저역통과 필터에 대한 루프 대역폭이며,  $\phi_p$  및  $\omega_p$ 는 각각 2차 저역통과 필터에 대한 위상 여유도 및 루프 대역폭이다. 또한, A는  $R_3$ 과  $C_3$ 에 의하여 얻어지는 기준 스퍼 감쇠량(dB)이다.

#### 나. 잡음 전압

그림 2의 필터도 잡음을 발생하므로 PLL의 위상잡음도 이의 영향을 받게 된다. 축전기의 잡음은 저항의 잡음에 비하여 무시할 수 있으므로, 본 논문에서는 저항의 잡음만을 생각한다.

그림 2에서  $R_2$ 의 열잡음에 의하여 필터 출력에서 발생하는 전압은 다음과 같이 된다<sup>[11]</sup>.

$$\phi_{nR2}(f) = \frac{V_{nR2}Z_{R2,5}(f)}{Z_{R2,1}(f) + Z_{R2,5}(f)} \frac{Z_{R2,4}(f)}{Z_{R2,3}(f) + Z_{R2,4}(f)} \quad (17)$$

여기서

$$Z_{R2,1}(f) = R_2 + \frac{1}{j2\pi f C_2}$$

$$Z_{R2,2}(f) = \frac{1}{j2\pi f C_1}$$

$$Z_{R2,3}(f) = R_3$$

$$Z_{R2,4}(f) = \frac{1}{j2\pi f C_3}$$

$$Z_{R2,5}(f) = \frac{Z_{R2,2}(f)[Z_{R2,3}(f) + Z_{R2,4}(f)]}{Z_{R2,2}(f) + Z_{R2,3}(f) + Z_{R2,4}(f)}$$

$$V_{nR2} = (4kTR_2)^{1/2}$$

이다. 상기 식에서 k는 Boltzmann 상수, T는 절대 온도,  $V_{nR2}$ 는  $R_2$ 의 열잡음 전압을 나타낸다.

또한, 저항  $R_3$ 의 열잡음으로 인하여 필터 출력에서 발생하는 전압은 다음과 같이 주어진다.

$$\phi_{nR3}(f) = V_{nR3} \frac{Z_{R3,2}(f)}{Z_{R3,1}(f) + Z_{R3,2}(f)} \quad (18)$$

여기서

$$Z_{R3,1}(f) = R_3 + \frac{1/(j2\pi f C_1)[R_2 + 1/(j2\pi f C_2)]}{R_2 + 1/(j2\pi f C_1) + 1/(j2\pi f C_2)}$$

$$Z_{R3,2}(f) = 1/(j2\pi f C_3)$$

$$V_{nR3} = (4kTR_3)^{1/2}$$

이며,  $V_{nR3}$ 은 저항  $R_3$ 의 열잡음 전압이다.

한편, 저항의 잡음으로 인한 PLL 위상잡음은 험대역 FM으로 근사할 수 있으므로, PLL 출력에서의 위상잡음은 다음과 같이 된다<sup>[11]</sup>.

$$\sigma_{nR2}(f) = \frac{\beta_{R2}}{2} \frac{1}{1 + G_{ol}(f)} \quad (19)$$

$$\sigma_{nR3}(f) = \frac{\beta_{R3}}{2} \frac{1}{1 + G_{ol}(f)} \quad (20)$$

여기서

$$\beta_{R2} = \frac{\sqrt{2}\phi_{nR2}(f)K_{VCO}}{f}$$

$$\beta_{R3} = \frac{\sqrt{2}\phi_{nR3}(f)K_{VCO}}{f}$$

이며,  $\beta_{R2}$  및  $\beta_{R3}$ 은 각각 저항  $R_2$  및  $R_3$  잡음에 대한 변조지수이다. 식 (19) 및 (20)에서 저항의 열잡음으로 인한 PLL의 위상잡음은 루프 대역에서는 감쇠되고, 대역

외에서는 출력 위상잡음에 그대로 전달된다.

6. PLL 위상 잡음

PLL 구성 요소의 잡음들은 서로 관계가 없으므로, 총 위상잡음은 다음과 같이 된다<sup>[7]</sup>.

$$\sigma(f) = (|\sigma_{nR}|^2 + |\sigma_{nPD}|^2 + |\sigma_{nVCO}|^2 + |\sigma_{nM}|^2 + |\sigma_{nN}|^2 + |\sigma_{nR2}|^2 + |\sigma_{nR3}|^2)^{1/2} \quad (21)$$

식 (21)에서 위상잡음은 실효치로 표시되므로, 이의 대수 단위 표현식은 20log를 취함으로써 구할 수 있다.

III. PLL 주파수 합성기

본 절에서는 전 절의 PLL 잡음 모델을 이용하여 RSSI용 주파수 합성기를 설계한다. RSSI는 2.745GHz의 RF 주파수를 457MHz의 IF 주파수로 변환하며, 이를 대수 증폭기로 인가하여 전력을 측정한다. 따라서 RSSI의 국부발진 주파수는 2.288GHz로 설정하며, 국부 발진기는 PLL 주파수 합성기를 사용한다. RSSI용 주파수 합성기의 규격은 표 1과 같다.

표 1. 주파수 합성기의 규격  
Table 1. Specifications of a frequency synthesizer.

항목	규격
출력 주파수	2.288GHz
기준 주파수	10MHz
비교 주파수	2MHz
잠금 시간	< 0.25msec for 2MHz step variation
위상 잡음	< -80dBc/Hz @10kHz offset freq.

1. 설계

PLL 요소들의 요구 성능은 주파수 합성기의 성능에 대한 이들의 영향을 고찰함으로써 결정할 수 있다. 따라서 표 1의 규격을 만족하는 루프 전달함수는 식 (1), (2) 및 (21)에 의하여 PLL 요소의 성능과 루프 파라미터를 최적화함으로써 구할 수 있다. 루프 필터는 3차 저역통과 필터를 사용하며, R<sub>3</sub>과 C<sub>3</sub>에 의하여 제공되는 기준 스퍼 감쇠는 10dB로 설정한다. 식 (2)의 페루프 전달함수는 루프 잠금 시간을 고려하여 10kHz의 대역폭과 45°의 위상 여유도를 갖도록 합성한다. 전달함수의 합성에 있어서 PLL IC는 National Semiconductor사의 LMX2326, 기준 발진기와 VCO는 각각 Roswin사의

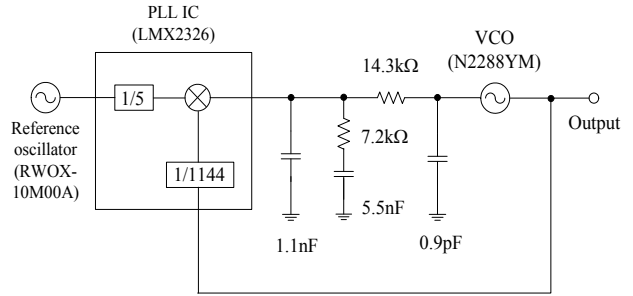
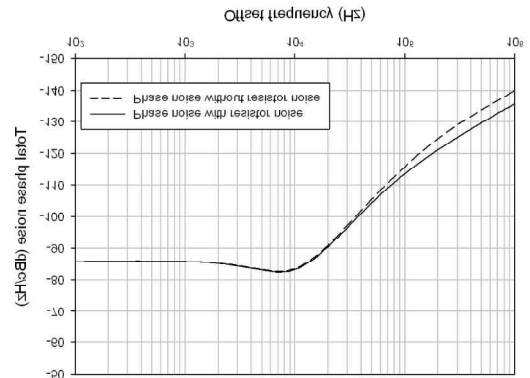
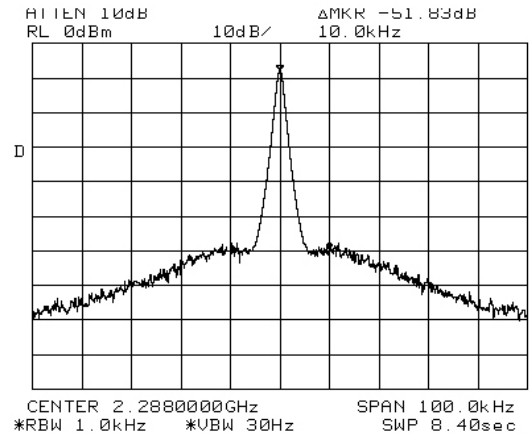


그림 3. 설계된 주파수 합성기  
Fig. 3. Designed frequency synthesizer.



(a)



(b)

그림 4. 주파수 합성기의 위상잡음  
(a) 계산치, (b) 측정치

Fig. 4. Phase noise of the designed frequency synthesizer: (a) calculated performance, (b) measured performance.

RWOX-10M00A 및 N2288YM을 사용하였다.

이상의 절차에 의하여 설계된 PLL 주파수 합성기는 그림 3과 같이 주어지며, 이의 위상잡음 특성은 그림 4와 같이 주어진다. 그림 4(a)에서 주파수 합성기는 10kHz의 오프셋 주파수에서 -82.0 dBc/Hz의 위상 잡음을

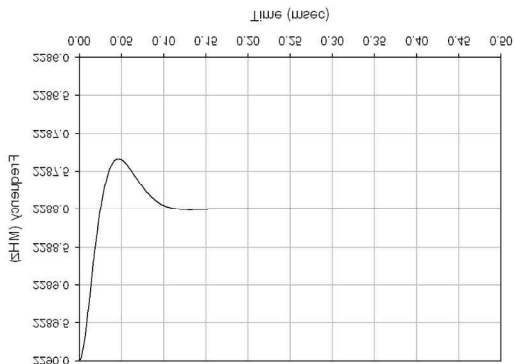
맞는다. 또한, 출력 주파수가 2.290GHz에서 2.288GHz로 변화했을 때, PLL 잠금 시간은 그림 5와 같이 주어진다. 그림 5(a)에서 출력 주파수가 1kHz 이내로 정착되는 데 걸리는 시간은 0.188msec이다.

2. 구현 및 실험

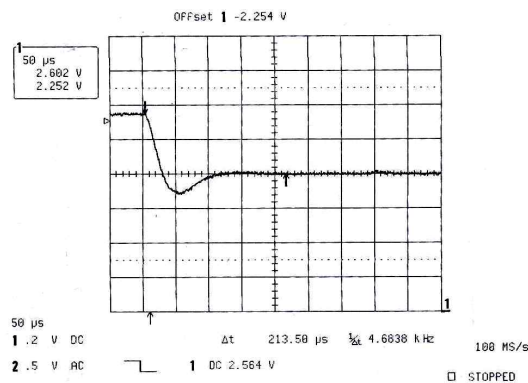
PLL 주파수 합성기는 두께 1.0mm, 비유전율 4.6의 유전체 기판을 사용하여 구현하였다. 또한, PLL IC는 Microchip사의 마이크로컨트롤러 PIC12F675로 제어하였다.

구현된 주파수 합성기의 성능은 그림 4(b) 및 5(b)와 같이 주어진다. 그림에서 합성기의 위상잡음은 10kHz의 오프셋 주파수에서 -81.83dBc/Hz로 측정되며, 루프 잠금 시간은 0.214msec로 측정된다. 따라서 합성기의 성능은 표 1의 규격을 만족한다.

구현된 합성기의 성능을 설계 성능과 비교했을 때,



(a)



(b)

그림 5. 주파수 합성기의 잠금 시간:

(a) 계산치, (b) 측정치

Fig. 5. Lock time of the frequency synthesizer:

(a) calculated performance, (b) measured performance.

위상잡음은 설계치보다 0.17dB만큼 크고 잠금 시간은 0.026msec만큼 길다. 합성기의 성능은 설계치에 근접하는 특성을 나타내므로, 위상잡음 해석에 의한 루프 전달함수의 합성은 PLL 주파수 합성기의 설계에 유용함을 알 수 있다.

IV. 결론

본 논문에서는 위상잡음 해석을 이용하여 요구 규격을 만족하는 RSSI용 PLL 주파수 합성기를 설계하였다. 루프 전달함수는 요구 성능을 기준으로 PLL 요소의 성능과 루프 파라미터를 최적화함으로써 합성하였다.

이의 응용 예로써, 2.288GHz에서 동작하는 PLL 주파수 합성기를 설계하였으며, 실험을 통하여 그 성능을 확인하였다. 이에 의하여 위상잡음 해석에 의한 루프 전달함수의 합성은 PLL 주파수 합성기의 설계에 유용하게 이용될 수 있음을 입증하였다.

참고 문헌

- [1] V. Valenta, et al., "Phase noise analysis of PLL based frequency synthesizers for multi-radio mobile terminal," in *Proc. of the Third Int. Conf on Cognitive Radio Oriented Wireless Networks and Communications*, pp. 15-17, Singapore, May 2008.
- [2] C. S. Vaucher, "An adaptive PLL tuning system architecture combining high spectral purity and fast settling time," *IEEE J. of Solid State Circuits*, Vol. 35, pp. 490-502, April 2000.
- [3] J. Maneatis, "Low-jitter process-independent DLL and PLL based on self-biased techniques," *IEEE J. of Solid State Circuits*, Vol. 31, pp. 1723-1732, Nov. 1996.
- [4] J. Lee and B. Kim, "A low noise fast-lock phase-locked loop with adaptive bandwidth control," *IEEE J. of Solid State Circuits*, Vol. 35, pp. 1137-1145, Aug. 2000.
- [5] 정 태식 외 4인, "GHz급 charge-pump PLL 응용을 위한 루프 필터 설계," *전자공학회논문지*, 제34권 C편, 제11호, 926-935쪽, 1997년 11월
- [6] X. Gai, et al., "A PLL with ultra low phase noise for millimeter wave applications," in *Proc. of the 40th European Microwave Conf.*, pp. 69-72, Paris, France, Sept. 2010.
- [7] A. Brilliant, "Understanding phase-locked DRO design aspects," *Microwave J.*, Vol. 42, pp.

22-42, Sept. 1999.

[8] A. Mehrotra, "Noise analysis of phase-locked loops," *IEEE Trans. Circuits and Systems*, Vol. 49, pp. 1309-1316, Sept. 2002.

[9] D. Banerjee, *PLL Performance, Simulation, and Design*, 3rd Ed., 2003.

[10] J. Blake, "Design of wideband frequency synthesizers," *RF Design*, Vol. 11, pp. 26-32, May 1988.

[11] L. Lascari, "Accurate phase noise prediction in PLL synthesizers," *Applied Microwave & Wireless*, Vol. 35, pp. 30-38, May 2000.

[12] W. Keese, "An analysis and performance evaluation of passive filter design technique for charge pump PLL's," *National Semiconductor Application Note AN-1001*, July 2001.

— 저 자 소 개 —



김 남 태(정회원)-교신저자  
 1986년 2월 한양대학교  
 전자공학과 졸업(공학사)  
 1988년 2월 한양대학교 대학원  
 전자공학과 졸업(공학석사)  
 1992년 2월 한양대학교 대학원  
 전자통신공학과 졸업  
 (공학박사)

1992년 6월 ~ 1995년 9월 한국전자통신연구소  
 선임연구원  
 2003년 8월 ~ 2005년 1월 Univ. of Maryland,  
 visiting scholar  
 1995년 10월 ~ 현재 인제대학교  
 전자지능로봇공학과 부교수  
 <주관심분야 : 각종 도파계와 복사계의 전자계  
 해석, 광대역 무선부품 설계 및 소자 모델링 등>



송 한 정(정회원)  
 1986년 2월 한양대학교  
 전자공학과 (공학사)  
 1988년 2월 한양대학교  
 전자공학과 (공학석사)  
 2000년 2월 한양대학교  
 전자공학과 (공학박사)

2004년 3월 ~ 현재 인제대학교 나노공학부 부교수  
 <주관심분야 : 반도체 소자 신뢰성 및 회로설계>



정 재 한(정회원)  
 2007년 2월 인제대학교  
 전자공학과 졸업 (공학사)  
 2009년 7월 인제대학교 대학원  
 전자정보통신공학과 졸업  
 (공학석사)  
 2009년 8월 ~ 현재 Ethertronics  
 Inc., KDC R&D  
 주임연구원

<주관심분야 : 통신, 안테나 및 무선부품 설계>