

부품내장기술을 이용한 통신기기용 패키징 소형화 기술동향

박세훈** | 김준철* | 박종철* | 김영호**

*전자부품연구원, **한양대학교

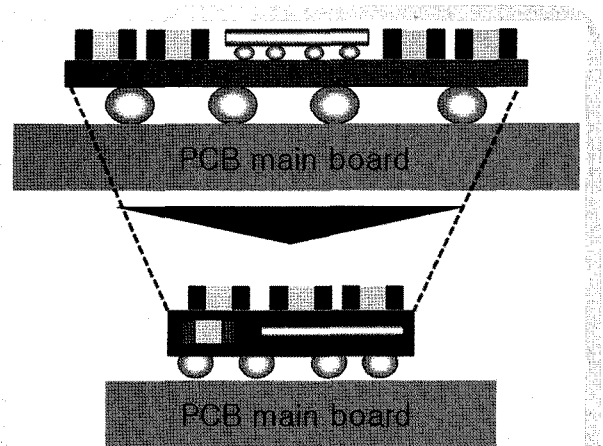
요 약

본고에서는 소형 고집적 이동단말기용 패키지를 위해 구현되고 있는 능/수동소자 내장형 패키지 기술에 대해 알아보고자 한다. 능/수동소자 내장형 패키지 기술은 IC 칩과 같은 능동 소자와 저항, 커패시터, 인덕터와 같은 수동소자 부품들을 패키지 기판 내부에 내장시켜 소형화를 추구함과 더불어 칩과 수동소자간의 접속 길이를 짧게 해서 전기적 성능을 향상시킬 수 있는 패키징 기술이다. 본 원고에서는 PCB기술에 기반을 둔 embedded active device 기술과 웨이퍼 레벨 패키징 기술에 기반을 둔 fan-out embedded wafer level package 기술 동향에 대해 서술하고 그 특징들을 비교 분석하였으며 이 기술들에 대한 동향을 살펴보고자 한다.

1. 서론

현재 스마트 폰으로 대표 되어지는 이동 단말기에는 DMB, 블루투스, WiFi, GPS 기능등이 내장되어 복합기능을 소지한 다양한 응용제품이 폭발적으로 출시되고 있다. 이런 휴대기기 기능의 진화에 따라 많은 수의 메인 칩과 주변 칩 부품들의 수가 증가하고 있어 이런 칩들을 얇고 작게 3차원적으로 패키징하는 기술의 중요성은 점점 커지고 있는 실정이다. 특히, 인쇄회로기판 상의 수동부품의 수는 IC의 고성능화와 휴대 전화단말기의 디지털 컨버전스의 경향과 함께 급증하고 있고 현재의 실장 인쇄회로기판에서는 수동부품

이 부품개수의 91%, 기판 표면적의 41%, 납땜 접속 개수의 29%를 점한다. 예를 들면 휴대폰 단말기의 경우 표면적의 약 50%가 수동부품으로 덮여있으나 제한된 표면실장 공간 내에서 요구되는 부품수는 계속 증가하고 있어 그 면적은 현재 한계에 부딪히고 있다. 이에 대한 해결책으로 능동소자 및 수동소자를 내장하는 Embedded Active and passive device의 개념이 등장하게 되었다.



(그림 1) 능/수동소자 내장형 패키지 기술 개요

이 기술은 종래의 다층 패키지 기판은 복잡한 회로를 3차원적으로 구성하고 기판 상층부에 0603, 0402 등의 소형부품을 실장하여 면적을 줄이고 있으나 부품내장기술은 (그림 1)과 같이 다수의 능동소자(칩)이나 Capacitor, Resistor 같은 수동부품을 기판내에 내장시켜 일괄 형성하는 기술로써 제한된 실장공간의 효율성을 높이고 실장밀도를 획기적으로

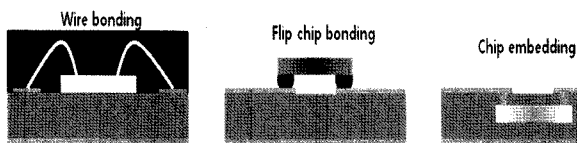
줄일 수 있으며 능동소자와의 배선 길이를 짧게 할 수가 있어 신호의 고속화에 기여할 수 있는 기술이다. 이중 칩을 기판에 내장시키는 기술은 COB(Chip on Board) 형태의 패키징 방법에 비해 기술적, 수율 향상 등의 해결해야 할 문제점이 있으나 칩을 기판내에 내장함으로써 아래 (그림 1)과 같이 칩이 내장된 패키지 자체가 interposer 역할을 하기 때문에 전체 두께를 얇게 할 수 있는 동시에 칩이 내장된 공간만큼 표면실장공간을 확보할 수 있어 보드위에 COB형태로 추가적인 패키징이 가능하다. 또한 각 부품들의 접속 길이가 짧아 성능면에서도 가장 우수한 방식으로 평가 되고 있다 [1-5]. 특히, RF칩의 경우 pin 수가 적고 가격이 저렴한 편이라서 수율에 대한 부담이 적으며 칩과 기판의 접속 길이를 짧게하여 성능을 대폭 향상시킬 수 있기 때문에 내장형 패키징 기술을 적용하기에 가장 적합하다고 할 수 있다. 따라서 본고에서는 부품내장형 패키징기술의 두 가지 대표기술인 PCB기반의 능동, 수동 소자 내장형 기술과 웨이퍼 레벨 기판에서의 칩 내장형 패키지 기술에 중점을 두어 살펴보고 시장에 진입하기 위해 해결해야 하는 문제점 및 그 특징들을 비교 분석하였다.

II. 본 론

1. 기술적 필요성 및 개념

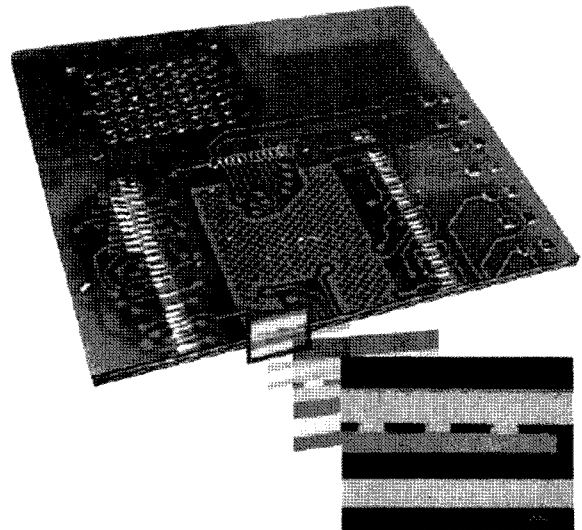
(그림 2)는 기존의 와이어 본딩, 플립칩 본딩 그리고 칩 내장형 패키지를 상호 비교한 그림이다. (그림 3)에서 보는 바와 같이 칩 내장형 패키지방법을 이용하면 와이어 본딩 방식보다 foot print를 줄일 수 있을 뿐만 아니라 플립칩 본딩 방식보다도 전체 모듈의 두께를 줄일 수 있어 앞서서도 언급했듯이 추가적으로 표면 활용도를 높일 수 있게 된다.

이와 같이 칩내장형 패키지를 구현하는 기술은 크게 두 가

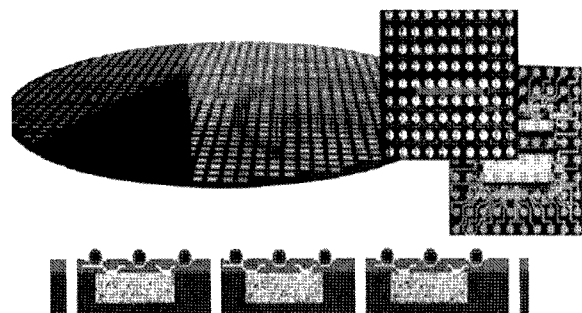


(그림 2) 와이어본딩, 플립칩 본딩, 칩내장형 패키지의 비교도

지의 기술로 구분할 수 있다. 하나는 기존의 PCB기판 공정 기술에 기반을 둔 embedded active PCB 기술이고 나머지 하나는 wafer 패키징 공정 기술에 기반을 둔 fan-out wafer level packaging 기술이다. PCB기판 공정기술에 기반을 둔 칩 내장형 패키지는 아래 (그림 3)처럼 PCB substrate소재로 쓰이는 pre-preg나 폴리머 필름을 절연층으로 사용하고 층간 및 칩과 기판을 구리도금 공정을 이용하여 접속시키는 기술이다. 본 기술은 PCB기판공정 기술 및 장비를 그대로 사용하기 때문에 대량생산이 용이하고 공정단가가 낮은 장점이 있으나 칩을 handling하는 경험부족, 미세라인 구현의 한계, PCB자체기술에서 오는 수율(통상 95~97%) 극복이 가장 큰 문제로 작용하게 된다. 반면 wafer level 패키징 기술에 기반을 둔 FOEWLP(fan-out embedded wafer level



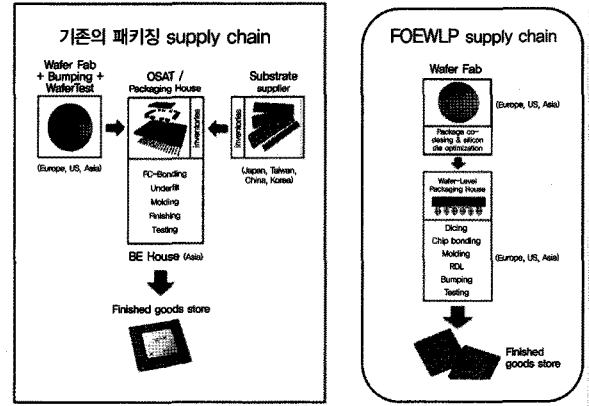
(그림 3) PCB공정 기술에 기반을 둔 칩내장형 패키지 기술



(그림 4) FOWLP 기술 및 칩 배치도

packaging) 기술은 wafer 상태에서 칩을 날개로 dicign하여 분리한 다음 일정간격으로 재배치 시킨 다음 아래 (그림 4)와 같이 원래의 칩 영역보다 크게 배선을 형성시키는 기술이다. 기존에는 90nm의 wafer 공정에서는 fan-in 방식의 wafer level 패키징 (칩 면적 내에서 배선을 형성시키는 패키징 방법)을 주로 사용해왔으며 65nm 공정에서는 중간에 interposer를 사용하여 플립칩 방식으로 패키징을 해왔으나 점차 45nm 공정으로 기술이 발달함에 따라 동일 웨이퍼상에 칩 크기가 작아져 더 이상 fan-in 공정으로 배선들을 재배치 시키기가 어렵고 추가적으로 더욱 작아진 칩들을 패키징하는 interposer의 대응이 어렵기 때문에 FOEWLP 기술이 등장하게 되었다. 이는 FOEWLP 자체가 interposer의 역할을 하기 때문에 추가적인 interposer가 필요 없어 45nm 공정의 웨이퍼 패키징도 쉽게 대응될 뿐 아니라 아래 (그림 5)와 같이 패키징 업체에서 칩과 기판을 각각 따로 공급받아 패키징하는 구조와는 달리 supply chain 자체가 매우 간단하게 형성되어 cost 절감도 가능하기 때문이다.

능/수동소자 내장형 기술을 구현하기 위한 PCB 공정 기반 기술과 웨이퍼 기반 기술의 경우 추구하는 패키지의 구조가 유사하지만 산업기반기술에서 오는 장단점이 있어 상호 보완하는 구조로 기술이 발전할 것으로 예상된다. 아래 <표 1>에 두 가지 기술을 비교하였다.



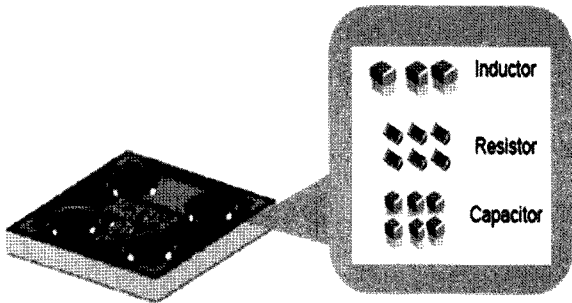
(그림 5) 일반 패키징과 FOEWLP의 supply chain

또한, SOC(system on chip) 기술의 경우 서로 다른 공정기반의 Chip들을 하나의 chip에 구현(monolithic chip)한 것인데 이 경우 RF쪽은 기존보다 높은 주파수 대역의 분포소자 (Resonator, Stripline, 매칭 Stub) 등과 높은 Q값의 R, L, C를 필요로 하기 때문에, 반도체 기반의 IP 분배 기술만으로는 해결이 불가능하다.

따라서 이러한 Embedded RF 기술(RF Part를 시스템 board에 내장하는 SOP 기술)이 있어야, 진정한 의미의 집적도가 높은 Mixed Signal(RF+Digital) system의 구현이 가능하다. 현재 3차원 패키징 방법으로는 기존에는 POP(Package on Package) 형태로 진행이 되어 왔으나 두께와 방식의 표준화

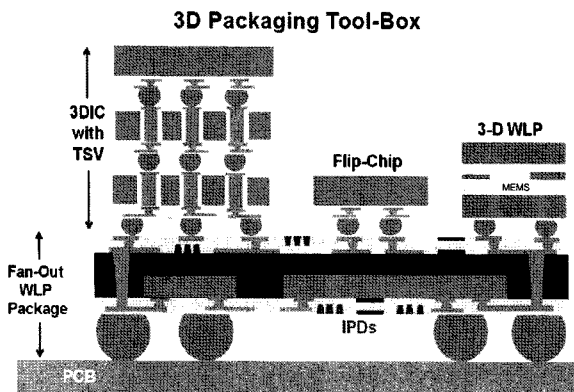
<표 1> 능/수동소자 내장형 패키지 기술에 대한 PCB기반 기술 및 wafer 기반기술 비교

	PCB기반 능/수동소자 내장기술	Wafer 기반의 능/수동소자 내장기술
칩 handling infra	미흡	우수
Process cost	매우 낮음(working size=500x400mm)	낮음(working size=200~300mm)
Material cost	낮음(절연층 ; pre-preg, ABF)	보통(절연층 ; 폴리이미드, ABF)
Supply chain	다소 복잡	간단함
수율	보통(70~90% 전후)	85~95%
다층 공정	양면 4~6층	양면 다층구조 어려움
배선 밀집도 및 I/O	30 μ m / 400 pitch	10 μ m / 200 pitch
Warping 및 방열	보통	미흡
Package size limitation	없음	12mm x12mm 이하
Passive embedding	SMT, IPD embedding	IPD embedding



(그림 6) NXP의 내장형 IPD 모듈

등의 문제로 PIP(Package in Package), TSV(Through Si Via) 등의 새로운 기술 개발이 이루어지고 있으며 이러한 기술들은 Active device의 3차원 integration만을 위한 기술로 Passive integration에 대한 solution을 제공치 못하고 있는 실정이다. TSV기술의 경우 동일한 칩을 적층하여 3차원 적으로 연결하는데는 매우 유용한 기술이나 이종 칩의 적층은 다소 어려운 점이 있다. 따라서 이종 device와 수동소자를 3차원적으로 interconnection하기 위한 새로운 패키징 방법으로 사용되는 기술이 능/수동 소자 내장형 패키지 기술이다. 능/수동소자 집적 및 내장화를 이용한 3D 패키지 기술은 좀더 low profile 패키지를 구현하기 위해서는 수동소자의 경우 (그림 6)과 같이 SMT 형 수동소자는 Thin film을 이용한 IPD기술로 대체하면 이종 디바이스와 수동소자들을 하나의 platform으로 구현 할 수 있게 된다. 그러나 이런 능/수동 소자 내장형 패키지와 TSV 등의 3차원 패키징 기술과 SOC기술들은 서로 대립되어 경쟁하는 구도가 아니라 최종적으로



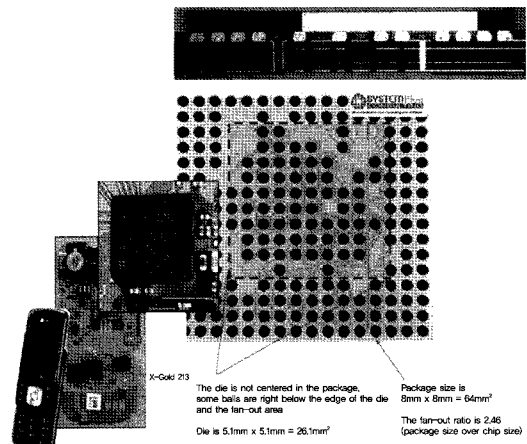
Source: Yole Développement, Embedded WLP - 2010 Report

(그림 7) 최종적인 3차원 패키징 모식도

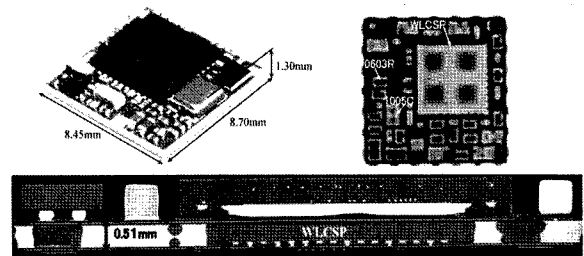
는 (그림 7)과 같이 각 기술을 상호 보완하여 최종적으로는 능/수동 소자 내장형 패키지 위에 TSV를 비롯한 모든 3차원 패키징방법이 하나의 패키지로 구현되는 것이다.

2. 기술개발 동향 및 적용 사례

현재 능/수동소자 내장형 패키지 기술은 주로 소형화가 필요한 스마트폰을 중심으로한 이동단말기에 적용하기 위해 많은 노력들이 기울어지고 있다. 특히 RF단을 소형화하기 위해 첫 번째로 FOEWLP기술을 적용한 예가 2009년 Infineon이 wireless baseband SOC칩을 사용하여 소형화시킨 사례가 있다. 이 기술은 LG전자 단말기에 적용하였으며 2010년에 Nokia 에도 같은 기술이 적용되었다고 보고된 바 있다 [6]. 사용된 baseband의 칩 크기는 5.1mm x 5.1mm이며 fan-out된 패키징 크기는 8mm x 8mm 이다. 패키징된 칩은 (그림 8)과 같이 interposer 없이 단말기 main 보드에 직



(그림 8) Infineon의 FOWLP 기술을 이용한 baseband IC 내장형 패키지



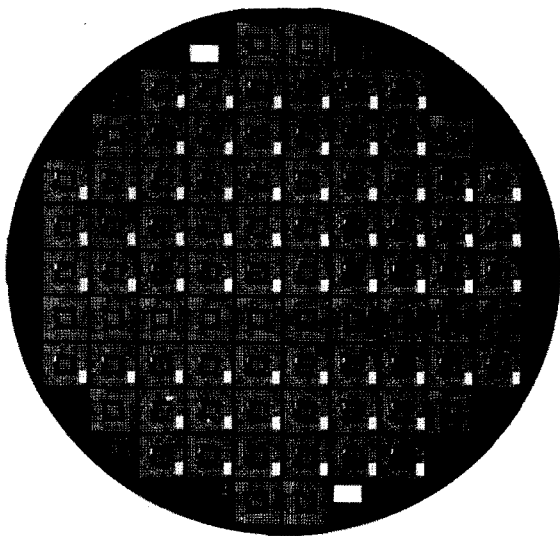
(그림 9) CSR사의 wireless chip을 내장한 Embedded organic module; Taiyo Yuden

집 실장 되었다.

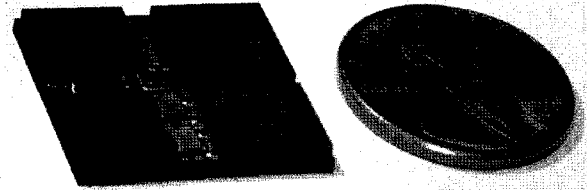
또 다른 예는 wireless chip 전문 제작 업체인 CSR은 일본의 Taiyo Yuden과 제휴하여 Bluetooth, GPS 그리고 WiFi칩을 하나의 패키지로 integration하는 RF embedded SiP module을 개발하였다. 이 RF SiP 모듈은 CSP(chip scale packaging)로 패키징된 wireless 칩 한 개가 내장되고 그 위에 다른 wireless chip set이 on board 형태로 제작되어 (그림 9)와 같이 8.45mm x 8.7mm 크기에 총 두께가 1.3mm로 소형화 되었다. 이 기술은 PCB기반 기술로 제작되었으며 EOMINTM(embedded organic module involved with nanotechnology) 으로 소개되었다 [6].

Free scale에서는 RCP(redistributed chip package) 라는 대표적인 FOEWLP기술을 개발하고 스테츠칩팩과 같은 전문 패키징 업체와 기술제휴를 체결하여 제품화를 진행하고 있다. 이 기술은 (그림 10)과 같이 200mm 웨이퍼 기술에 먼저 적용되었으며 각 패키지는 208개의 IO를 가지고 있다. Free scale에서는 이 기술을 이용하여 (그림 11)와 같이 메모리, PMU(power management unit), baseband, RF transceiver, PA(power amplifier)가 포함된 GSM EDGE Radio in package 모듈을 개발하였다. [7]

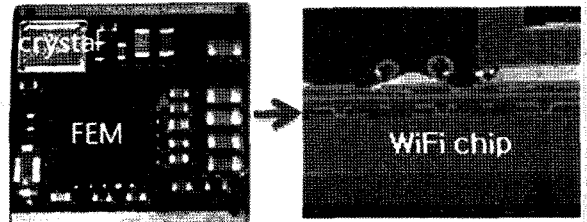
국내에서는 삼성전기, 코리아 씨키트 등이 PCB기반기술



(그림 10) 200mm 기반의 RCP(FreeScale)



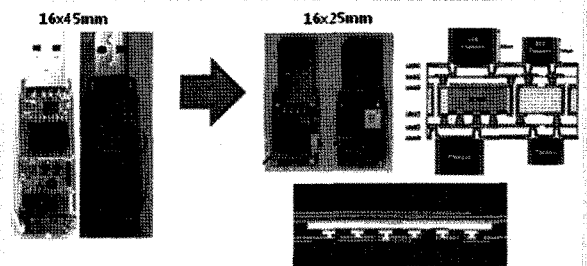
(그림 11) GSM EDGE Radio in package 모듈(Free Scale)



(그림 12) WiFi 칩 내장형 패키지 모듈(전자부품연구원)

을 이용한 칩 내장형 기판모듈을 개발하고 있으며 전자부품연구원에서는 (그림 12)과 같이 CSR사의 WiFi 칩이 내장된 triple band용 SiP모듈을 개발하고 있다.

스마트폰 외에 통신모듈에 적용된 다른 적용 사례는 FM transmitter가 장착된 USB 그리고 RF ID가 있다. 일본의 IBIDEN에서는 (그림 13)과 같이 FM transmitter가 장착된 USB 모듈에 3.3 x 3.3mm 크기의 칩을 PCB에 내장시켜 기존의 크기를 반으로 줄인 모듈을 선보였다 [6]. RF ID 응용제품의 경우 NXP, AT&T, RF-ID 등의 기업에서는 (그림 14)과 같이 RF ID칩을 칩 내장 패키지 기술을 이용하여 제품을 개발하고 있다고 보고되었다 [6]. RFID칩의 경우 I/O pin수가 작아 수율 문제에 대한 문제가 적고 칩 가격이 비교적 저렴한 반면 패키징에 대한 마땅한 solution이 없어 칩 내장기술이 적용되기 좋은 사례라고 볼 수 있다.

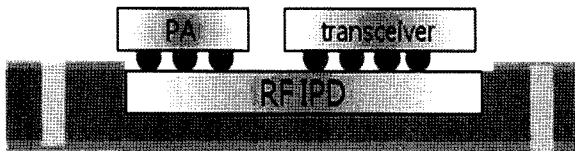


(그림 13) FM transmitter 가 장착된 USB 모듈



(그림 14) 칩 내장 패키지 기술을 이용한 RF ID

수동소자의 경우 표면 실장형 R,L,C와 같은 수동소자들을 박막공정을 이용하여 IPD로 구현한 다음 패키징 기판에 내장시켜 박형화를 구현할 수 있다. 최근에는 아래 (그림 15) 과 같이 RF SiP모듈을 구현하기 위해 Balun, filter 등과 같은 수동부품을 IPD를 기판에 내장시킨 다음 그 위에 직접 RF transceiver IC와 PA를 실장시켜 패키징 두께를 얇게 구현할 수 있는 구조로 개발될 것으로 예상된다.



(그림 15) IPD를 내장한 RF module 모식도

III. 결 론

본고에서는 박형화와 소형화를 구현할 수 있는 능/수동 소자 내장형 패키징 기술에 대해 알아 보았다. 본 기술은 산업 기반 기술로 분류하였을 때 앞에서도 언급했듯이 PCB기반의 능/수동소자 내장기술과 웨이퍼 기반의 능/수동소자 내장형 기술로 구분될 수 있다. 그러나 많은 기술적인 장점에 불구하고 시장이 크게 형성되지 못하는 이유는 첫째, 패키징 업체에서 실제 IC를 구하기 어렵기 때문이며 둘째는 PCB 기반기술의 경우 기본적으로 안고 있는 수율 극복 문제가 시장진입의 걸림돌로 작용되고 있다. 따라서 칩 제작 업체와 패키징 업체의 기술적 제휴가 필요하며 향후 이 분야의 기술은 PCB기반기술의 경우 공정 수율 문제로 discrete형 수동소자, IPD 혹은 IO pin수가 적은 IC 를 내장하여 상품화 하는 방향으로 먼저 시장이 성숙될 것으로 예상된다. 반면

IO Pin 수가 많은 IC는 웨이퍼 기반기술로 패키징 될 것으로 예상되며 웨이퍼 레벨 기반기술의 경우 공정 cost를 낮추기 위해 200mm에서 400mm까지 웨이퍼 크기를 키우는 방향으로 진행될 것이다. 또한 능/수동소자 내장형 패키지 기술은 이중 디바이스를 3차원 적으로 패키징 할 수 있는 기술이기 때문에 다른 패키징 기술과 상호 보완하며 개발될 것이다. 본 기술은 패키지 모듈자체를 flexible하게 구현할 수 있는 유일한 기술이기 때문에 향후 에는 인체 부착 형 바이오센서 칩 모듈, 센서에서 얻은 정보를 송신하는 flexible 통신 모듈, 3차원 flexible 디스플레이 모듈 같은 여러 분야로 적용 영역이 확대될 것으로 보인다.



- [1] Ray Fillion, Chareks Woychik et al, "Embedded Chip Build-UP Using Fine line Interconnect", 56th Electronic Component and Technology Conference, pp 49~53 (2007)
- [2] C.E Bauer, Ph.D & H.J. Neuhaus, Ph.D., "Embedded Chip Build-Up a Wafer-Level Packaging Environment", 56th Electronic Component and Technology Conference, pp 1308~1312 (2007)
- [3] Ostmann, A. et al, "Strategies for Embedding of Active Components", International Microsystems, Packaging, Assembly Conference Taiwan, (2006) p.1-4
- [4] R. Tuomminen et al, "A Novel IMB Technology for Integrating Active and Passive Components", proc. of 4th Adhesive Joining and Coating Technology in Electronics Manufacturing International conference (2000), p. 269-273
- [5] Palm, P et al, "Embedding active components inside printed circuit board (PCB) - a solution for miniaturization of electronics", proc. Of International Symposium on Advanced Packaging Materials, (2005), p.1-4
- [6] Yole developement, "Embedded wafer-level packages

(Fan-out WLP/ Embedded die in PCB)” 2010, p.40-161

- [7] Beth Keser, Craig Amrine et al., “Advanced packaging; the redistributed chip package”, IEEE TRANSACTIONS ON ADVANCED PACKAGING, VOL. 31, NO. 1, p.39-43(2008)

약 력



1999년 한양대학교 공학사
 2002년 한양대학교 공학석사
 2002년 ~ 2005년 LG전자 주임연구원
 2006년 ~ 현재 전자부품연구원 패키징센터 선임연구원
 관심분야 : 모바일용 소형 패키지/통신 부품

박 세 훈



1991년 서강대학교 이학사
 1993년 서강대학교 공학석사
 1998년 서강대학교 공학박사
 1996년 ~ 현재 전자부품연구원 패키징연구센터 수석연구원
 관심분야 : RF Front End Module, Embedded Passive, System on Package

김 준 철



1990년 서울대학교 금속공학과 공학사
 1992년 서울대학교 금속공학과 공학석사
 1991년 서울대학교 금속공학과 공학박사
 1992년 ~ 1992년 한국과학기술연구원(KIST) 선임연구원
 1992년 ~ 현재 전자부품연구원 패키징연구센터 수석연구원
 관심분야 : 패키징, 통신용 수동부품, RF 모듈

박 중 철



1978년 서울대학교 금속공학과 공학사
 1980년 서울대학교 금속공학과 공학석사
 1985년 UC Berkeley 금속공학과 공학박사
 1985년 미국 Lawrence Berkeley National Lab, 연구원
 1985년 ~ 1987년 미국 IBM T.J.Watson Research Center
 선임연구원
 1987년 ~ 1991년 한국과학기술연구소(KIST) 선임연구원
 1991년 ~ 현재 : 한양대학교 공과대학 신소재공학부 교수

김 영 호