

Mobile Application을 위한 All Digital Phase-Locked Loop 연구 동향

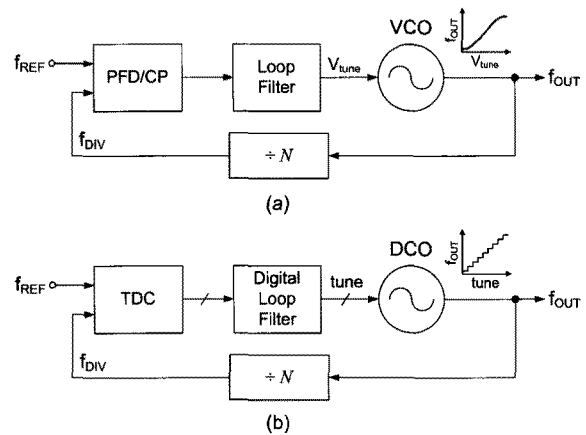
신재욱 | 신현철
광운대학교

요 약

CMOS 집적회로기술의 발달로 인해 디지털회로는 속도향상 소모전력 감소로 성능이 매우 많이 향상되었지만, Analog/RF 회로는 동작전압감소, 공정변화심화 등으로 인해 심각한 성능저하가 나타나고 있다. 이에 기존의 전하펌프 기반 아날로그 PLL에 대한 대안으로 All Digital PLL (ADPLL) 이 개발되고 이미 상용제품에 적용되고 있다. 하지만 그 성능은 데이터변환 회로인 TDC와 DCO의 제한된 해상도로 인해 개선이 많이 필요하다. 이 두 회로는 ADPLL의 성능에 가장 큰 영향을 미치므로 본 논문에서는 지금까지 발표된 TDC와 DCO 구현사례를 중심으로 ADPLL의 연구개발동향을 살펴보고자 한다.

1. 서 론

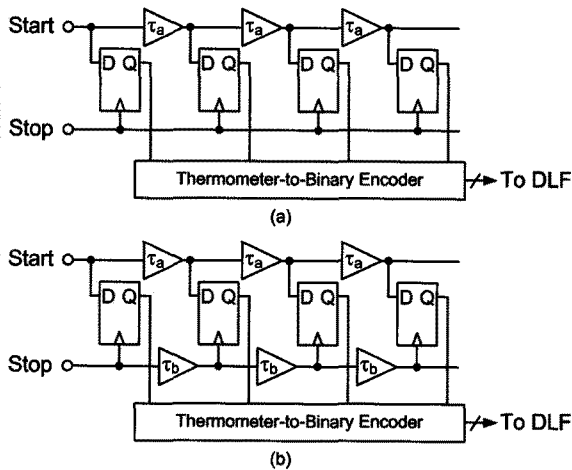
CMOS 집적회로기술의 미세화는 동작전압감소, 공정변화심화 등을 야기하고 있으며, 이는 Analog/RF회로 설계에 큰 어려움이 되고 있다. 따라서 Analog/RF 회로에 디지털회로를 부가적으로 적용하여 성능을 향상시키거나, Analog/RF 회로구조를 디지털 구조로 대체하는 연구들이 지속적으로 발표되었다 [1][2]. 특히 Phase-Locked Loop(PLL) 주파수합성기는 통신시스템에서 무선통신 중심 신호를 발생하는 매우 중요한 구성요소회로인데, 기존에는 전하펌프(Charge Pump : CP)를 기반으로 구성된 Analog PLL을 주로 사용하



(그림 1) (a)일반적인 전하펌프 PLL 구조도, (b)All digital Phase-Locked Loop의 구조도

였다 (그림 1(a)). 하지만 전하펌프 및 전압조정발진기 (Voltage Controlled Oscillator : VCO) 등의 Analog 회로의 특성은 CMOS공정이 나노 스케일로 미세화 될수록 통신시스템에서 요구하는 성능을 얻기가 힘들어진다. 따라서 이에 대한 대응방안으로 All Digital PLL(ADPLL)이 개발되었다 [3]. (그림1(b))는 ADPLL의 구조도이다. ADPLL에서는 Time-to-Digital Converter(TDC)가 전하펌프 PLL의 Phase-Frequency Detector(PFD) 및 Charge Pump(CP)를 대신한다. Analog Loop Filter는 Loop 특성을 쉽게 제어할 수 있는 Digital Loop Filter(DLF)로, 그리고 VCO는 불연속적인 주파수 특성을 가지는 Digitally Controlled Oscillator(DCO)로 대체된다.

ADPLL의 성능에 큰 영향을 미치는 회로들은 데이터 변환을 수행하는 TDC와 DCO이다. 이러한 데이터 변환 회로들



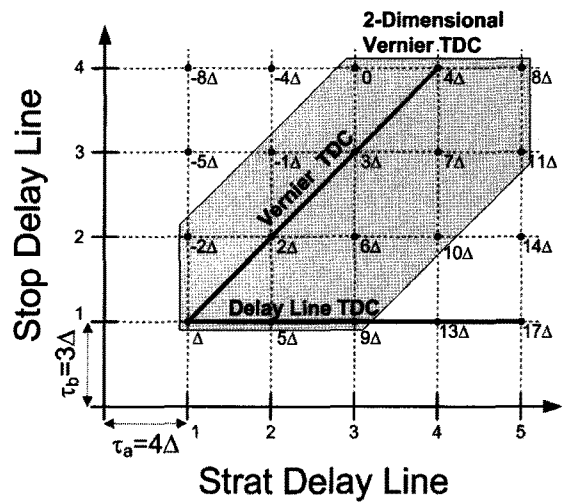
(그림 2) (a)Delay line TDC, (b)Vernier delay line TDC [6]

의 양자화 오차는 PLL 위상잡음 및 Spurious Tone으로 나타나기 때문에 TDC와 DCO의 해상도를 향상시키는 것이 ADPLL의 설계에서 매우 중요한 이슈가 된다. TDC는 기준 신호(f_{ref})와 개환신호(f_{div})의 위상차이를 디지털 값으로 변환한다. 이 때 해상도가 높을 수록 ADPLL의 위상잡음이 좋아진다 [4]. DCO는 디지털코드를 주파수로 변환하는 회로로써, 단위 코드당 주파수 변화가 작을수록 좋은 PLL 출력 성능을 얻을 수 있다 [5].

본 고에서는 주로 Mobile Application에 대해 연구 개발이 활발하게 이루어지고 있는 ADPLL의 연구 동향에 대해서 TDC와 DCO를 중심으로 살펴보고자 한다.

II. Time-to-Digital Converter

ADPLL에 사용하는 TDC는 Vernier Lines [6], 2-Dimensional Vernier Lines [7], Time Amplification TDC [8], Parallel Delay Line TDC [9], 그리고 Noise Shaping TDC [10] 등이 발표되었고 최근에는 TDC 대신에 Digital-to-Time Converter [11][12]를 기반으로 하는 ADPLL이 발표되었다. 그 외에도 여러 가지 방식이 개발되었지만, 본 고에서는 위에 서술한 TDC 구현 기술들을 중심으로 살펴보겠다.

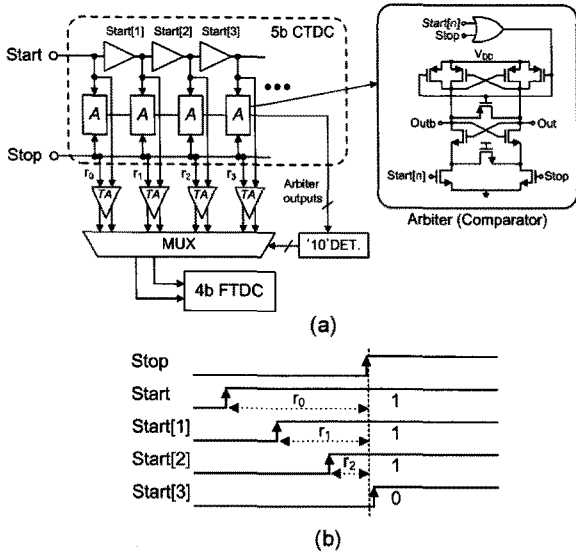


(그림 3) Delay line TDC, Vernier TDC, 그리고 2-dimensional Vernier TDC의 양자화 레벨 비교 [7]

1. Vernier TDC

(그림 2(a))는 가장 기본적인 형태의 Delay Line TDC를 보여준다. Delay Line TDC는 τ 의 시간지연을 가지는 버퍼들로 구성된 Delay Line과 각 버퍼의 입력 단에 연결된 시간비교기(D Flip-Flop)들로 구성된다. Start신호가 먼저 Delay Line에 인가된 후 Stop신호가 인가되면, τ 의 시간 해상도로 Start와 Stop 신호의 시간 차이가 Thermometer Code로 출력된다. Thermometer Code는 Encoder를 거쳐서 Binary Code로 변환된 후 DLF로 입력된다. 이 방식의 가장 큰 단점은 해상도가 단일 버퍼의 시간지연(τ)로 제한된다는 것이다. 일반적으로 CMOS공정에서 Inverter하나의 시간지연이 10 pico-second 이상인 것을 감안하면, 정교한 해상도를 얻기에는 적합하지 않은 방식이다.

(그림 2(b))는 Vernier TDC의 구조이다 [6]. 위 회로에서 τ_b 가 τ_a 보다 크게 설계된 경우에 해상도는 $\tau_b - \tau_a = \Delta$ 가 된다. Start 신호가 인가 된 후 Stop신호가 입력되면, τ_b 가 τ_a 보다 작기 때문에 어느 지점에서는 DFF의 CLK단자에 신호가 먼저 도착할 것이다. 이때 DFF의 출력 값을 Thermometer Code로 읽어 내면, 시간차이의 측정이 완료된다. 이 방식은 τ_a 와 τ_b 의 지연시간에 따라 해상도를 조절 할 수 있기 때문에 수 pico-second의 정교한 해상도를 얻을 수 있다. 하지만, 측정 범위를 넓히기 위해서는 매우 긴 Delay Line이 필요하게 된다. Delay Line은 부정합, 온도변화 등에 취약하기 때문에 이



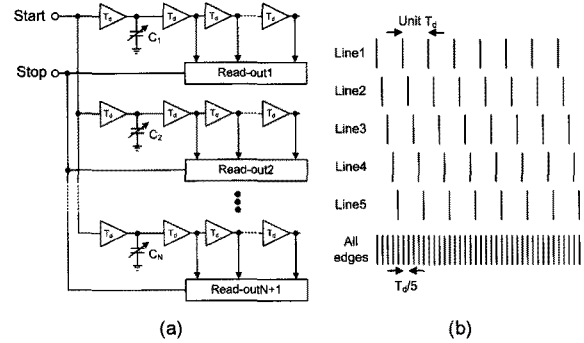
(그림 4) (a)Time amplification TDC 구조 [8], (b)Residue 생성

는 곧 TDC의 성능변화로 나타난다. 따라서 Delay Line의 길이를 최소화하고 성능개선을 위한 보정회로의 설계가 TDC의 중요한 설계이슈가 된다.

2-Dimensional Vernier TDC는 같은 개수의 버퍼와 시간비교기를 사용할 때, 기존 Vernier TDC 보다 더 많은 양자화 레벨을 사용함으로써 TDC의 동작 가능한 시간영역을 넓힌 구조이다 [7]. (그림 3)은 Start와 Stop Delay Line에 지연소자가 각각 5개, 4개씩 있을 때 사용 가능한 양자화 레벨을 비교한 것이다. Delay Line TDC는 Start Line의 단일 지연시간인 4Δ 만큼의 해상도로 5개의 양자화 레벨을 가진다. 그리고 Vernier TDC는 Δ 에서 4Δ 까지의 시간차이를 연속적인 양자화 레벨로 검출할 수 있다. 반면, 2-D Vernier TDC는 시간비교기를 각각 필요한 좌표에 연결함으로써 연속적인 14개의 양자화 레벨을 사용할 수 있다. 이 방식은 Vernier TDC에 비해 Delay Line의 길이를 1/3이하로 줄일 수 있기 때문에 잡음 및 선형성을 크게 개선할 수 있으며, 전력소모와 칩 면적을 획기적으로 줄일 수 있다.

2. Time Amplification TDC

Time Amplification은 Time Amplifier(TA) 양단 입력에 신호가 거의 동시에 인가될 때 발생하는 Metastability를 이용한다 [13]. Metastability 상태에서 TA의 응답시간은 정상입력에 대한 응답시간보다 더 길어지게 된다. 따라서 미세한 시

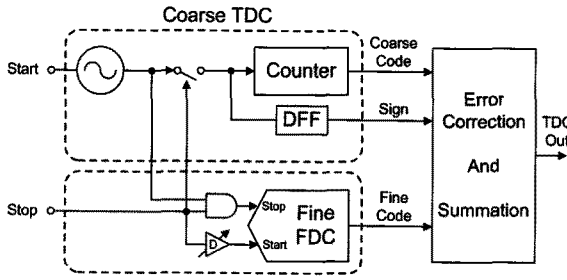


(그림 5) (a)Parallel Delay Line TDC의 구조, (b)5개의 Delay Line이 사용되었을 때 개선된 TDC의 해상도

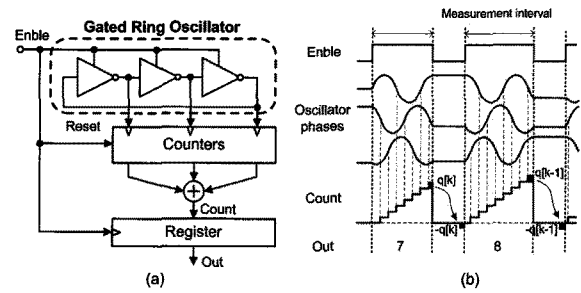
간차이를 증폭시켜 TDC의 해상도를 높일 수 있다. TA를 적용한 TDC는 Coarse-Fine 구조로 구성된다 (그림 4(a)) [8]. Coarse TDC(CTDC)와 Fine TDC(FTDC)는 각각 Delay Line TDC로 구성되고, FTDC는 Coarse변환 후에 남아있는 Time Residue를 TA로 증폭하여 해상도를 높인 후 시간차이를 검출한다 (그림 4(b)). 이때 Time Residue의 선택은 CTDC의 출력을 이용한다. 이 방식을 사용하여 1.25ps의 매우 정교한 해상도를 얻을 수 있지만, 회로의 불안정한 특성인 Metastability를 이용하기 때문에 동작의 신뢰도를 높이기 위해서는 매우 정확한 보정이 필요하다.

3. Parallel Delay Line TDC

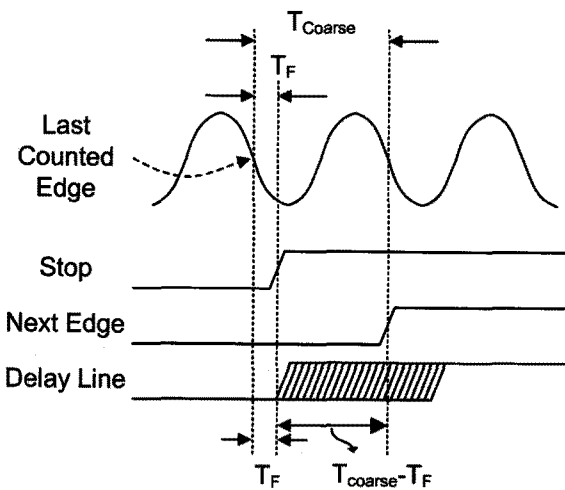
Parallel Delay Line TDC는 여러 개의 Delay Line을 균등한 위상차이를 가지도록 구성하여 단일지연시간 이하의 해상도를 얻을 수 있는 방식이다. (그림 5(a))는 N개의 Delay Line이 사용되었을 때의 구조이다. 이 회로에서 Capacitor (C_1, C_2, \dots, C_N)들은 보정회로를 통하여 각 Delay Line의 신호들이 일정한 위상차이를 가지도록 제어되어야 한다. Delay Line의 시간지연소자가 T_d 만큼의 지연시간을 가진다면, N개의 Delay Line을 사용하였을 때, 해상도는 T_d/N 로 개선된다. (그림 5(b))는 5개의 Delay Line을 사용하였을 때, 해상도가 $T_d/5$ 로 개선되었음을 보여준다. 최근에 발표된 Parallel Delay Line 을 기반으로 하는 Coarse-Fine TDC는 매우 낮은 전력소모와 넓은 동작영역을 가진다 [9]. (그림 6)은 그 구조이다. CTDC는 카운터로 구성되며, FTDC에 Parallel Delay Line 을 사용하여 5.5ps의 해상도를 구현하였다. (그림 7)은 TDC의 동작을 나타낸 것이다. Stop신호가 입력되



(그림 6) Parallel Delay Line을 적용한 Coarse-fine TDC [9]



(그림 8) (a)Gated Ring Oscillator(GRO) TDC 구조 [10], (b)GRO TDC의 동작



(그림 7) Parallel Delay Line을 적용한 Coarse-Fine TDC의 동작

면, 카운터는 현재 값을 저장한다. 이 때 FTDC는 동작을 시작했다가 다음 발진기 에지에서 동작을 멈춘다. 이렇게 하면 FTDC는 $T_{coarse} - T_f$ 에 대한 값을 출력하지만, 간단한 계산을 통하여 T_f 에 대한 값을 얻을 수 있다.

4. Noise Shaping TDC

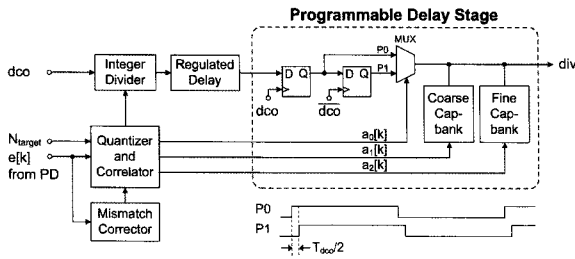
일반적으로 TDC는 제한된 해상도 때문에 계단모양의 변환 특성을 가지므로 비선형성이 크다. 이는 곧 주파수합성기 출력에 Limit Cycles로 나타날 수 있다. 따라서 TDC의 비선형성을 최소화하기 위해 TDC입력을 의도적으로 변조하여 양자화 오차에 랜덤노이즈 특성을 만들어 줄 수는 있지만, 이러한 경우 변조신호와 TDC이득을 알고 있어야 하고, TDC출력에서 입력된 변조신호를 정확히 제거해야 한다.

Gated Ring Oscillator(GRO)를 기반으로 하는 TDC는 TDC 오차(양자화 오차와 Delay Line의 부정합에 의한 오차)에 대

해서 1차 Noise Shaping을 할 수 있는 구조를 가진다. (그림 8)은 GRO TDC의 구조와 동작을 보여준다 [10]. 일반적인 발진기 기반 TDC와 다르게, GRO TDC는 발진기가 Measurement Interval에서만 동작하도록 설계된다. Measurement Interval 사이에는 GRO의 상태가 정지되기 때문에, (그림 8(b))에 보이는 것과 같이 이전 측정단계의 양자화 오차가 다음 단계의 양자화 오차와 연관되어 현재단계의 전체 양자화 오차를 결정하게 된다. 이러한 동작은 결과적으로 1차 $\Delta\Sigma$ Modulator의 Noise Shaping과 같다. 따라서 GRO TDC는 복잡한 보정회로 없이 충분한 해상도와 선형성을 확보할 수 있다. 다만 해상도는 시간지연소자의 단일지연시간에 의해 결정되므로 정교한 해상도를 얻기 위해서는 Skewed Delay Technique [14]을 이용하여 시간지연을 최소화하여야 하므로 전력소모가 커질 수 있는 단점이 있다.

5. Digital-to-Time Converter

PLL에서 분주기는 DCO신호를 입력으로 하여 주기가 분주비만큼 늘어난 신호를 출력한다. 이를 기준신호의 주기와 상대적으로 비교함으로써 PLL은 필요한 주파수/위상 동기화를 수행한다. 일반적으로 ADPLL에서 이 비교동작은 TDC로 수행된다. 하지만, 수 pico-second 이하의 정교한 해상도와 높은 선형성을 가지는 고성능 TDC는 매우 복잡하고 전력소모가 큰 단점이 있다. 이러한 단점들을 가지는 TDC는 Digital-to-Time Converter(DTC)로 대체될 수 있다 [11]-[12]. ADPLL에 사용된 DTC는 PLL의 분주분주기와 유사한 역할을 수행한다. (그림 9)는 DTC의 구조이다 [11]. 이 DTC는 DCO신호를 입력으로 받아서 분주분주비(N_{target})만큼 길어진 주기를 가지는 신호를 출력한다. Integer Divider는 Coarse



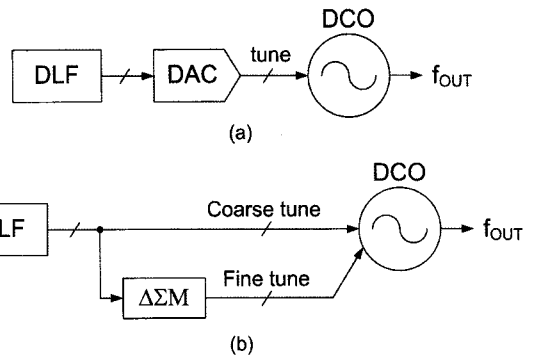
(그림 9) Digital-to-time Converter의 구조 [11]

DTC로 동작하며, Programmable Delay Stage는 Fine DTC로 동작하여 분수분주비의 분수값에 해당하는 지연시간을 생성한다. Programmable Delay Stage는 PD출력을 지속적으로 모니터링하며 DTC출력신호의 클록킹 에지(P0 또는 P1) 및 Coarse-Fine Cap-bank를 조절하여 지연시간의 길이를 제어한다. DTC의 장점은 TDC에 비해 매우 간단한 구조를 가지면서, 훨씬 적은 개수의 시간지연소자로 매우 정교한 해상도를 얻을 수 있다는 것이다. 그리고 결과적으로 낮은 전력을 소모하게 된다.

III. Digitally Controlled Oscillator

DCO는 ADPLL에서 TDC와 더불어 데이터 변환을 하는 회로이다. 따라서 주파수해상도를 가능한 한 정교하게 설계하여, 양자화 오차로 줄임으로써 ADPLL의 위상잡음 및 Spurious Tone 등을 최소화 할 수 있다.

(그림 10)은 ADPLL에 주로 사용되는 DCO의 구조를 보여 준다. (그림 10(a))는 Digital-to-Analog Converter(DAC)로 제어되는 DCO이다. 이 방식은 많이 사용되어 왔지만 [9]-[10], 저전압 공정에서는 Signal-to-Noise Ratio(SNR)이 작고 DAC가 추가적인 전력과 칩 면적을 소모하는 단점이 있다. 그림 10(b)는 DCO 양자화 오차가 위상잡음에 미치는 영향을 줄이고 DCO Fine Tuning의 해상도를 높이기 위해 $\Delta\Sigma$ Modulator를 적용한 구조이다 [5]. 이때 $\Delta\Sigma$ Modulator의 클럭주파수를 DCO주파수에 가깝게 할수록 위상잡음은 낮아진다. 하지만, $\Delta\Sigma$ Modulator는 여러 개의 Adder와 DFF으로 구성되는 회로이므로 최대동작주파수는 $\Delta\Sigma$ Modulator



(그림 10) (a)digital-to-Analog Converter로 제어되는 DCO 구조, (b) $\Delta\Sigma$ Modulator로 Fine Tuning을 하는 DCO 구조

의 해상도에 반비례하게 되며, 이는 ADPLL의 성능을 제한하는 요소가 된다.

또한, 위상차이 검출 결과가 DLF를 거쳐 DCO의 코드에 반영될 때까지 여러 디지털 회로의 입력력 시간으로 인한 시간지연이 발생한다. 이러한 시간지연 동안에는 변해야 할 DCO 주파수가 고정되어 있는 것이기 때문에 이는 곧 위상잡음으로 나타난다. 따라서 위상검출로부터 DCO코드 변화까지의 시간을 최소화 시켜야 한다 [15].

IV. 결론

CMOS 공정이 나노 스케일로 미세화되면서 기존의 Analog /RF회로는 강력한 디지털회로의 계산능력을 적용하여 성능이 향상되거나, 디지털회로로 대체되고 있다. ADPLL은 기존의 전하펌프기반 아날로그 PLL의 대안으로 나타나, 현재는 Mobile Application에 대해서 연구개발이 매우 활발하게 진행되고 있다. 본 논문에서는 ADPLL의 성능에 가장 큰 영향을 미치는 TDC와 DCO회로의 기존 연구들과 설계이슈에 대해서 살펴보았다. ADPLL은 디지털회로를 기반으로 하기 때문에 매우 높은 설계 유연성을 가지며, 공정간 이식도 기존의 아날로그 PLL보다 용이하다. 따라서 ADPLL은 앞으로 Cognitive Radio 나 Software Defined Radio 등 Reconfigurable Radio System에 적합한 주파수합성기로 발전될 것으로 기대된다.

감사의 글

본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT 연구센터 육성지원 사업의 연구결과로 수행되었음. (NIPA-2011-C1090-1111-0006)

참 고 문 헌

- [1] E. Gotz, et al., H. Krobek, G. Mazinger, B. Memmler, C. Miinker, B. Neurauter, D. Romer, J. Ru-bach, W. Schelmbauer, M. Scholz, M. Simon, U. Steinacker, and C. Stoger, "A quad-band low power single chip direct conversion CMOS transceiver with $\Sigma\Delta$ -modulation loop for GSM," Proc. European Solid-State Dev. Research Conf., Sep. 2003, pp. 217-220.
- [2] A. Frappe, A. Flament, B. Stefanelli, A. Kaiser, and A. Cathelin, "An all-digital RF signal generator using high-speed DS modulators," IEEE J. Solid-State Circuits, vol. 44, no. 10, pp. 2722-2732, Oct. 2009.
- [3] R. B. Staszewski, D. Leipold, K. Muhammad, and P. T. Balsara, "Digitally controlled oscillator (DCO)-based architecture for RF frequency synthesis in a deep-submicrometer CMOS process," IEEE Trans. Cir. and Sys.-II: Analog and Digital Signal Processing, vol. 50, no. 11, pp. 815-828, Nov. 2003.
- [4] R. B. Staszewski, J. L. Wallberg, S. Rezeq, C.-M. Hung, O. E. Eliezer, S. K. Vemulapalli, C. Fernando, K. Maggio, R. Staszewski, N. Barton, M.-C. Lee, P. Cruise, M. Entezari, K. Muhammad, and D. Leipold, "All-Digital PLL and Transmitter for Mobile Phones," IEEE J. Solid-State Circuits, vol. 40, no. 12, pp. 2469-2482, Dec. 2005.
- [5] R. B. Staszewski, C.-M. Hung, N. Barton, M.-C. Lee, and D. Leipold, "A digitally controlled oscillator in a 90 nm digital CMOS process for Mobile Phones," IEEE J. Solid-State Circuits, vol. 40, no. 11, pp. 2203-2211, Nov. 2005.
- [6] E. Temporiti, C. Weltin-Wu, D. Baldi, R. Tonietto, and F. Svelto, "A 3 GHz fractional all-digital PLL with a 1.8 MHz bandwidth implementing spur reduction techniques," IEEE J. Solid-State Circuits, vol. 44, no. 3, pp. 824-834, Mar. 2009.
- [7] L. Vercesi, A. Liscidini, and R. Castello, "Two-dimensions vernier time-to-digital converter," IEEE J. Solid-State Circuits, vol. 45, no. 8, pp. 1504-1512, Aug. 2010.
- [8] M. Lee and A. A. Abidi, "A 9 b, 1.25 ps resolution coarse-fine time-to-digital converter in 90 nm CMOS that amplifies a time residue," IEEE J. Solid-States Circuits, vol. 43, no. 4, pp. 769-777, Apr. 2008.
- [9] J. Borremans, K. Vengattaramane, V. Giannini, B. Debaillie, W. V. Thillo, and J. Craninckx, "A 86 MHz-12 GHz digital-intensive PLL for software-defined radios, using a 6 fJ/Step TDC in 40 nm Digital CMOS," IEEE J. Solid-State Circuits, vol. 45, no. 10, pp. 2116-2129, Oct. 2010.
- [10] C.-M. Hsu, M. Z. Straayer, and M. H. Perrott, "A low-noise wide-BW 3.6-GHz digital DS fractional-N frequency synthesizer with a noise-shaping time-to-digital converter and quantization noise cancellation," IEEE J. Solid-State Circuits, vol. 43, no. 12, pp. 2776-2786, Dec. 2008.
- [11] D. Tasca, M. Zanuso, G. Marzin, S. Levantino, C. Samori, and A. L. Lacaita, "A 2.9-to-4.0 GHz fractional-N digital PLL with bang-bang phase detector and 560 frms integrated jitter at 4.5 mW power," in IEEE Int. Solid-State Cir. Conf. Dig. Tech. Papers, Feb. 2011, pp. 88-89.
- [12] N. Pavlovic and J. Bergervoet, "A 5.3 GHz digital-to-time-converter-based fractional-N all digital PLL," in IEEE Int. Solid-State Cir. Conf. Dig. Tech. Papers, Feb. 2011, pp. 54-55.
- [13] A.M. Abas, A. Bystrov, D.J. Kinniment, O.V. Maevsky, G. Russell, and A.V. Yakovlev, "Time difference amplifier," Electron. Lett., vol. 38, no. 23, pp. 1437-1438, Nov. 2002.

- [14] S.-J. Lee, B. Kim, and K. Lee, "A novel high-speed ring oscillator for multiphase clock generation using negative skewed delay scheme," IEEE J. Solid-States Circuits, vol. 32, no. 2, pp. 289-291, Feb. 1997.
- [15] N. D. Dalt, "A design-oriented study of the nonlinear dynamics of digital bang-bang PLLs," IEEE Trans. Cir. and Sys.-I: Regular Papers, vol. 52, no. 1, pp. 21-31, Jan. 2005.

약 력



신재욱

2005년 광운대학교 전자공학과 공학사
 2007년 광운대학교 전자공학과 공학석사
 2011년 광운대학교 전자공학과 공학박사
 2011년 ~ 현재 미국 UCLA 박사 후 연구원
 관심분야 : RF PLL, Frequency Synthesizer, High Speed Interface



신현철

1991년 KAIST 전기 및 전자공학과 공학사
 1993년 KAIST 전기 및 전자공학과 공학석사
 1998년 KAIST 전기 및 전자공학과 공학박사
 1997년 독일 Daimler-Benz Research Center 연구원
 1998년 ~ 2000년 삼성전자 System LSI 선임연구원
 2000년 ~ 2002년 미국 UCLA 박사 후 연구원
 2002년 ~ 2003년 미국 Qualcomm RFIC Design 선임연구원
 2010년 ~ 2011년 미국 Qualcomm Corporate R&D Visiting Faculty
 2003년 ~ 현재 광운대학교 전자융합공학과 부교수
 관심분야 : RF/Analog/Microwave Integrated Circuits and Systems