

技術論文

DOI:<http://dx.doi.org/10.5139/JKSAS.2011.39.12.1174>

과학기술위성 3호 온보드 컴퓨터의 양성자 빔에 의한

Single Event Effect 분석

강동수*, 오대수**, 고대호***, 백종철****, 김형신*****, 장경선*****

Analysis of the Single Event Effect of the Science Technology
Satellite-3 On-Board Computer under Proton IrradiationDong-Soo Kang*, Dae-Soo Oh**, Dae-Ho Ko***, Jong-Chul Baik****, Hyung-Shin Kim***** and
Kyoung-Son Jhang*****

ABSTRACT

Field Programmable Gate Array(FPGA)s are replacing traditional integrated circuits for space applications due to their lower development cost as well as reconfigurability. However, they are very sensitive to single event upset (SEU) caused by space radiation environment. In order to mitigate the SEU, on-board computer of STSAT-3 employed a triple modular redundancy(TMR) and scrubbing scheme. Experimental results showed that upset threshold energy was improved from 10.6 MeV to 20.3 MeV when the TMR and the scrubbing were applied to the on-board computer. Combining the experimental results with the orbit simulation results, calculated bit-flip rate of on-board computer is 1.23 bit-flips/day assuming in the worst case of STSAT-3 orbit.

초 록

Field Programmable Gate Array(FPGA)는 설계 시간 단축, 재구성 가능성 등의 이유로 우주용 시스템에 사용이 늘고 있다. 그러나, Static Random Access Memory (SRAM) 구조를 가지는 FPGA의 경우 우주 방사능 환경으로 인해 발생하는 single event upset (SEU)로 인한 영향에 더 취약한 단점을 가지고 있다. 과학기술위성 3호 온보드 컴퓨터에서는 SEU로 발생하는 영향을 감소시키기 위하여 triple modular redundancy (TMR)과 Scrubbing scheme (기법)을 사용하고 있다. 실제 방사선 조사 실험 결과, TMR과 Scrubbing 기법을 통하여 문턱 에너지 값이 10.6 MeV에서 20.3 MeV로 개선됨을 확인하였으며, 과학기술위성 3호 위성 궤도 환경을 시뮬레이션 한 결과와 실험 결과를 이용하여 1.23 bit-flips/day의 에러율을 얻었다.

Key Words : STSAT-3(과학기술위성 3호), On-Board Computer(온보드 컴퓨터), SEU, TMR, Scrubbing scheme

† 2011년7월12일 접수 ~ 2011년11월22일 심사완료

* 정회원, 충남대학교 컴퓨터공학과 대학원

** 정회원, 한국과학기술원 인공위성센터

*** 한국항공우주연구원

**** AP 시스템(주)

***** 정회원, 충남대학교 컴퓨터공학과

교신저자, Email : sun@cnu.ac.kr

대전시 유성구 궁동 220번지

1. 서 론

최근 Field Programmable Gate Array (FPGA)는 적은 개발 비용 및 설계 소요 시간, 재구성 가능성 등의 이유로 우주용 시스템들을 위한 일반적인 집적 회로들을 대체하고 있다. 기존의

anti-fuse에 기반한 FPGA들과 달리, Static Random Access Memory (SRAM) 기술에 기반한 FPGA 들의 경우 제한 없이 재프로그래밍 할 수 있는 이점이 있다[1-2].

중이온 입자나 고에너지 양성자 등과 같은 우주 방사선으로 야기되는 Single Event Upset (SEU)는 우주 비행체의 제어 불능 및 기능 실패와 같은 손상을 주기 때문에 우주 시스템에서의 중요 이슈 중 하나이며, 특히 SRAM 기술에 기반한 FPGA들의 경우 우주 방사선에 취약한 단점을 가지고 있다[3-4]. SRAM 기반 FPGA에서 사용자에게 의해 설계된 조합회로 및 순차회로들은 configuration memory cell로 불리는 변형 가능한 logic cell로 구성된다. 이러한 configuration memory cell이 우주 방사선에 노출되어 upset으로 인한 bit-flip이 발생되면, 이는 곧 configuration memory cell 상에 구성된 사용자 회로 또는 routing 회로 등의 변화 및 에러 발생을 의미한다[5].

SRAM 기반 FPGA를 사용하는 과학기술위성 3호 온보드 컴퓨터에서는 SEU로 발생하는 에러를 감소시키기 위하여 모듈 다중화 기법에 기반한 Triple Modular Redundancy (TMR) 기법과 configuration memory cell의 정보 데이터를 체크하여 주기적으로 재프로그래밍하는 Scrubbing scheme (기법)을 적용하였다.

본 논문은 과학기술위성 3호 온보드 컴퓨터에 적용된 SEU 영향 감소 기법들에 대하여 설명하며, 적용된 기법들에 대한 효과 확인 및 동작 신뢰성을 위해 방사선 조사 실험을 수행하였다. 마지막으로 실제 과학기술위성 3호 예상궤도에서의 에러율을 계산하여, 위성 운용에 활용할 수 있도록 하였다.

II. 본 론

2.1 과학기술위성 3호 온보드 컴퓨터 구조

과학기술위성 3호의 온보드 컴퓨터 구조는 그림 1과 같이 개발되었다.

그림 1에서 Configuration memory 1과 2는 Virtex-4 FPGA[6]에 구성되는 비트스트림 형태의 회로 정보들을 저장하고 있다. Actel AX-250 anti-fuse FPGA[7]는 Virtex-4 FPGA에 구성된 회로 정보를 읽어와 Configuration memory 1의 비트스트림 데이터와 비교하여, 값이 다를 경우 Virtex-4 FPGA로 비트스트림 데이터를 재프로그

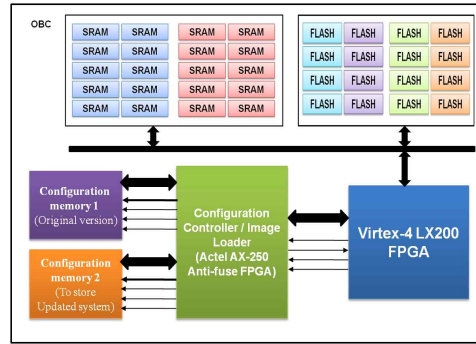


Fig. 1. On-Board computer architecture

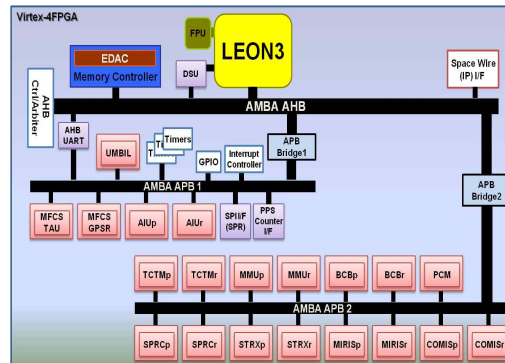


Fig. 2. On-board computer system on the Virtex-4 FPGA

래밍하는 Scrubbing 회로로 구성되어 있다.

Virtex-4 FPGA에는 실제 과학기술위성 3호의 온보드 컴퓨터 시스템으로 구성되어 동작되며 전체 플랫폼 구조는 그림 2와 같다.

그림 2와 같이 Virtex-4 FPGA에 구성되는 온보드 컴퓨터 플랫폼은 LEON3 프로세서[8], EDAC을 포함한 메모리 컨트롤러, 서브시스템들과의 통신을 위한 RS-422 통신채널 등으로 구성되었다.

2.2 Triple Modular Redundancy (TMR) Scheme

TMR은 다중화 기법에 기반한 것으로 SEU 발생으로 나타나는 결함 및 에러 등의 영향을 감소하기 위하여 사용되는 기법 중 가장 널리 알려진 기법이다[9-10]. 그림 3과 같이 하나의 회로를 같은 기능을 하는 세 개의 회로로 삼중화 하며, 출력된 결과 값들은 voter를 통해 마스크되어 출력된다. 만약, 세 개의 회로 중 하나의 출력 값에서 에러가 발생되면, 나머지 두 개의 올바른 값에 의해 에러가 보정되어 출력되게 된다.

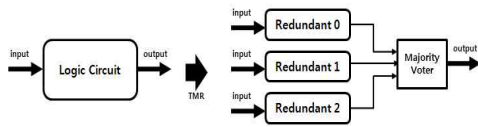


Fig. 3. Mechanism of the TMR

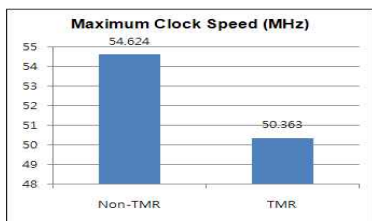
Table 1. FPGA area overhed of the TMR

	Non-TMR	TMR
LUT	21379	74480
F/F	5973	17919
Slices	12529	45551

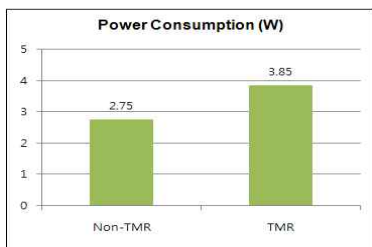
하지만, TMR 기법은 추가적인 voter 회로가 필요하기 때문에 FPGA의 gate 수, I/O pin, 소비 전류 및 전압 등의 시스템 자원의 소비가 일반적인 회로에 비해 많아진다[11-14]. 표 1은 온보드 컴퓨터 플랫폼을 TMR 하지 않았을 경우와 TMR을 적용하였을 경우의 FPGA 자원의 사용 개수를 보여주고 있으며, TMR을 적용 하였을 경우 약 3.6배 정도의 자원을 많이 사용한 것을 알 수 있다. 그림 4는 최대 클럭 스피드와 소비 전압을 비교한 것이다. TMR 적용 유무에 따라 최대 클럭 스피드의 경우 약 10%정도 감소하며, 소비 전압은 약 1.4배 증가하였다.

2.3 Scrubbing Scheme

TMR 기법은 단일 오류에는 우수한 특성을 보



(a) Comparison of a maximum clock speed



(b) Comparison of a power consumption

Fig. 4. Comparison of maximum clock speed and power consumption

이나, 다중 오류가 발생하는 것에 대해서는 오류 보호에 취약한 면을 가진다. SEU로 인한 FPGA의 configuration memory cell의 변화된 내용은 복구되지 않고 상태를 유지하기 때문에 영구적인 형태의 오류가 되며, 이러한 오류들이 누적이 되어 다중 오류로 나타나게 된다. 이 문제를 해결하기 위하여, 온보드 컴퓨터의 경우 scrubbing 기법을 적용하였다. Scrubbing 기법[10]은 그림 5와 같이 FPGA의 configuration memory cell의 데이터와 원본 비트스트림 데이터를 비교하여 달라진 경우, 데이터를 원본 비트스트림 데이터로 재프로그래밍하는 기능을 수행한다.

과학기술위성 3호 온보드 컴퓨터에 구현된 Scrubbing 회로의 알고리즘은 그림 6과 같다.

온보드 컴퓨터에 전원이 인가되면, Scrubbing 회로는 그림 1의 Configuration memory 1에 있는 FPGA 비트스트림 데이터들을 Virtex-4 FPGA로 프로그램하는 full configuration 과정을 수행한다. 그 후 FPGA의 각 프레임 데이터를 읽는 read-back 과정을 수행하며, 이때 Configuration memory의 비트스트림 데이터와 FPGA의 frame 데이터의 Cyclic Redundancy Checking (CRC) 값의 비교를 FPGA frame 개수가 될 때 까지 수

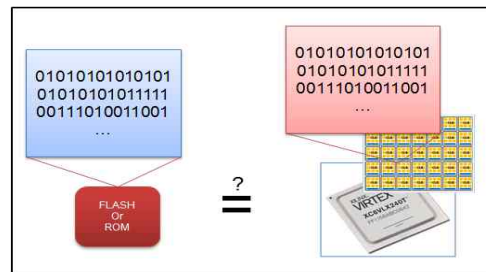


Fig. 5. Scrubbing scheme

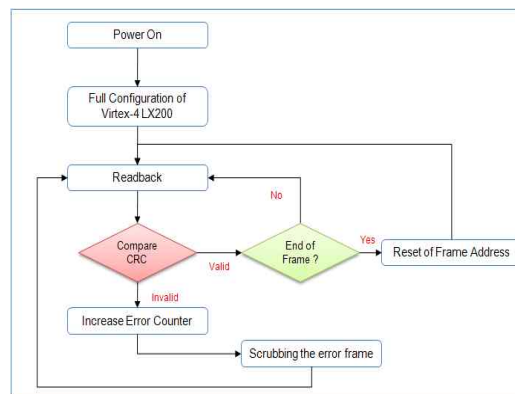


Fig. 6. Scrubbing algorithm

행한다. 만약 CRC 값이 틀릴 경우, 오류 카운터를 증가시키고 CRC 값이 틀린 영역의 데이터를 재프로그램밍한다. 위의 과정은 위성이 멈출 때까지 반복적으로 수행하게 된다.

III. 실험 및 결과 분석

과학기술위성 3호 온보드 컴퓨터의 SEU 감소 기법들의 효과 확인 및 신뢰성 검증을 위하여 서울 원자력 의학원의 MC-50 싸이클로트론 양성자 빔[15]을 이용하여 방사선 조사 실험을 수행하였다. 그림 7에서 보이는 MC-50 싸이클로트론은 각각 35MeV와 45MeV의 양성자 에너지를 생성하여, Aluminum degrader를 통과하면서 다양한 레벨의 양성자 에너지를 생성할 수 있다.

방사선 조사 실험은 다음과 같은 절차로 수행되었다.

① 온보드 컴퓨터에서 메모리 읽기/쓰기, 실수 연산 계산으로 구성된 테스트 프로그램을 실행된다.

② 테스트 프로그램은 실험 수행 동안 메모리 읽기/쓰기 시간, 실수 연산 수행 시간 등의 정보를 호스트 컴퓨터로 전송한다.

③ 호스트 컴퓨터는 온보드 컴퓨터로부터 데이터를 받으며, 이때 데이터와 시간 정보 등을 저장한다.

④ 만약 온보드 컴퓨터에서 데이터가 전송되지 않는다면, 온보드 컴퓨터가 동작하지 않는 것으로 간주한다. 이는 곧 SEU 영향으로 인하여 온보드 컴퓨터가 보호되지 않아 정상동작 하지 않는 것을 의미한다.

3.1 1차 방사선 조사 실험 및 결과

실험에 사용된 양성자 에너지 레벨은 각각 10.5 MeV, 20.3 MeV, 30.3 MeV, 37.4 MeV이며, 결과는 표 2에 요약하였다. TMR 기법을 통한 SEU 영향 감소 효과를 확인하기 위하여, TMR



Fig. 7. KIRAMS MC-50 Cyclotron

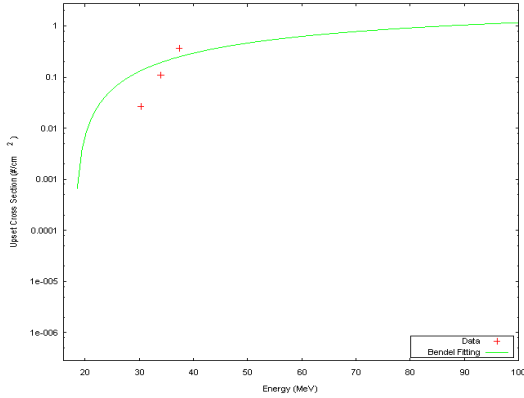
Table 2. Experimental Results of the TMRed On-board computer

Level	Proton Energy (MeV)	Non-TMR	TMR 1	TMR 2
1	10.5	-	OK	OK
2	20.3	-	OK	OK
3	30.0	-	-	-
4	37.4	-	-	-

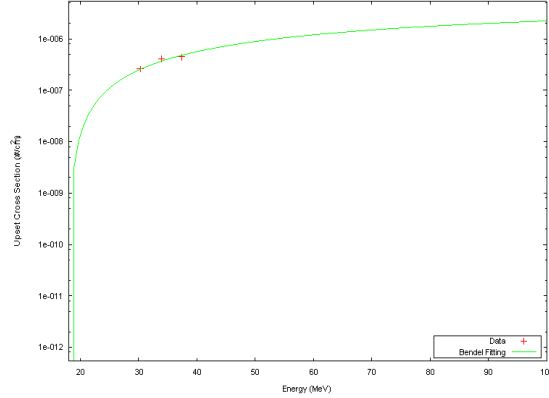
기법을 적용하지 않은 경우와 입력/출력 핀을 제외하고 TMR 기법을 적용한 경우, 그리고 입력/출력 핀까지 모두 TMR 기법을 적용한 경우의 총 3개의 테스트 세트를 사용하였다. 표 2에서 TMR 1은 입력/출력 핀을 제외하고 TMR 기법을 적용한 것이고, TMR 2는 모두 TMR을 적용한 것이다. 실험 결과, TMR 기법을 적용한 경우 upset 문턱 에너지가 10.6 MeV 이하에서 20.3 MeV 부근으로 이동하는 결과를 보였다[16]. 이는 저에너지에서 발생하는 낮은 SEU 생성률로 인한 오류에 대하여 TMR 기법으로 인해 상쇄되고 있음을 의미한다. 즉, SEU로 인한 FPGA configuration memory cell의 데이터 변화에 따른 온보드 컴퓨터 시스템의 오류의 영향을 감소시키고 있는 것으로 분석된다.

3.2 2차 방사선 조사 실험 및 결과

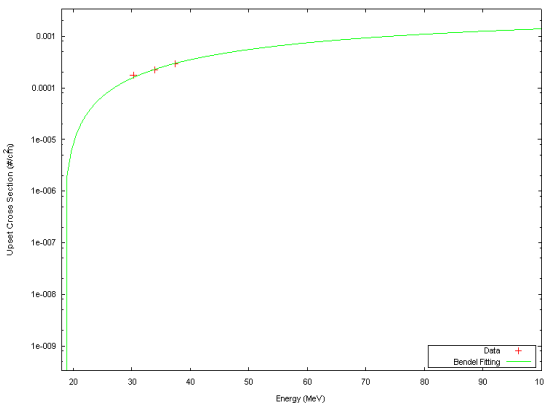
1차 실험에서 TMR 기법에 의한 문턱 전압의 개선 효과를 관찰하였으나, TMR 기법만 적용된 경우 장기간에 방사선에 노출되게 되면, FPGA 내부의 configuration memory cell의 데이터 정보에 대한 누적된 오류로 인한 다중 오류가 발생하게 되며, 결국에는 FPGA에 구성된 온보드 컴퓨터의 오류로 나타나게 된다. 따라서, FPGA 내부에 누적되는 오류를 제거하기 위하여, 2차 방사선 조사 실험에서는 온보드 컴퓨터에 TMR과 Scrubbing 기법 모두 적용하여 실험하였다. 실험을 위해 TMR 기법과 Scrubbing 기법을 적용하지 않은 경우, Scrubbing 기법만을 적용한 경우, TMR 기법만 적용한 경우, 마지막으로 TMR 기법과 Scrubbing 기법 모두 적용한 경우의 총 4가지의 실험군을 사용하였다. 실험에 이용된 양성자 에너지 레벨은 30.3 MeV, 34.0 MeV, 37.4 MeV이며, 60초 동안 조사하였다. 식 1, 2의 Bendel 2 parameter[17]를 실험 결과에 적용하여, 그림 8에 각각의 실험군에서 온보드 컴퓨터의 upset cross-section을 표시하였다.



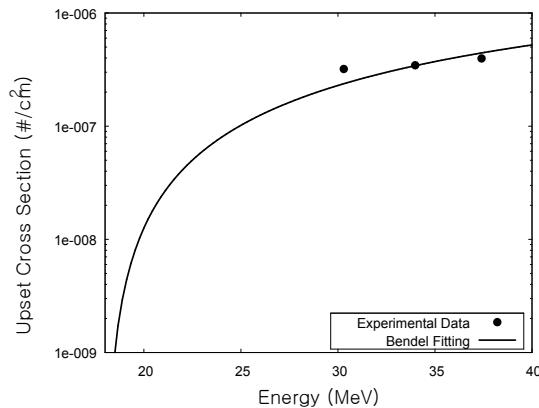
(a) Cross-section of On-board Computer with Non-mitigation schemes



(b) Cross-section of On-board computer with Scrubbing scheme



(c) Cross-section of On-board computer with TMR scheme



(d) Cross-section of On-board computer with TMR+Scrubbing schemes

Fig. 8. Upset Cross-Section of On-Board Computer

$$\sigma = \left(\frac{B}{A}\right)^{14} [1 - \exp(-0.18 Y^{0.5})]^4 \quad (1)$$

$$Y = \sqrt{\frac{18}{A}} (E - A) \quad (2)$$

식 1과 2에서 E와 A는 MeV의 단위를 가지며, A는 threshold 에너지, $\left(\frac{B}{A}\right)^{14}$ 는 포화 단면적을 나타낸다.

실험 결과 TMR과 Scrubbing 기법을 적용하였을 경우 cross-section이 다른 실험군에 비해 낮아짐을 알 수 있다. 실험 결과 중 감소 기법을 적용하지 않은 실험군은 실험 중 FPGA 비트스트림 데이터를 저장하고 있는 저장장치의 데이터가 변경되어 cross-section이 현저히 높게 측정되었다. 표 3은 3.1절에와 같이 실험에서 양성자 조사 시간동안 온보드 컴퓨터의 동작을 나타낸다.

Table 3. Operation Results of the On-board computer with mitigation schemes

Level	Proton Energy (MeV)	Non Mitigation Scheme	Scrubbing	TMR	TMR + Scrubbing
1	30.3	-	-	-	OK
2	34.0	-	-	-	OK
3	37.4	-	-	-	-

실험 결과, TMR과 Scrubbing 기법 모두를 적용하였을 때, 조사시간 동안 동작하였다.

3.3 SEU rate 분석

측정된 결과를 바탕으로 실험에 사용된 온보드 컴퓨터를 과학기술위성 3호에서 운용하였을 때의 에러 발생률 계산을 수행하였다. 표 4의 과

Table 4. Orbit parameters of STSAT-3[TBD]

Semi-Major Axis(km)	6998.97
Eccentricity	0.0010573
Inclination(deg)	97.8325
Argument of Periapsis(deg)	271.5728
Time of Periapsis(day number)	306.5
Longitude of ascending node(deg)	18.688

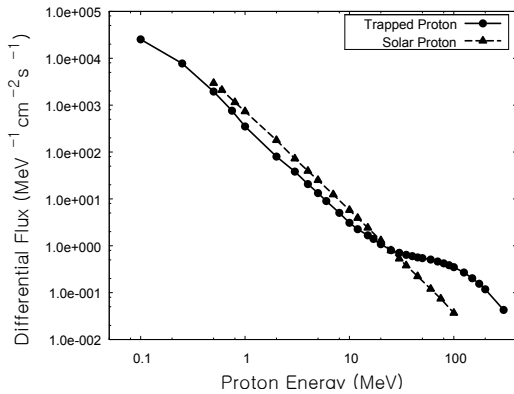


Fig. 9. Worst case of the Proton Flux Distribution at the STSAT-3 Orbit

과학기술위성 3호의 궤도 정보[18]를 바탕으로 하여, worst case에서 과학기술위성 3호의 양성자 분포를 계산하였으며, 그 결과를 그림 9에 표시하였다. 과학기술위성 3호 궤도의 양성자 분포 시뮬레이션 모델로는 AP8MIN[19], JPL91을 이용하였으며, Bendel 식으로 fitting한 결과를 과학기술위성 3호 위성궤도에 대입하여 SEU로 인한 FPGA의 비트스트림에 대한 bit-flip rate를 구하였다.

계산 결과, worst case에서 SEU 감소 기법이 사용되지 않은 온보드 컴퓨터의 경우 6.95×10^5 bit-flips/day, TMR 기법만 사용한 온보드 컴퓨터는 8.284×10^2 bit-flips/day, Scrubbing 기법만 사용한 온보드 컴퓨터는 1.34 bit-flips/day를 얻었다. 마지막으로 TMR과 Scrubbing 기법 모두 사용된 온보드 컴퓨터의 에러 발생률은 1.23 bit-flips/day 값을 얻었다.

계산 결과에서 Scrubbing 기법을 적용하지 않았을 경우 FPGA 내부의 회로 구성 정보인 비트스트림에서의 bit-flip이 발생하였을 때, 재프로그래밍되어 FPGA 비트스트림을 보구하지 않기 때문에 영구적인 오류가 되게 되어 bit-flip 발생률이 높게 나오는 결과를 보여준다. 또한, Scrubbing 기법만을 적용시킬 경우 앞의 3.2절의 동작 결과

에서처럼 bit-flip이 발생한 부분에 대한 재프로그래밍 되는 동안 오류에 대한 감쇄 효과를 얻을 수 없게 되어 온보드 컴퓨터의 오류가 발생하게 된다. 결론적으로, TMR 기법과 Scrubbing 기법 모두 적용하였을 경우, FPGA 비트스트림에 대한 bit-flip 발생률을 최소화 할 수 있으며, 비트스트림이 재프로그래밍 될 동안의 온보드 컴퓨터의 오류를 감쇄시킬 수 있다.

IV. 결 론

본 논문에서는 SRAM 기반의 FPGA를 사용하는 과학기술위성 3호의 온보드 컴퓨터를 이용하여, SEU에 대한 특성을 개선할 수 있는 방안으로 TMR과 Scrubbing 기법을 고려하였다. 이를 검증하기 위하여, 양성자 빔을 이용한 우주 환경 모사 실험을 수행하였다. 실험 결과, TMR 기법을 통한 upset 문턱 에너지를 확인하였으며, TMR 기법이 수행하지 못하는 오류에 대한 보정을 Scrubbing 기법을 통하여 구현하였다. 또한, 과학기술위성 3호 위성 궤도 환경을 시뮬레이션 한 뒤, Bendel 2 parameter 식과 실험 결과를 대입하여 TMR 기법과 Scrubbing 기법 모두를 적용하였을 경우 1.23 bit-flips/day의 에러율을 얻었다. 이 결과는 실제 위성 운용에 제공되어 미션 수립이나 계획 시, 에러 예측에 활용될 예정이다. 보다 정확한 fitting을 위하여 upset cross-section이 포화되는 영역의 고에너지 실험 결과가 필요하지만, 국내 실험 여건상 고에너지 실험 수행이 어려운 관계로 추후 해외 시설을 이용한 고에너지 실험 수행을 계획하고 있다.

Acknowledgement

This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government(MEST) (No.2011-0006375). CAD Tools for this work were supported by IC Design Education Center(IDEC).

참고문헌

1) Neil W. Bergmann and Anwar S. Dawood, "Reconfigurable Computers in Space: Problems, Solutions and Future Directions", *the Proc. of Military and Aerospace Applications of Programmable Devices and Technologies Conference*

(MAPLD), 1999.

2) Bolchini C., Miele A., Santambrogio M. D., "TMR and Partial Dynamic Reconfiguration to mitigate SEU faults in FPGAs", *the Proc. of IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems*, IEEE, 2007, pp.87-95.

3) Barth J., "Radiation Environment", *IEEE NSREC Short Course*, July, 1997.

4) Normand E., "Single Event Upset at Ground Level", *IEEE Transaction on Nuclear Science*, Vol.43, No.6, Dec. 1996, pp.2742-2750.

5) Lima F., Carro L., Reis R., "Designing Fault Tolerant Systems into SRAM-based FPGAs", *the Proc. of Design Automation Conference'03*, IEEE/ACM, 2003, pp.650-655.

6) Xilinx Inc., *Virtex-4 User Guide*, 2007.

7) Actel Inc., *RTAX-S/SL and RTAX-DSP Radiation-Tolerant FPGAs Data Sheet*, 2010.

8) Aeroflex Giasler Inc., *GRLIB IP Core User's Manual*, 2009.

9) E. Fuller, M. Caffrey, A. Salazar, C. Carmichael, and J. Fabula, "Radiation testing update, SEU mitigation, and availability analysis of the Virtex FPGA for space re-configurable computing", *the Proc. of MAPLD '00*, 2000.

10) C. Carmichael, *Xilinx Application Note 197*, 2006.

11) F. Lima, L. Sterpone, L. Carro, M. Sonza Reorda, "On the Optimal Design of Triple Modular Redundancy Logic for SRAM-based FPGAs", *the Proc. of Design Automation and Test in Europe (DATE)'05*, 2005, pp.1290-1295.

12) B. Pratt, M. Caffrey, P. Graham, K. Morgan, M. Wirthlin, "Improving FPGA Design

Robustness with Partial TMR", *the Proc. of Annual International Reliability Physics Symposium*, 2006, pp.226-233.

13) P. K. Samudrala, J. Ramos, and S. Katkooi, "Selective Triple Modular Redundancy (STMR) Based Single-Event Upset (SEU) Tolerant Synthesis for FPGAs", *IEEE Transaction on Nuclear Science*, Vol.51, No.5, 2004, pp.2957-2970.

14) Xiaoxuan She, P. K. Samudrala, "Selective Triple Modular Redundancy for Single Event Upset (SEU) Mitigation", *the Proc. of NASA/ESA Conference on Adaptive Hardware and Systems*, 2009, pp.344-350.

15) KIRAMS Homepage, <http://www.kirams.r e.kr/rirams/index.asp>.

16) Dong-Kang, Dae-Soo Oh, Kyoung-Son Jhang, "Design and Implementation of a Radiation Tolerant On-Board Computer for Science Technology Satellite-3", *the Proc. of NASA/ESA Conference on Adaptive Hardware and Systems*, 2010, pp.17-23.

17) 고대호, 이승현, 이성세, 박종오, 심은섭, "Virtex-5 XC5VLX50 Field Programming Gate Array를 이용한 양성자 빔에서의 단일 현상 효과 특성 분석", *한국물리학회지 "새물리"*, Vol.59, No.6, 2009, pp.450-454.

18) STSAT-3 System Critical Design Review, 2009.

19) J. I. Vette, "The NASA/National Space Science Data Center Trapped Radiation Environment Model Program (1964-1991)", NSSDC 91-29, NASA/Goddard Space Flight Center, National Space Science Data Center, Greenbelt, MD, 1991.