

신호처리 칩을 이용한 CDMA2000 스마트 안테나 빔형성 모듈 구현

안 성 수* 정회원

Implementation of Smart Antenna Beamforming Module Utilizing Signal Processing Chip in CDMA2000

Sungsoo Ahn* *Regular Member*

요 약

본 논문에서는 CDMA2000 환경에서 스마트 안테나 시스템에 적용하기 위한 빔형성 모듈 설계 결과를 제시한다. 설계된 빔형성 모듈은 실시간으로 우수한 성능을 확인하기 위해 범용의 DSP를 이용하여 구현하였다. 다양한 실험 결과 설계된 빔형성 모듈은 스마트 안테나 시스템에서 우수한 빔패턴을 제공하는 것을 확인하였다.

Key Words : Beamforming module; smart antenna; DSP.

ABSTRACT

This paper shows that beamforming module design to adapt smart antenna system in CDMA2000 environments. The designed beamforming module has been implemented on a general-purpose DSP as a test-bed to confirm the superior performances based on real-time processing. From the various simulation result, it is confirmed that beamforming module is provide a superior beam pattern in smart antenna system.

I. 서론

본 논문에서는 빔형성 알고리즘의 성능분석을 확인하기 위해 실제 신호처리 칩(DSP : Digital Signal Processor)을 이용하여 빔형성 모듈을 설계하였다. 빔형성 모듈은 스마트 안테나를 사용하는 CDMA2000 시스템[1]에서 동작되도록 설계하였고, 빔형성 모듈은 테스트 베드(test-bed)를 구현하여 성능분석을 수행하였다. 테스트 베드의 하드웨어는 CDMA2000 데이터 포맷 신호 발생 및 성능분석용 개인 컴퓨터, 개인 컴퓨터와 빔형성 모듈을 연결하는 인터페이스 모듈, 웨이트 벡터를 계산해주는[2] 빔형성 모듈 등으로 구성된다. 이렇게 통합 구성된 테스트 베드를 통해 최종 성능분석을 수행하였다. 또한, 신호처리 칩을 이용한 테스트 베드가 데이터 처리과정을 실시간 처리할 수 있는지를 검증해 보았다. 본 논문의 II장에서는 빔형성 모듈 설계 내용을 설명하였고, III장에서는 테스트 베드를 이용하여 빔형성 모듈의 성능을 분석하였고 IV장에서 결론을 도출하였다.

II. 빔형성 모듈 설계

본 절에서는 스마트 안테나의 빔형성 모듈에 대한 하드웨어 구현내용을 설명하고자 한다. 신호처리 칩은 텍사스 인스트루먼트사의 TMS320C6701로 고속연산(CPU 처리속도 : 6.7nsec/clock)이 가능한 최신 칩이다. 실제 빔형성 모듈 구현을 위해서는 우선적으로 텍사스 인스트루먼트사에서 제공하는 평가보드 모듈(EVM:Evaluation board Module)을 이용하여 데이터의 직렬 전송(serial transmit) 및 실시간(real time) 통신을 확인한다. 즉, 빔형성 모듈을 직접 제작할 시의 시행착오를 줄이기 위해, 빔형성 모듈의 기능을 모의적으로 수행할 수 있는 평가보드를 우선 사용하여 데이터 통신을 확인하는 것이다. 평가보드를 통해 데이터 통신이 확인되면, 평가보드 대신, 실제 구현한(implemented) 빔형성 모듈을 이용하여 성능분석을 수행한다. 본 논문에서는 평가보드를 이용한 데이터 통신은 정상 동작한다는 가정 하에, 빔형성 모듈을 이용한 성능분석만을 제시하였다. 따라서 본 절에서는 구현한

명지전문대학 정보통신과 ssan@mail.mjc.ac.kr*

접수일자 : 2010년 2월 2일, 수정완료일자 : 2010년 3월 4일, 최종게재확정일자 : 2010년 5월 12일

빔형성 모듈 구조를 설명하고, 빔형성 모듈을 이용한 실시간 직렬 통신(serial communication), 테스트 베드를 이용한 빔형성 모듈 성능확인, 빔형성 알고리즘의 실시간 처리 가능성[3] 등을 알아보았다. 빔형성 모듈 구조에 대한 블록도는 그림 1에 나타나 있다.

1. 빔형성 모듈 시스템 구조

그림 1은 빔형성 모듈의 전체 하드웨어적인 구조도로 크게 8개의 블록으로 나뉘어 진다.

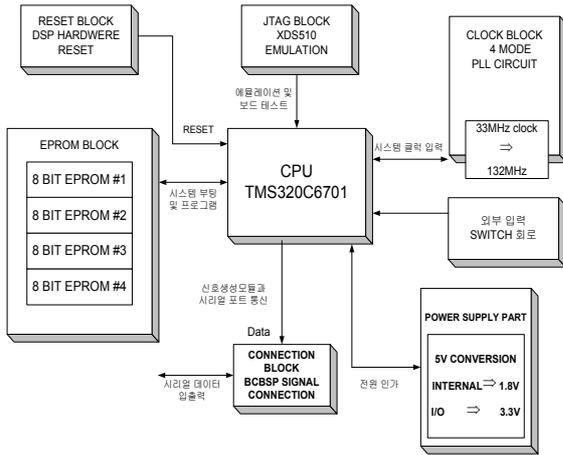


그림 1. 빔형성 모듈 하드웨어 구조

8개의 블록을 보면, 빔형성 모듈의 재동작을 위한 리셋(RESET) 블록, 본 개발 빔형성 모듈의 시스템 클럭을 발생시켜주는 클럭 블록, 프로그램을 다운 로딩 시켜주는 JTAG 블록, 여러개의 채널연결을 위한 MCBSP 블록, 전원(POWER) 블록, 빔형성 알고리즘[4][5]이 다운 로드되는 ROM 회로, 빔형성 모듈의 부팅 방법 또는 시스템 주파수 선택 등을 선정할 수 있는 외부입력 스위치 블록, 신호처리 칩 블록 등이 있다. 본 절에서는 상기에서 언급한 각 블록에 대한 세부 설명 및 빔형성 설계[6]에 따른 여러 중요 설계 사항들을 열거하였다.

1.1 리셋 블록

TMS320C6701이 요구하는 리셋회로의 입력은 펄스폭이 최소 1μsec 이상을 가져야 하고 상승시간(rising time)과 하강시간(falling time)이 각각 10nsec 이하이어야 한다. 본 리셋 회로는 텍사스 인스트루먼트사에서 제공하는 매뉴얼을 참고하여 리셋 회로도 설계에 사용하였다. 본 리셋 회로의 칩은 맥심(maxim)사에서 나오는 MAX708 모델 칩 중 T형에 해당되는 MAX708T를 사용하였다. MAX708T 칩은 빔형성 모듈에서 필요한 전압인 3.3V로 리셋 동작되지 않으므로, 본 리셋 회로에 있는 풀업(pull-up) 저항 값, 즉, R1, R2의 값을 조절하여 리셋을 실행하였다.

1.2 클럭 블록

클럭 회로는 빔형성 모듈에서 필요로 하는 클럭 속도를 받

생시키기 위해 필요하다. TMS320C6701의 CPU 최고속도는 167MHz이지만, 167MHz의 속도 사용 시 프로그램 다운 로드에 사용되는 XDS 통신은 물론 신호처리 칩의 동작여부를 확인할 수 없어, 본 설계상의 최고 속도는 132MHz를 사용하였다. 빔형성 모듈에 사용한 클럭의 속도는 실제 33MHz이나 클럭속도를 4배 증가시켜주는 ×4 모드를 사용하여 132MHz가 발생되도록 하였다. 그러나, 본 논문에서 설계된 빔형성 모듈의 실제 측정된 클럭 속도는 131.xxxxMHz가 되며, 이론상의 수치와 미세한 차이가 발생하는 것은 위상 고정 루프(PLL) 회로에 있는 저항과 캐패시터의 측정 오차에 따른 것이다.

1.3 JTAG 회로

JTAG 회로는 프로그램을 다운로드 할 수 있는 에뮬레이션 보드인 XDS 모듈과 신호처리 칩 내부의 메모리를 읽어 개인 컴퓨터로 전송해주는 인터페이스 커넥터로 구성되어 있다. JTAG 회로의 동작 전압은 3V-5V이며, 본 동작 범위내의 어떤 전압으로도 JTAG 회로 인식이 가능하다. JTAG을 통해서 타겟(target) 보드(빔형성 모듈과 연결된 외부 장치)를 인식시키는 것은 JTAG 헤더의 5번 PD 핀에 3V나 5V를 입력시키면 가능하고, PD 핀을 통해 XDS의 리셋을 할 수 있다.

1.4 데이터 연결 블록

데이터 연결 블록은 MCBSP(Multi Channel Buffered Serial Port) 회로의 2개 채널을 이용하여 직렬 통신을 가능하게 하는 부분이다. 직렬 통신을 위한 포트는 신호처리 칩의 핀으로 나와 있는 것을 직접 커넥터로 연결하여 직렬 통신이 가능하도록 되어있다. 직렬 통신을 위한 2개의 채널은 각각 7개의 핀(CLKS, CLKX, CLKR, DR, DX, FSX, FSR)으로 구성되어 있고, 2 개의 채널핀을 포함하여 총 40개의 핀이 직렬 통신을 위해 사용된다.

1.5 전원 회로

빔형성 모듈의 성능분석을 위해서는 개인 컴퓨터가 반드시 필요하므로, 개인 컴퓨터의 전원선을 입력시켜야 하나, 개인 컴퓨터에 사용되는 전원의 전류 용량의 제한으로 사용할 수가 없다. 따라서 외부에 전원장치를 설치하여 필요로 하는 전류 용량을 공급하여 주도록 설계하였다.

1.6 EPROM(Erasable Programmable Read Only Memory) 블록

빔형성 모듈에 장착된 EPROM 칩은 알고리즘 프로그램을 다운로드하고, 빔형성 모듈의 부팅(booting)을 위해 사용된다. 모든 시스템은 신호처리 칩 내부 메모리 0번지에서 부터 시작하여 4Mbyte 구동을 하고, ROM으로 부팅을 할 때는 그에 맞는 메모리 맵을 셋팅하여 사용한다. 즉 내부 프로그램 메모리의 0번지부터 4Mbyte 메모리 용량을 이용하여 알고리즘 프로그램 및 부팅 프로그램을 다운로드한다.

1.7 외부입력 스위치 회로

신호처리 칩에서 부팅 및 클럭속도 선택을 위한 모드(mode) 설정용 핀은 모두 11개가 있다. 즉, 데이터 수신 순서를 선택하는 LENDIAN 핀과 클럭속도를 선택하는 PLLFREQ1~3핀, 클럭의 정수배(여기서는 1배 또는 4배) 선택에 필요한 CLKMODE0~1핀, XDS 또는 ROM으로의 부팅 선택을 위한 BOOTMODE0~4핀 등이 있다. 빔형성 모듈에서는 다양한 적용을 위해서 모두 스위치로 조절이 가능하도록 풀업(pull-up)회로를 추가하여 설계하였다.

표 1. PLLFREQ 따른 주파수 변화

	50-140MHz	65-200MHz	130-350MHz
PLLFREQ1	low	high	low
PLLFREQ2	low	low	high
PLLFREQ3	low	low	low

위의 표 1에서 보는 바와 같이, 빔형성 모듈의 주파수는 132MHz를 사용하므로 PLLFREQ 핀 어느 것을 사용해도 무방하나, 본 설계에서는 안정을 위하여 주파수 범위가 넓은 130-350MHz를 사용한다. 또한, CLKMODE 핀은 두 개의 핀 모두 높은 주파수 상태일 때 CPU 클럭의 4배로 발생하여 동작을 하게 되고, 모두 낮은 주파수 상태에서는 CPU 클럭을 정수배하지 않고 그대로 사용한다. 모두 high이거나 모두 low 상태가 아닌 경우는 클럭값 결정에 관계없다. 마지막으로 BOOTMODE0~4는 부팅시의 메모리사용에 대한 정보를 가진 값으로서 ROM 부팅과 XDS 부팅에 따라서 선택을 하면 된다. 이와 같은 각 블록의 기능을 토대로 실제 설계된 하드웨어는 그림 2에서 보는 바와 같다.



그림 2. 실제 설계, 제작된 빔형성 모듈

III. 테스트 베드를 이용한 빔형성 모듈의 성능분석

1. 테스트 베드 구조 및 동작확인

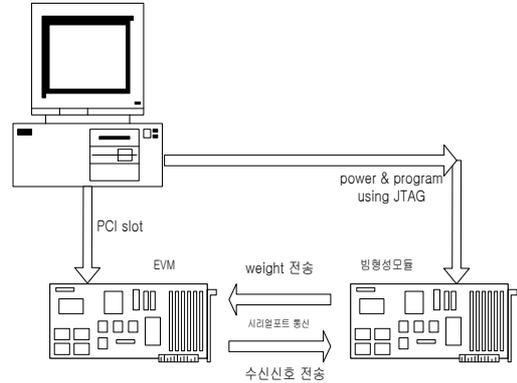


그림 3. 테스트 베드 전체 구성도

빔형성 모듈 성능분석을 위한 테스트 베드 구성도는 그림 3과 같다. 테스트 베드의 하드웨어는 CDMA2000 데이터 포맷 신호 발생 및 성능분석용 개인 컴퓨터(PC), 개인 컴퓨터와 빔형성 모듈을 연결하는 인터페이스 모듈인 평가보드, 웨이트 백터를 계산해주는 빔형성 모듈 등으로 구성된다. 각 구성 하드웨어 기능을 이용하여 실제 데이터 통신을 어떻게 하는 지 알아보자. 우선, 개인 컴퓨터에서 발생한 데이터, 즉 안테나 수신신호는 PCI 버스를 통해 평가보드로 전달한다. 평가보드에 저장된 수신신호는 직렬 포트를 통해서 빔형성 모듈에 전달하고, 빔형성 모듈은 DMA 칩을 이용하여 수신신호를 저장하게된다. 빔형성 모듈은 입력된 수신신호를 이용하여 빔형성 알고리즘을 통해 웨이트 백터를 생성하게 된다.

빔형성 모듈에서 생성된 웨이트 백터는 직렬 포트를 통해 평가보드로 전달되고, 평가보드는 DMA 칩을 사용하여 웨이트 백터값을 저장한다. 저장된 웨이트 백터는 PCI 버스를 통해서 개인 컴퓨터로 전달되고, 개인 컴퓨터에서 웨이트 백터를 이용한 성능분석을 하게 된다.

2. 빔형성 모듈과 평가보드간의 통신용량

그림 4는 빔형성 모듈이 안테나를 7개 사용하였을 때의 데이터 통신속도를 알아보았다 본 수용 용량계산을 위해 안테나 수는 7개와 2개의 핑거를 사용하였다. 사용자 1명의 데이터 비트수는 32bit이므로 7개의 안테나를 고려하면 224bit가 되고, 역확산 전, 후 데이터 고려시 448bit가 되며, 2개의 핑거를 고려한다면 896bit로 이루어 졌다고 할 수 있다. 이 896bit는 사용자 구분 플래그 32bit와 결합되어 총 928bit를 구성하고 있다. 현재 1명의 사용자를 기준으로 빔형성 모듈에서 고려하고 있는 스냅샷 속도는 최고 10kHz, 즉, 0.1msec 이므로, 본 스냅샷 속도에 따른 데이터 전송율은 928bit/0.1msec = 9.28Mbit/sec가 된다. 따라서 직렬통신의 속도가 약 10MHz 이므로, 실시간 데이터 처리가 가능하다는 것을 알 수 있다.

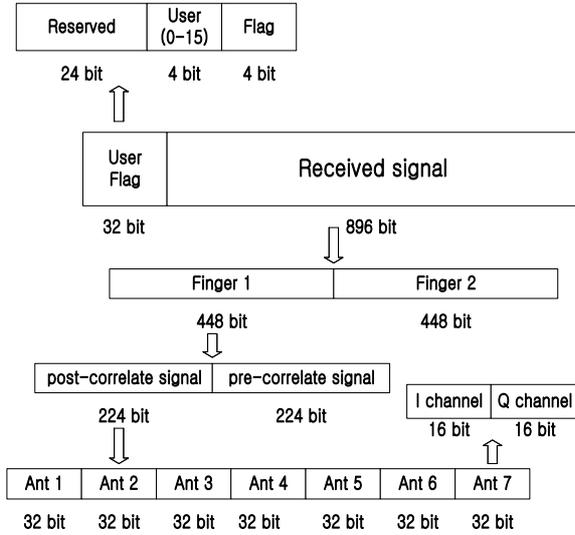


그림 4. 다중 빔형성 모듈의 데이터 구조

3. 빔형성 모듈 성능분석

본 절에서는 제작한 빔형성 모듈의 테스트 베드를 이용하여 성능을 분석하고자 한다. 그림 5는 성능분석을 위한 테스트 베드 구성도이다.

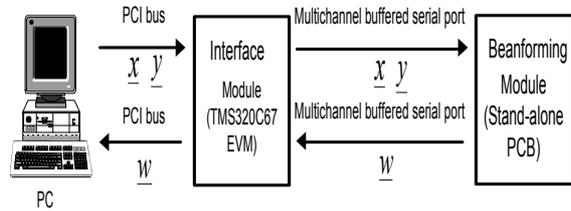


그림 5. 테스트 베드의 전체 시스템 구성도

그림 5에서 보는 바와 같이 개인 컴퓨터에서는 CDMA 2000 데이터 포맷에 따라 수신신호를 칩 단위로 생성한 후, 역확산과정을 거치게 하여 웨이트 벡터 갱신에 필요한 역확산 전, 후 신호 벡터 x , y 를 인터페이스 모듈로 전송한다. 빔형성 모듈에서는 인터페이스 모듈을 통해 전달된 역확산 전, 후 신호 벡터 x , y 를 이용하여 일반화된 수정된 공역기울기법을 사용해 웨이트 벡터 w 를 계산한다. 계산된 웨이트는 다시 인터페이스 모듈(또는 평가보드)을 통해 개인 컴퓨터로 전달되어 최종 수신 신호, 즉, $y = w^H x$ 를 생성한다. 본 성능 분석 내용은 빔형성 모듈의 정상 동작 확인을 위해 빔패턴을 확인해 보았다. 본 성능 분석을 위한 신호환경은 안테나 수 7개, 파일럿 채널의 확산율 128, 확산율이 16인 기본 채널 사용, 핑거수 2개, 도플러 주파수 80Hz이다.

그림 6-9은 입사각에 따라 빔패턴이 정확히 형성되는 것을 보여주고 있다. 그림에서 보는 바와 같이 다양한 입사각에 따라 빔패턴이 정확히 형성되는 것을 확인할 수 있다. 또한, 페이딩이 있는 경우에도 원하는 방향으로 빔이 방사되는 확인할 수 있었다.

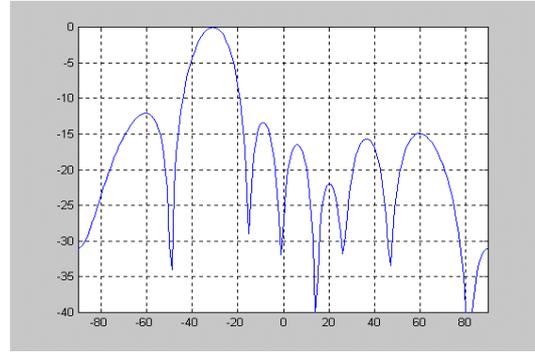


그림 6. 입사각 -30° , 간섭자수 50, 페이딩이 없는 경우

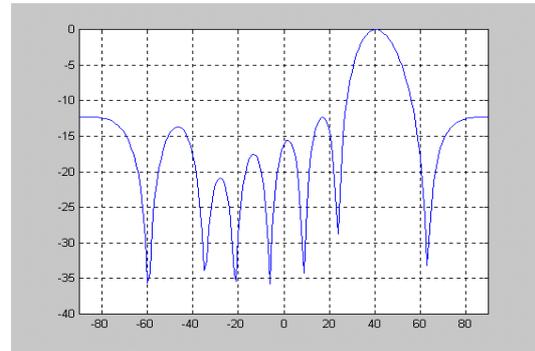


그림 7. 입사각 40° , 간섭자수 50, 페이딩이 있는 경우

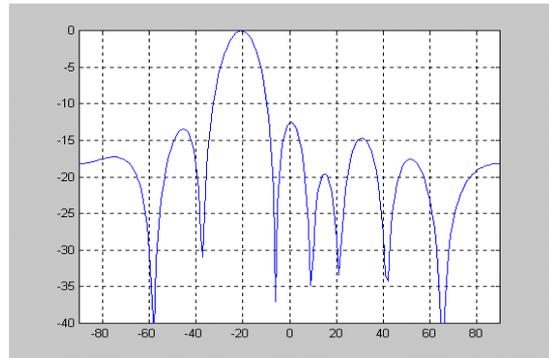


그림 8. 입사각 -20° , 간섭자수 50, 페이딩이 없는 경우

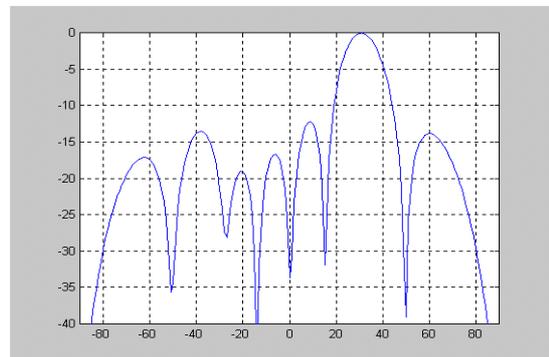


그림 9. 입사각 30° , 간섭자수 50, 페이딩이 있는 경우

IV. 결 론

본 논문에서는 CDMA2000 통신환경에서 스마트 안테나 시스템의 빔형성 모듈에 대한 성능을 확인하였다. 또한, TI사의 DSP를 이용하여 실시간으로 데이터가 가능함을 알 수 있었다. 결론적으로, 본 논문에서 구현한 스마트 안테나 빔형성 모듈은 CDMA2000 환경에서 스마트 안테나 시스템에 적용가능하다는 것을 파악할 수 있었다.

참 고 문 헌

[1] S. Choi and D. Shim, "A novel adaptive beamforming algorithm for a smart antenna system in a CDMA mobile communication environment," IEEE Trans. Vehicular Technology, vol. 49, no. 5, pp. 1793-1806, Sep. 2000.

[2] T. K. Sarkar, X. Yang and E. Arvas, "A limited survey of various conjugate gradient methods for solving complex matrix equations arising in electromagnetic wave interactions," Wave Motion, Elsevier Science Pub. B. B, (North Holland), pp. 527-546, 1988.

[3] T. Yoo, N. Jindal, and A. Goldsmith, "Multi-Antenna Downlink Channels with Limited Feedback and User Selection," IEEE Journal in Selected Areas in Communications, vol. 25, no. 7, pp. 1478-1491, Sep. 2007.

[4] S. Sampei, Applications of digital wireless technologies to global wireless communications, Prentice Hall PTR, 1997.

[5] R.B. Ertel, P. Cardieri, K.W. Sowerby, T.S. Rappaport, and J.H. Reed, "Overview of spatial channel models for antenna array communication systems," IEEE Personal Comm., pp. 10-22, February 1998.

[6] A. F. Naguib, Adaptive Antennas for CDMA Wireless Networks, Ph.D. Dissertation, Department of Electrical Engineering, Stanford Univ., Aug. 1996.

저 자

안 성 수(Sung-Soo Ahn)

정회원



1987년 2월 : 한양대학교 전자공학과 졸업

1990년 2월 : 한양대학교 전자공학과 석사

2001년 8월 : 한양대학교 전자통신공학과 박사

2002년 3월~현재 : 명지전문대학 정보통신과 부교수

<관심분야> 통신신호처리, 스마트안테나, 이동통신