

논문 2010-47TC-9-1

# Open-Loop Polar Transmitter에 적용 가능한 테일러 급수 근사식과 CORDIC 기법 성능 비교 및 평가

( Performance Comparison of Taylor Series Approximation and CORDIC Algorithm for an Open-Loop Polar Transmitter )

김 선호\*, 임 성빈\*\*

( Sunho Kim and Sungbin Im )

## 요약

DPM (Digital Phase wrapping Modulation) open-loop polar transmitter는 in-phase와 quadrature 신호를 진폭(envelope) 신호와 위상(phase) 신호로 변환한 후 신호의 사상화 과정을 거쳐 광대역 통신 시스템에서의 효율적인 적용이 가능하다. 사상화 과정은 일반적인 통신 시스템에서의 양자화와 유사하며 그 과정에서 발생하는 오차를 고려할 때 좌표계 변환부에 CORDIC (COordinates Rotation Digital Computer) 알고리듬 대신 테일러 급수 근사 기법의 사용이 가능하다. 본 논문에서는 테일러 급수 근사 기법을 광대역 OFDM (Orthogonal Frequency Division Multiplexing) 시스템용 DPM polar transmitter의 직교 좌표계-극 좌표계(cartesian to polar coordinate) 변환부에 적용하는 방안에 대한 연구를 수행하였다. 기존의 방법은 CORDIC 알고리듬을 채용하고 있다. 이것을 효율적으로 적용하기 위해 모의 실험을 통해 각각의 기법에 대한 평균제곱오차 (MSE : Mean Square Error) 성능을 측정하고, 설계 관점에서 허용된 CORDIC 오차를 기준으로 알고리듬의 최소 반복횟수와 테일러 급수의 최소 근사 차수를 찾는다. 또한 FPGA 전달 지연속도를 비교한 결과에 의하면 CORDIC 알고리듬 대신 낮은 차수의 테일러 급수 근사 기법을 사용해 좌표 변환부의 처리 속도를 향상시킬 수 있음을 확인하였다.

## Abstract

A digital phase wrapping modulation (DPM) open-loop polar transmitter can be efficiently applied to a wideband orthogonal frequency division multiplexing (OFDM) communication system by converting in-phase and quadrature signals to envelope and phase signals and then employing the signal mapping process. This mapping process is very similar to quantization in a general communication system, and when taking into account the error that appears during mapping process, one can replace the coordinates rotation digital computer (CORDIC) algorithm in the coordinate conversion part with the Taylor series approximation method. In this paper, we investigate the application of the Taylor series approximation to the cartesian to polar coordinate conversion part of a DPM polar transmitter for wideband OFDM systems. The conventional approach relies on the CORDIC algorithm. To achieve efficient application, we perform computer simulation to measure mean square error (MSE) of the both approaches and find the minimum approximation order for the Taylor series approximation compatible to allowable error of the CORDIC algorithm in terms of hardware design. Furthermore, comparing the processing speeds of the both approaches in the implementation with FPGA reveals that the Taylor series approximation with lower order improves the processing speed in the coordinate conversion part.

**Keywords :** Polar transmitter, CORDIC algorithm, Taylor series approximation

\* 학생회원, \*\* 정회원, 숭실대학교 정보통신전자공학부  
(School of Electronic Engineering, Soongsil University)

※ 본 논문은 2010년 정부(교육과학기술부)의 재원으로  
한국연구재단의 지원을 받아 수행된 연구임  
(2010-0015959)

접수일자: 2010년 6월 170일, 수정완료일: 2010년 9월 15일

## I. 서론

최근 OFDM(Orthogonal Frequency Division Multiplexing) 등 광대역 통신 시스템의 사용과 더불어 비선형 전력 증폭기의 적용이 가능한 고효율의 polar

transmitter 사용의 필요성이 더욱 커지고 있다. Polar transmitter의 경우 기존의 송신기에서 사용하는 in-phase 신호와 quadrature 신호를 진폭 신호(envelope)와 위상 신호(phase)로 변환한다. 이렇게 각각의 변조 과정을 거쳐 변조된 위상 신호를 전력 증폭기의 입력으로 사용하고, 변조된 진폭 신호를 전력 증폭기의 공급전압으로 인가하여 사용함으로써 선형성과 전력 효율을 향상 시킬 수 있으며, 그 과정에서 송신기의 디지털 구현이 용이해지고 non-constant envelope 변조를 사용하는 시스템에 비선형 전력 증폭기(non-linear power amplifier)를 사용 할 수 있는 장점이 있다. 그러나 직교 좌표계에서 극 좌표계로의 변환과 재 변환 과정에서 대역폭 확장에 따른 문제점도 동시에 안고 있어 기존의 polar transmitter는 협대역 통신 시스템에서만 사용되고 있으며, 현재 광대역 통신 시스템에 적용 가능한 디지털 다중밴드(multi band), 다중모드(multi mode)의 polar transmitter에 대한 연구가 활발하게 진행되고 있다.<sup>[1]</sup>

디지털 다중밴드, 다중모드에 적합한 다양한 방식의 polar transmitter가 제안되었으나 특히 phase wrapping 방식의 변조기법을 채택하고 있는 open-loop 기반의 DPM (Digital Phase wrapping Modulation) polar transmitter의 경우 신호 변환 과정에서 발생하는 대역 증가 현상과 같은 단점을 상당부분 완화하여 광대역 통신 시스템에서 polar transmitter의 적용 가능성을 매우 높여 주었다.<sup>[8]</sup>

DPM polar transmitter는 신호를 변조하기 전, 좌표계 변환부에서 직교 좌표계에서 극 좌표계로 변환된 신호를 이진 제어비트(binary control bits)의 형식으로 바꾸어주는 일련의 사상화 과정(mapping process)을 포함하고 있으며 이러한 과정은 일반적인 통신 시스템의 양자화(quantization) 과정과 매우 흡사하다. 따라서 사상화 과정에서의 입력 신호는 사상화 비트의 크기가 허용하는 한도인 사상 레벨의 범위값 안에서 동일한 출력을 보장하게 되고, 이를 고려하여 볼 때 좌표계 변환부의 구현시에 높은 반복횟수를 가진 CORDIC (COordinate Rotation DIgital Computer) 알고리듬 대신 낮은 차수의 테일러 급수 근사 기법이 사용 가능하다.

본 논문에서는 이러한 DPM polar transmitter의 좌표 변환부에서 일반적으로 사용하는 CORDIC 알고리듬 대신 테일러 급수 근사 기법을 사용하기 위해서 모의 실험을 통해 각각의 기법에 대한 오차 성능을 평가하고

구현 측면에서 비교를 통해 설계 관점에서 허용된 CORDIC 오차를 기준으로 테일러 급수 근사 기법과 비교하여 오차 기준을 만족시키는 테일러 급수의 최소 차수를 찾도록 한다.

본 논문의 구성은 다음과 같다. 서론에 이어 II장에서는 일반적인 polar transmitter와 DPM polar transmitter에 대해 간략하게 언급한 뒤, III장에서는 직교 좌표계-극 좌표계 변환기법인 CORDIC 알고리듬과 테일러 급수 근사 기법을 다룬다. IV장에서는 모의실험을 통해 CORDIC 알고리듬과 테일러 급수 근사 기법의 MSE 성능과 하드웨어 구현시에 캐리 전파지연관점에서의 결과를 비교·확인하고 V장에서 결론을 맺는다.

## II. Polar transmitter

Polar transmitter는 1952년 Kahn에 의해 처음 제안된 EER (Envelope Elimination and Restoration) 기술을 기반으로 한다. 기존의 EER 방식에서는 RF 입력 신호를 각각 envelope detector 와 limiter 와 같은 비선형 소자들을 이용해 진폭 신호와 위상 신호를 추출하여 진폭 신호 경로와 위상 신호 경로간의 부정합이나 고주파 용 limiter에 따른 부정확한 AM-PM 변환, envelope detector의 비선형성등의 문제가 발생한다. 그러나 polar transmitter에서는 기저대역(baseband)에서 진폭 신호와 위상 신호를 분리함으로써 envelope detector 와 limiter 같은 비선형 부가 회로가 필요하지 않아 그에 따른 문제점을 해결할 수 있다. 그럼 1은 polar transmitter의 기본 개념도이다.

Polar transmitter는 신호를 진폭과 위상, 두 가지의 정보 신호로 각각 분리하여 사용하며 일반적인 송신신호  $S(t)$ 를 다음과 같이 나타내는 경우,

$$S(t) = I(t) \cos(\omega_c t) - Q(t) \sin(\omega_c t) \quad (1)$$

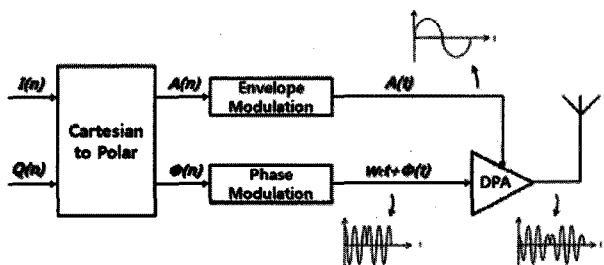


그림 1. General polar transmitter model  
Fig. 1. General polar transmitter model.

$I(t)$ ,  $Q(t)$ 는 각각 in-phase 신호와 quadrature 신호를 의미하며 다음과 같이 풀어 쓸 수 있다.

$$I(t) = A(t) \cos[\theta(t)] \quad (2)$$

$$Q(t) = A(t) \sin[\theta(t)]$$

식 (2)에서  $A(t)$ 는 진폭 신호를,  $\theta(t)$ 는 위상 신호를 나타낸다. 위 수식을 이용해 식 (1)을 다시 극 좌표로 표현하면 다음과 같이 정리할 수 있다.

$$\begin{aligned} S(t) &= A(t) \cos[\theta(t)] \cos(w_c t) \\ &\quad + A(t) \sin[\theta(t)] \cos(w_c t) \\ &= A(t) \cos[w_c t - \theta(t)] \end{aligned} \quad (3)$$

그림 2는 직교 좌표계와 극 좌표계에서 신호를 표현하는 방법을 나타내고 있으며 아래 식 (4)의 관계에 의해 좌표계 변환이 가능하다.

$$\begin{aligned} A(t) &= \sqrt{I(t)^2 + Q(t)^2} \\ \phi(t) &= \tan^{-1}[Q(t)/I(t)] \end{aligned} \quad (4)$$

광대역 특성에 취약한 polar transmitter의 단점을 보완하기 위해 DPM polar transmitter가 제안된 바 있다.<sup>[8~9]</sup>

그림 3은 DPM 방식의 open-loop polar transmitter 기본 모델이다. 좌표계 변환 과정(cartesian to polar)을 거쳐 변환된 진폭과 위상 신호는 각각 사상화 과정을

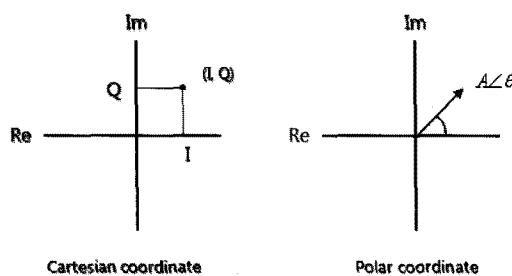


그림 2. 직교 좌표계 - 극 좌표계  
Fig. 2. Cartesian to polar coordinate.

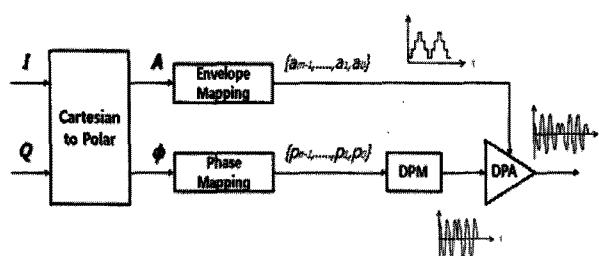


그림 3. DPM open-loop polar transmitter model  
Fig. 3. DPM open-loop polar transmitter model.

거쳐 각각  $m$ 개와  $n$ 개의 이진 제어비트 형식으로 변환 출력된다. 변환된 이진 제어비트 비트  $m, n$ 에 따라 진폭 신호는  $2^m$ 개의 레벨을 가지며, 위상 신호는  $2^n$ 개의 레벨을 갖게 된다. 이 과정에서 신호의 크기 정보는 소실되나 위상 정보는  $(0 \sim 2\pi)$  구간에서 wrapping을 거치므로 정보 손실이 발생하지 않아 광대역 시스템에 강인한 특성을 지닌다. 또한 신호를 사상화하는 과정은 일반적인 통신시스템의 양자화 과정과 매우 유사하며 이러한 사상화 과정에서 발생하는 오차를 고려하면 좌표계 변환부에서 CORDIC 알고리듬 대신 테일러 근사 기법을 사용하는 경우 더 간결한 시스템을 구현할 수 있다는 장점이 있다.

물론 이는 제한된 사상 비트(mapping control bit)와 특정 상황에서 낮은 차수의 테일러 근사 기법을 사용해야 하는 점 등의 단점이 있으나 특정 목적에 맞추어 설계된 시스템에서는 매우 효율적인 특성을 보인다.

### III. 좌표계 변환 알고리듬

#### 1. CORDIC 알고리듬

Polar transmitter의 직교 좌표계-극 좌표계 간 좌표계 변환을 위한 CORDIC 알고리듬은 1959년 Volder<sup>[2]</sup>에 의해 제안되고 Walther<sup>[3]</sup>에 의해 확장되어 현재까지 가장 널리 사용 되는 기법이다.

CORDIC 알고리듬은 삼각함수, 로그함수를 비롯한 초월함수를 하드웨어 영역에서 구현할 때 복잡도가 높은 곱셈기 연산(multiplier)과 나눗셈기 연산(divider)을 비트 시프트(bit shifter) 연산으로 치환하여 사용함으로써 얻어지는 획기적인 연산양의 감소로 인해 설계상의 이득을 취할 수 있다. 반면 결과 값의 추정 과정에서 필연적으로 수반되는 반복연산 과정에 의해 캐리 지연 문제(carry propagation latency)가 발생하는 빈도가 증가하고, 또한 정확도 높은 해상도(resolution)를 얻기 위해서는 사용하는 LUT (Look Up Table)의 크기를 증가시켜야 함으로써 하드웨어로 구현할 때 부하가 증가하는 단점이 존재한다.

신호의 좌표계 변환에 사용되는 CORDIC 알고리듬의 기본 수식은 다음과 같이 정의된다.<sup>[2, 7]</sup>

$$\begin{aligned} x_{i+1} &= x_i - y_i d_i 2^{-i} \\ y_{i+1} &= y_i + x_i d_i 2^{-i} \\ z_{i+1} &= z_i - d_i \tan^{-1}(2^{-i}) \end{aligned} \quad (5)$$

식 (5)에서 CORDIC 알고리듬의 micro-rotation의 부호결정변수  $d_i$ 의 값은 아래의 식 (6)와 같이 결정한다.

$$d_i = \begin{cases} 1 & y_i < 0 \\ -1 & \text{otherwise} \end{cases} \quad (6)$$

따라서 신호의 진폭과 위상을 결정하는 최종 변환 값을 얻을 수 있는 CORDIC 알고리듬의 벡터 모드 (vectoring mode) 연산은 다음의 식 (7)과 같이 표현된다.

$$\begin{aligned} x_n &= A_n \sqrt{x_0^2 + y_0^2} \\ y_n &= 0 \\ z_n &= z_0 + \tan^{-1}(y_0/x_0) \\ A_n &= \prod_n \sqrt{1 + 2^{-2i}} \end{aligned} \quad (7)$$

식 (7)에서 출력  $x_n$ 은 신호의 진폭 값이 되며, 출력  $z_n$ 은 신호의 위상 값이 된다. 상수  $A_n$ 의 경우 CORDIC micro-rotation 과정에서 누적되는 오차 값을 보정하기 위한 보정 상수이며  $A_n=1.6567$ 로 고정된 값을 사용한다. 따라서 최종 보정 값인 scaling factor  $K=1/A_n$  역시  $K=0.6036$ 의 고정된 값을 갖는다.<sup>[4, 7]</sup>

## 2. 테일러 급수 근사 기법,

직교 좌표계-극 좌표계 간 좌표계 변환을 위한 또 다른 기법으로 테일러 급수 근사 기법 (Taylor series approximation)이 있다. 테일러 급수 근사 기법의 경우 CORDIC 알고리듬이 하나의 연산 과정의 일환, 즉 vectoring mode를 통해 좌표계 변환 과정에서 필요한 신호의 크기와 위상 값을 추정해 내는데 반해 각각의 제곱근 추정 연산과  $\tan^{-1}$  추정 연산을 통해 신호의 크기와 위상 값을 추정한다.

시스템에서 진폭 값을 추정하기 위한 테일러 급수 근사 기법의 제곱근 근사식은 아래와 같다.<sup>[10]</sup>

$$\begin{aligned} \sqrt{(1+z)} &= 1 + \frac{1}{2}z - \frac{1}{8}z^2 + \frac{1}{16}z^3 - \dots \\ (-1 < z \leq 1) \end{aligned} \quad (8)$$

식 (8)을 응용하여 입력이 두 개인 시스템 (2-input variable system)에서 신호의 in-phase 부분을  $x$ , quadrature 부분을  $y$ 로 각각 가정하고 치환하여 근사식에 적용하면 다음과 같이 표현할 수 있다.

$$\sqrt{x^2 + y^2} = \sqrt{x^2(1 + \frac{y^2}{x^2})} = |x| \sqrt{\left(1 + \frac{y^2}{x^2}\right)} \quad (9)$$

단, 제곱근 근사식의 입력 값 범위  $(-1, 1]$  을 만족시키기 위해  $x^2 > y^2$  조건이 성립하는 범위에서 제곱근 내부의  $y^2/x^2$ 을  $\alpha = y^2/x^2$ 로 치환하면 식 (9)는 최종적으로 아래와 같이 정리된다.

$$\begin{aligned} \sqrt{x^2(1+\alpha)} &= |x|(1 + \frac{1}{2}\alpha - \frac{1}{8}\alpha^2 + \frac{1}{16}\alpha^3 - \dots) \\ (-1 < \alpha \leq 1) \end{aligned} \quad (10)$$

시스템에서 위상 값을 추정하기 위해서 신호의 in-phase 부분을  $x$ , quadrature 부분을  $y$ 로 가정하면 입력은  $y/x$ , 정리하면  $\beta = y/x$ 로 치환되고 이를 테일러 급수  $\tan^{-1}$  근사식에 적용하면 아래와 같은 수식을 얻을 수 있다.

$$\begin{aligned} \tan^{-1}\beta &= \\ \begin{cases} \beta - \frac{\beta^3}{3} + \frac{\beta^5}{5} - \frac{\beta^7}{7} + \dots & , |x| < 1 \\ \pm \frac{\pi}{2} - \frac{1}{\beta} + \frac{1}{3\beta^3} - \frac{1}{5\beta^5} + \dots & + : x \geq 1 \\ - & - : x \leq -1 \end{cases} \end{aligned} \quad (11)$$

식 (11)에서 추정된 위상 신호의 값의 범위는 기본적으로  $|\theta| < \pi/2$  로 주어지며, 사분면 확장을 고려하여 신호 값의 범위를  $|\theta| \leq \pi$ 로 변환 한다. 입력  $x$ 가 1보다 큰 경우에는  $+(\pi/2)$ ,  $-1$ 보다 작은 경우에는  $-(\pi/2)$ 의 보정 상수를 적용하여 정확한 사분면 확장을 가능하게 한다.

## IV. 모의실험 및 성능평가

본 논문에서는 DPM 방식의 polar transmitter에서 좌표계 변환 과정에서 일어나는 광대역 왜곡 현상을 감소시키기 위해 사용하는 신호의 사상화 과정에서 발생하는 양자화 오차(quantization error)를 감안하여 사상화 비트 값에 따라 CORDIC 알고리듬과 테일러 급수 근사 기법의 평균제곱오차 (MSE : Mean Square Error) 성능을 비교·평가하였다. 모의실험을 위한 송신기 구조는 그림 3의 DPM polar transmitter 모델을 사용하며, 더하여 FPGA에서 전달 지연 속도를 이론적 측면에서 비교하고자 한다.

### 1. MSE 관점에서의 비교

CORDIC 알고리듬을 사용하는 경우 하드웨어 구현 관점에서, 반복횟수(iteration)의 증가에 따른 추정된 진

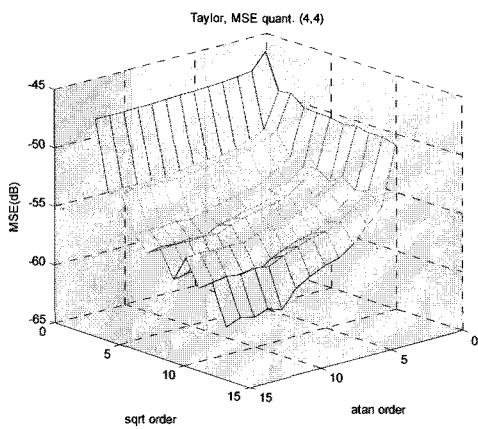


그림 4. 테일러 급수 근사 차수에 따른 MSE 값 ( $m=4, n=4$ )  
Fig. 4. MSE values according to Taylor series approximation orders ( $m=4, n=4$ ).

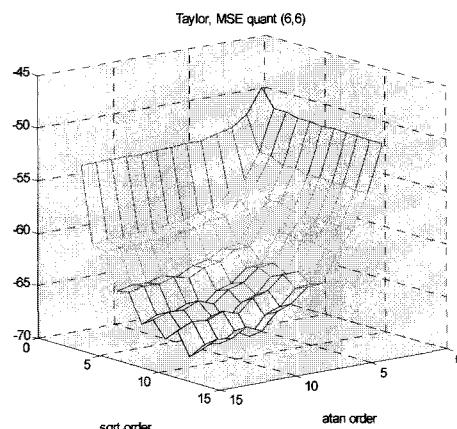


그림 6. 테일러 급수 근사 차수에 따른 MSE 값 ( $m=6, n=6$ )  
Fig. 6. MSE values according to Taylor series approximation orders ( $m=6, n=6$ ).

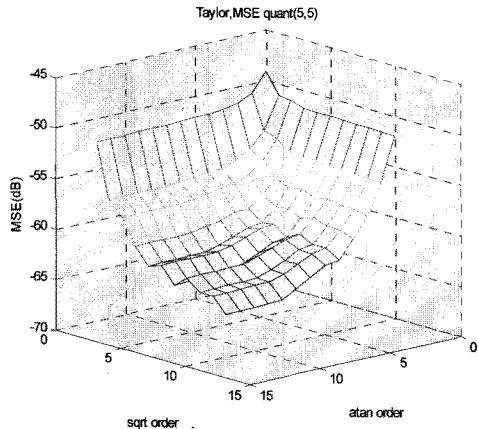


그림 5. 테일러 급수 근사 차수에 따른 MSE 값 ( $m=5, n=5$ )  
Fig. 5. MSE values according to Taylor series approximation orders ( $m=5, n=5$ ).

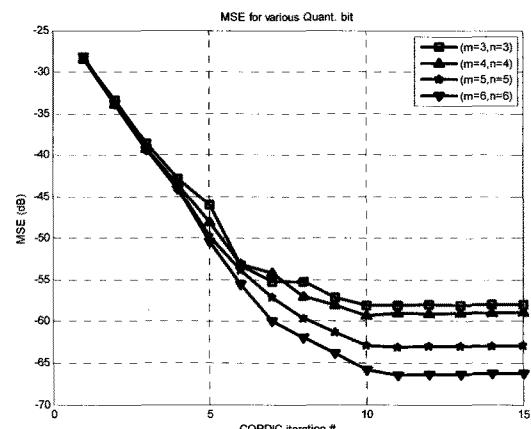


그림 7. CORDIC 반복 횟수에 따른 MSE 값  
Fig. 7. MSE values Vs. number of CORDIC iterations (various  $m$ 's,  $n$ 's).

폭 신호 및 위상 신호의 정확도 증가와 LUT 사용에 따른 FPGA 설계 면적의 증가에 관한 최적화된 trade-off 값은  $MSE_{ref}=2^{-18}=3.81e-06$ 이며 본 논문에서는 모의실험을 통해  $MSE_{ref}$  값을 만족시키는 CORDIC 알고리듬의 최소 반복 횟수와 테일러 급수 근사 기법의 최소 차수를 비교·확인하도록 한다.

모의실험을 위한 기준 입력 신호는 OFDM 신호를 사용하였다. 사상화 과정에서 진폭 신호의 제어 비트  $m$  값과 위상 신호의 제어 비트  $n$  값을 증가시켜 가며, CORDIC 알고리듬의 반복횟수와 테일러 급수 근사 기법의 차수를 각각 달리 하여 모의실험을 수행하였다.

성능 평가를 위해서는 CORDIC 알고리듬과 테일러 급수 근사 기법을 이용하여 각각 직교 좌표계에서 극 좌표계로의 변환을 수행하고, 변환된 값을 사상화 과정

을 거쳐 얻어진 진폭 신호와 위상 신호를 다시 직교 좌표계의 값으로 변환한 값과 수학적 연산에 의해 얻어진 이상적인 계산 값을 각각 비교·확인하였다.

그림 4, 그림 5, 그림 6은 각각 진폭 신호의 제어 비트  $m=4$ , 위상 신호의 제어 비트  $n=4$  인 경우와  $m=5, n=5$  인 경우  $m=6, n=6$  인 경우에 각각의 테일러 급수 근사 기법의 제곱근 차수와  $\tan^{-1}$  차수에 따른 MSE 값을 나타내고 있다. 그림 7에서는 각각의 사상 레벨에서 CORDIC 알고리듬의 반복횟수에 따른 MSE 값을 확인할 수 있다.

표 1, 표 2, 표 3의 세로축은 테일러 근사 급수 기법의 제곱근 근사차수를 나타내고 가로축은  $\tan^{-1}$  근사차수를 나타낸다. 표 1에서 사상 비트  $m=4, n=4$  인 경

표 1. 테일러 급수 근사 차수에 따른 MSE 값  
(m=4, n=4)

Table 1. MSE values according to Taylor series approximation orders (m=4, n=4).

	1	2	3	4
1	2.57E-05	1.89E-05	1.81E-05	1.75E-05
2	1.29E-05	6.49E-06	5.77E-06	5.19E-06
3	1.35E-05	6.87E-06	6.12E-06	5.53E-06
4	1.09E-05	4.47E-06	3.75E-06	3.17E-06
5	1.06E-05	4.03E-06	3.31E-06	2.71E-06
6	1.07E-05	4.22E-06	3.50E-06	2.92E-06

표 2. 테일러 급수 근사 차수에 따른 MSE 값  
(m=5, n=5)

Table 2. MSE values according to Taylor series approximation orders (m=5, n=5).

	1	2	3	4
1	1.45E-05	9.46E-06	8.07E-06	7.55E-06
2	9.13E-06	4.40E-06	3.09E-06	2.59E-06
3	8.80E-06	3.93E-06	2.56E-06	2.06E-06
4	7.99E-06	3.22E-06	1.89E-06	1.40E-06
5	7.86E-06	3.02E-06	1.67E-06	1.16E-06
6	7.82E-06	3.04E-06	1.70E-06	1.21E-06

표 3. 테일러 급수 근사 차수에 따른 MSE 값  
(m=6, n=6)

Table 3. MSE values according to Taylor series approximation orders (m=6, n=6).

	1	2	3	4
1	1.15E-05	6.75E-06	5.34E-06	4.90E-06
2	7.65E-06	3.17E-06	1.85E-06	1.44E-06
3	7.78E-06	3.16E-06	1.80E-06	1.37E-06
4	7.22E-06	2.70E-06	1.37E-06	9.56E-07
5	7.34E-06	2.76E-06	1.41E-06	9.86E-07
6	7.10E-06	2.57E-06	1.23E-06	8.15E-07

우 테일러 근사차수에 따른 MSE 값을, 표 2에서 사상 비트  $m = 5, n = 5$  인 경우 테일러 근사차수에 따른 MSE 값을, 표 3에서는 사상 비트  $m = 6, n = 6$  인 경우 테일러 근사차수에 따른 MSE 값을 각각 확인할 수 있다.

표 4, 표 5, 표 6에서는 사상 비트가 각각  $m = n = 4, m = n = 5, m = n = 6$  으로 고정된 값일 때 CORDIC 반복횟수 1에서 10까지의 MSE 값을 확인할 수 있다.

실험 결과 사상 비트  $m = 4, n = 4$ 의 경우  $MSE_{ref}$ 를 만족시키는 CORDIC 최소 반복횟수는 7, 제곱근과  $\tan^{-1}$  최소 근사 차수는 각각 (4,3)이며, 사상 비트  $m = 5, n = 5$ 의 경우  $MSE_{ref}$ 를 만족시키는 CORDIC 최소 반복횟수는 7, 제곱근과  $\tan^{-1}$  최소 근사 차수는 각각 (2,3)이다. 사상 비트  $m = 6, n = 6$ 의 경우  $MSE_{ref}$ 를

표 4. CORDIC 반복횟수에 따른 MSE값 (m=4, n=4)

Table 4. MSE values according to CORDIC iteration number (m=4, n=4).

Iter #	1	2	3	4	5
MSE	1.45 E-03	4.09 E-04	1.19 E-04	4.42 E-05	1.54 E-05
Iter #	6	7	8	9	10
MSE	4.86 E-06	3.79 E-06	2.00 E-06	1.57 E-06	1.18 E-06

표 5. CORDIC 반복횟수에 따른 MSE값 (m=5, n=5)

Table 5. MSE values according to CORDIC iteration number (m=5, n=5).

Iter #	1	2	3	4	5
MSE	1.51 E-03	4.10 E-04	1.17 E-04	4.00 E-05	1.06 E-05
Iter #	6	7	8	9	10
MSE	4.14 E-06	1.93 E-06	1.08 E-06	7.38 E-07	5.08 E-07

표 6. CORDIC 반복횟수에 따른 MSE값 (m=6, n=6)

Table 6. MSE values according to CORDIC iteration number (m=6, n=6).

Iter #	1	2	3	4	5
MSE	1.56 E-03	4.15 E-04	1.15 E-04	3.89 E-05	9.21 E-06
Iter #	6	7	8	9	10
MSE	2.79E-06	1.01E-06	6.37E-07	4.15E-07	2.60E-07

만족시키는 CORDIC 알고리듬의 최소 반복횟수는 6, 제곱근과  $\tan^{-1}$  최소 근사 차수는 각각 (2,2)이다.

## 2. 회로 전달 지연 관점에서의 비교

회로 설계의 전통적인 소자 단위인 FA (Full Adder)를 하나의 기본적인 단위 셀로 하여 arithmetic 알고리듬을 Xilinx FPGA에 구현하는 경우 가산기와 감산기 (adder and subtractor)의 이론적인 전달 지연 시간 (propagation delay)은 다음과 같다.<sup>[4~5]</sup>

$$T_p = T_{CKO} + t_{net}^{f,2N} + T_{OPCY} + \dots \quad (12)$$

$$\dots + (N-4)/2 \times (T_{BYP} + T_{NET}) + T_{SUM}$$

$$= [6 + t_{net}^{f,2N} + (N-4)/2 \times 0.45] \text{ ns}$$

위 식에서  $T_{OPCY}$ 는 명령어 값(operant) 입력에서 결과 값 출력(carry out) 사이의 전달 시간(propagation time)이며  $T_{BYP}$ 는 신호 입력(carry input)과 신호 출력(carry output) 사이의 전달 시간을,  $T_{NET}$ 은 두 개의

표 7. 반복 연산 1회에 필요한 기본 연산기의 수  
Table 7. Number of fundamental arithmetic units for one iteration process.

	CORDIC	Taylor $\tan^{-1} 1$	Taylor $\tan^{-1} 3$	Taylor $\sqrt{2}$	Taylor $\sqrt{4}$
add	3N	1N	2N	2N	4N
mul.	1N	1N	3N	3N	10N
shifter	2N	-	-	-	-
LUT	1N	-	-	-	-

표 8. CORDIC 알고리듬과 테일러급수 근사 기법의 FPGA 지연속도 비교  
Table 8. Comparison of FPGA propagation delays for the CORDIC algorithm and the Taylor series approximation.

$m, n$	CORDIC	Taylor approx.
(4,4)	50.071ns	38.027ns
(5,5)	50.071ns	30.904ns
(6,6)	42.918ns	22.987ns

인접한 CLB (Configurable Logic Block)의 carry line 간의 지연을 나타낸다.  $T_{BYP}=0.20\text{ ns}$ ,  $T_{NET}=0.25\text{ ns}$ 의 값으로 고정된 값을 사용한다.

회로 구성에서 최적화된 critical path는 리플 캐리 (ripple carry)와 회로의 최소 입력 값의 라우팅 지연 (routing delay)에 의해 결정되므로 전달 지연 시간의 비교에는 기본 로직 지연시간과 라우팅 지연시간이 모두 필요하다.

수식 (10)과 (11)로부터 테일러 급수 근사 연산에 대한 필요 연산기의 수를 확인할 수 있으며, 다음의 표 7에서 연산 과정에 필요한 기본 연산기의 수를 정리하였다.

모의실험을 통해 얻은 CORDIC 알고리듬의 최소 반복 차수와 테일러 급수 근사 기법의 최소 근사 차수의 회로 전달 지연 관점에서의 성능을 비교하기 위하여 Xilinx FPGA 4vsx55를 기준으로 FA를 기본 소자로 하여 병렬 처리 방식으로 구현할 때 회로의 로직 및 라우팅 지연속도의 합을 비교하면 다음의 표 8과 같다. 계산된 결과에 의하면 CORDIC 알고리듬 대신 낮은 차수의 테일러 급수 근사 기법을 사용하는 경우에도 처리 속도 관점에서 이득을 얻을 수 있음을 확인하였다.

## V. 결 론

DPM방식의 polar transmitter에서 비선형 전력증폭기의 입력으로 사용하는 제어 비트는 직교 좌표계에서

극 좌표계로 변환된 진폭 값과 위상 값을 일련의 사상화 과정을 통해 생성한다. 이 변환과정에서 필연적으로 오류가 삽입되므로 직교 좌표계를 극 좌표계로 바꾸는 과정만을 볼 때 반드시 높은 수준의 정밀도(accuracy)를 필요로 하는 변환 기법을 요구하지는 않는다. 따라서 본 논문에서는 각각의 사상 레벨에 따라 CORDIC 알고리듬과 테일러 급수 근사 기법을 적용하였을 때  $MSE_{ref}$  값을 만족시키는 최적 CORDIC 반복 횟수와 최소 테일러 근사차수를 비교하고 확인하였다.

실험 결과 사상비트  $m=4$ ,  $n=4$  인 경우와  $m=5$ ,  $n=5$ 인 경우 CORDIC 최소 반복횟수는 7로 동일하고 테일러 급수 근사 기법의 제곱근과  $\tan^{-1}$  최소 근사 차수는 각각 (4,3)과 (2,3)이다. 사상비트  $m=6$ ,  $n=6$ 의 경우 최소 반복횟수는 6이며 최소 근사 차수는 (2,2)로 확인되었다.

또한 주어진 결과를 바탕으로 향후 좌표계 변환부의 하드웨어 구현 측면에서 연구를 진행할 때 CORDIC 알고리듬 대신 낮은 차수의 테일러 급수 근사 기법을 적용함으로써 좌표 변환부의 처리 속도를 향상 시킬 수 있다.

## 참 고 문 현

- [1] J. Groe, "Polar Transmitters for Wireless Communications," *IEEE Communications Magazine*, Vol. 45, no. 9, pp. 58-63, Sep. 2007.
- [2] J. E. Volder, "The CORDIC Trigonometric Computing Technique," *IRE Trans. Electronic Computers*, Vol. EC-8, no. 3, pp. 330-334, Sep. 1959.
- [3] J. S. Walther, "A Unified Algorithm for Elementary Functions," in Proc. Spring. Joint Computer Conference, Vol. 38, pp. 379-385, 1971.
- [4] R. Andraka, "A Survey of CORDIC Algorithms for FPGAs," in Proc. of the 1998 ACM/SIGDA Sixth International Symposium on FPGA, pp. 191-200, Monterey, CA, Feb. 1998.
- [5] J. Valls, M. Kuhlmann and K. K. Parhi, "Evaluation of CORDIC Algorithms for FPGA Design," *Journal of VLSI signal processing*, Vol. 32, no. 3, pp. 207-222, Nov. 2002.
- [6] Y. Hu, "CORDIC-Based VLSI Architectures for Digital Signal Processing," *IEEE Signal Processing Magazine*, Vol. 9, no. 3, pp. 16-35, Jul. 1992.
- [7] D. E. Milos, T. Lang, *Digital Arithmetic*,

- Morgan Kaufmann, Jun. 2003.
- [8] W. F. Loke, Y. W. Chia and P. Y. Chee, "Phase Wrapping Digital Polar Transmitter for Multi-band OFDM Ultra Wideband System," in Proc. of MTT-S International Conference, pp. 401-404, Jun. 2009.
- [9] W. F. Loke, Y. W. Chia and P. Y. Chee, "Design Considerations for Multi-Band OFDM Polar Transmitter of UWB System," Electronics Letters, Vol. 43, no. 8, pp. 466-468, Apr. 2002.
- [10] R. S. Murray, L. Seymour, L. John, *Schaum's Outline of Mathematical Handbook of Formulas and Tables*, McGraw-Hill, Oct. 1998.

## 저자 소개

김 선 호(학생회원)

2007년 숭실대학교

정보통신전자공학부 학사

2009년 숭실대학교

정보통신공학과 석사

2009년~현재 숭실대학교 정보통신공학과

박사과정 재학중

<주관심분야 : LTE, 간섭감소기법, 최적화기법,  
채널추정>



임 성 빙(정회원)

1986년 서울대학교

전자공학과 학사

1988년 서울대학교

전자공학과 석사

1994년 University of Texas at

Austin 전기 및 컴퓨터

공학과 박사

1995년~현재 숭실대학교 정보통신전자공학부

정교수

<주관심분야 : 비선형 신호처리, 통신 시스템, 디지털 방송 시스템>