

논문 2010-47TC-8-7

# 자기잡음제거 전압제어발진기 이용한 위상고정루프

## ( A Phase-Locked Loop with a Self-Noise Suppressing Voltage Controlled Oscillator )

최영식\*, 오정대\*, 최혁환\*\*

( Young-shig Choi, Jung-dae Oh, and Hyek-Hwan Choi )

### 요약

본 논문에서는 기존의 위상고정루프에서 가장 큰 잡음의 원인인 전압제어발진기를 새로운 구조의 자기잡음제거 전압제어발진기 (Self-noise suppressing voltage controlled oscillator)로 대체하여 위상고정루프 잡음 특성을 향상시킨 위상고정루프(Phase Locked Loop)를 제안 하였다. 제안한 구조의 전달함수는 기존의 구조의 전달함수와 달리 대역폭 근처에서 최대 25dB 작은 값을 가진다. 회로는 1.8V 0.18 $\mu$ m CMOS 공정의 파라미터를 이용하여 HSPICE로 시뮬레이션을 수행하고 회로의 동작을 검증하였다.

### Abstract

In this paper, a phase-locked loop with a self-noise suppressing voltage controlled oscillator to improve a phase noise characteristic has been proposed. The magnitude of the proposed transfer function is maximum 25dB lower than that of a conventional transfer function around a bandwidth. The proposed PLL has been designed based on a 1.8V 0.18 $\mu$ m CMOS process and proved by HSPICE simulation.

**Keywords :** Phase-Locked Loop (PLL), Frequency voltage converter (FVC), Self-noise suppressing VCO

### I. 서론

위상고정루프(PLLs)는 통신시스템에서의 주파수 체 배기와 집적화된 디지털 칩에서의 고속 클럭신호 생성 기로 널리 사용되고 있다. 일반적으로, PLL은 주파수 검출기(PFD), 전하 펌프(CP), 루프필터(LF), 전압제어 발진기(VCO), 분주기로 구성된다<sup>[1]</sup>. PLL에서 VCO는 루프 필터 출력 전압인 제어 전압에 의해 특정 주파수를 생성하는 회로이다. 현재 많이 사용되고 있는 발진기 형태는 LC 발진기 또는 링 발진기가 있다. LC 발

진기는 위상잡음 특성이 더 좋기 때문에 통신 시스템에 적합하다<sup>[2]</sup>. 그러나 일반적인 CMOS 공정에서 인덕터는 표준 소자가 아닐뿐더러 특성이 좋은 주파수를 생성하기 위해 넓은 면적이 필요하기 때문에 전체 칩의 면적이 커져 칩 가격이 상승하게 된다. 또한, 인덕터의 부정확한 소자 변수는 칩으로 구현된 후에 회로설계자들이 시뮬레이션 결과와 다른 결과를 가질 수도 있다. 링 발진기는 고유의 작은 면적 때문에 디지털 칩에 사용되는 신호발생기로 적합하다<sup>[3~4]</sup>. 링 발진기는 위상잡음특성이 엄격하지 않는 회로에 사용 할 수 있으며, 표준 CMOS공정으로 쉽게 만들 수 있다. 게다가 링 발진기는 넓은 주파수 동작 범위를 가진다. 그러나 위상잡음과 지터특성은 LC 발진기 보다 좋지 못하다. 다양한 구조의 링 발진기들이 위상잡음과 지터를 개선하기 위해 시도되고 있지만 여전히 LC 발진기에 비해 떨어지는 성능을 가진다.

이 논문에서는 새로운 자기잡음제거 전압제어발진기

\* 정회원, 부경대학교 전자공학과  
(Pukyong National University)

\*\* 정회원-교신저자, 부경대학교 전자공학과  
(Pukyong National University)

※ 이 논문은 2009년도 부경대학교 수송기계안전편의 융합부품소재인재양성센터의 산학협동연구과제로 진행하였음.

접수일자: 2010년1월18일, 수정완료일: 2010년8월13일

를 이용한 위상고정루프를 제안한다. 자기잡음제거 전압제어발진기는 링 발진기와 주파수-전압 변환기(Frequency-to-Voltage Converter : FVC)로 구성되어 있다. 링 형태의 발진기가 위상고정루프에서 사용되어 질 때, 위상고정루프의 VCO 잡음을 제거하는 일반적인 방법은 넓은 대역폭을 갖게 하는 것이다. 그러나 넓은 대역폭의 위상고정루프는 저역통과 전달특성을 갖는 다른 블록의 잡음이 그대로 출력되는 문제점을 가지고 있다. CMOS 링 발진기를 포함한 자기잡음제거 전압제어 발진기는 표준 CMOS 공정으로 제작이 가능하고 좋은 위상잡음 특성과 넓은 주파수 동작 범위를 가지므로, 위상잡음 특성은 좋으나 비싸고 좁은 주파수 동작 범위를 가지는 LC 발진기를 대신해서 사용될 수 있다.

II. 제안된 위상고정루프 설계

1. 전달함수

그림 1에 나타낸 제안된 자기잡음제거 전압제어발진기를 이용한 위상고정루프는 기존의 2차 루프필터가 사용된 위상고정루프와 주파수-전압 변환기로 구성된다. 주파수-전압 변환기는 VCO의 출력 주파수에 상응하는 전압을 생성하며 VCO 출력 주파수가 변하면 주파수-전압 변환기의 출력 전압도 변화한다.

좁은 대역폭은 안정된 동작의 이점을 갖지만 VCO 잡음 제거가 쉽지 않고 위상고정 시간이 길어지게 된다. 넓은 대역폭은 위상고정루프에서 가장 큰 잡음인 VCO 잡음 제거가 쉬우며 짧은 위상고정 시간의 이점을 갖지만 위상고정루프의 불안정한 동작을 야기할 수 있다.

주파수-전압 변환기와 VCO의 내부 루프는 위상고정 루프 전체의 페루프와는 독립적으로 VCO잡음을 제거할 수 있는 부귀환 페루프이다. 그림 2는 자기잡음제거 전압제어발진기를 이용한 위상고정루프의 선형모델을

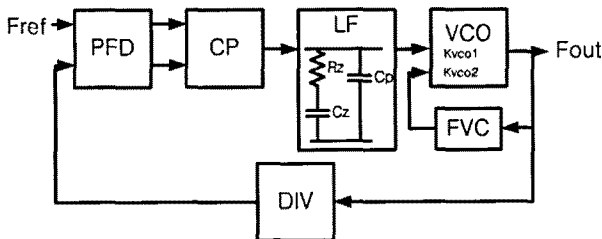


그림 1. 자기잡음제거 전압제어발진기를 이용한 위상고정루프

Fig. 1. PLL with a self-noise suppressing ring VCO.

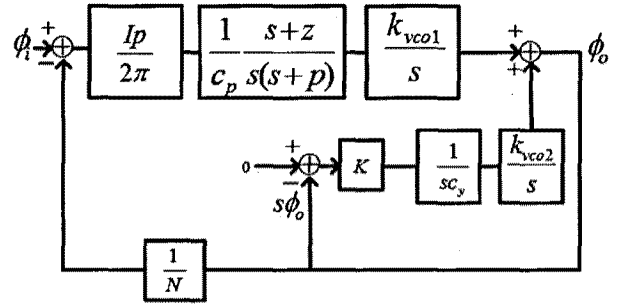


그림 2. 자기잡음제거 전압제어발진기를 이용한 위상고정루프의 선형모델

Fig. 2. Linear model of the PLL with self-noise suppressing ring VCO.

보여주고 있다. 제안한 위상고정루프와 (식 1) 기존 위상고정루프의 (식 2)전달 함수는 다음과 같다.

$$\frac{\phi_o}{\phi_i} = \frac{\frac{I_p}{2\pi} \frac{1}{s C_p} \frac{s+z}{s+p} \frac{K_{VCO1}}{s}}{1 + \frac{1}{N} \frac{I_p}{2\pi} \frac{1}{s C_p} \frac{s+z}{s+p} \frac{K_{VCO1}}{s} + K \cdot K_{VCO2} \frac{1}{s C_y}} \quad (1)$$

$$\frac{\phi_o}{\phi_i} = \frac{\frac{I_p}{2\pi} \frac{1}{s C_p} \frac{s+z}{s+p} \frac{K_{VCO}}{s}}{1 + \frac{1}{N} \frac{I_p}{2\pi} \frac{1}{s C_p} \frac{s+z}{s+p} \frac{K_{VCO}}{s}} \quad (2)$$

여기서 z는  $\frac{1}{R_z C_z}$  이며, p는  $\frac{1}{R_z C_p}$ , K는 FVC 이득이다. Kvc01은 루프필터 출력에 대한 전압제어발진기의 이득이며 Kvc02는 주파수-전압 변환기 출력에 대한 전압제어발진기의 이득이다.

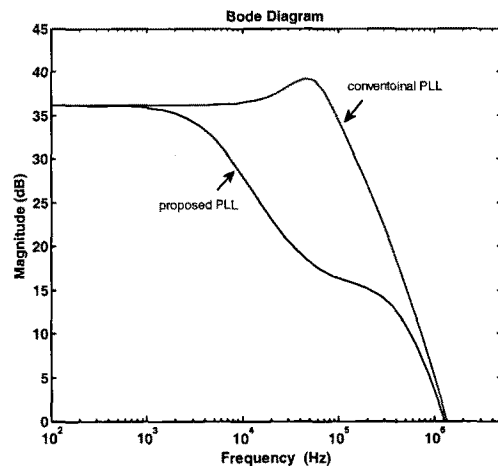


그림 3. 제안한 위상고정루프와 기존 위상고정 루프의 전달 함수

Fig. 3. Transfer function of the proposed and conventional PLL.

그림 3에서 제안한 구조의 전달함수는 기존의 구조의 전달함수의 크기보다 대역폭 근처에서 최대 25dB 이상의 작은 값을 가진다. 이는 제안한 구조가 대역폭 근처의 주파수 영역에서는 모든 잡음들의 크기를 줄일 수 있다는 것을 뜻한다. 주파수-전압 변환기와 VCO의 내부 루프는 전체 위상고정루프의 대역폭과 다르게 독립적으로 설계할 수 있다. 두 페루프의 대역폭을 독립적으로 조절하여 응용 분야에 특성화된 위상고정루프를 설계할 수 있다.

2. 주파수-전압 변환기와 VCO의 페루프

그림 4는 VCO와 주파수-전압 변환기의 선형 모델을 나타내고, VCO와 주파수-전압 변환기의 전달함수는 다음과 같다.

$$\frac{\phi_o}{\phi_{n.vco}} = \frac{1}{1 + \frac{1}{s} \cdot \frac{1}{M} \cdot \frac{K}{c_y} \cdot K_{vco2}} = \frac{s}{s + \frac{1}{M} \cdot \frac{K}{c_y} \cdot K_{vco2}} \quad (3)$$

여기서 M은 VCO 출력신호와 주파수-전압 변환기 입력신호의 분주비이다.  $\frac{d}{dt}$ 는 위상이 주파수로 변화함을 나타내고 있다.

식(3)은 고역통과 전달함수를 나타낸다. VCO와 주파수-전압 변환기의 페루프는 위상잡음루프의 잡음원들 중에서 가장 큰 VCO 잡음을 크게 줄일 수 있다. 식(3)에 나타난 바와 같이 VCO와 주파수-전압 변환기 페루프의 대역폭은 효과적인 VCO 잡음 제거를 위해 넓어야 한다.

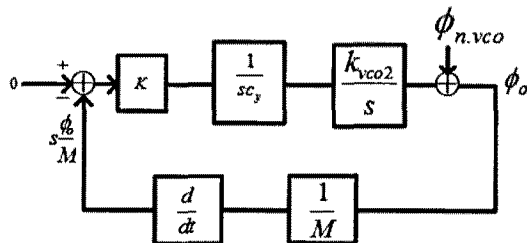


그림 4. VCO와 주파수-전압 변환기의 선형모델  
Fig. 4. Linear model of FVC and VCO.

III. 회로 설계

그림 5는 제안한 위상고정루프에 사용된 주파수-전압 변환기의 회로를 나타낸다. 이 주파수-전압 변환기

는 [5]에 사용된 구조를 간단한 구조로 변형한 주파수-전압 변환기이다. 사용된 변수 K는 다음과 같다.

$$K = I_{FVC} \frac{T_{out}}{2} \frac{1}{K' + 1} \quad (4)$$

여기서,  $I_{FVC}$ 는  $C_x$ 로 공급되는 전류량,  $T_{out}$ 은 PMOS로 입력되는 신호( $F_{out}$ )의 주기,  $K'$ 는  $C_y/C_x$ 의 비율이다. 주파수-전압 변환기의 출력전압은 VCO 출력인  $F_{out}$ 의 주파수에 의해 결정된다.  $F_{out}$ 의 주파수가 높으면  $V_{FVC}$ 가 낮아지고,  $F_{out}$ 의 주파수가 낮으면  $V_{FVC}$ 는 높아

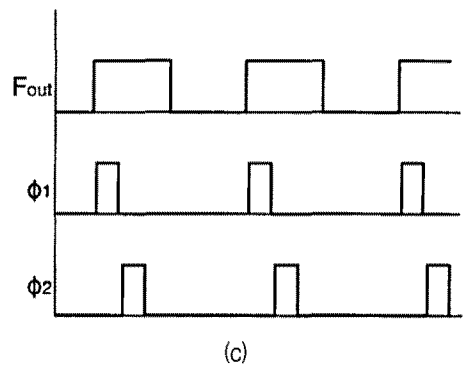
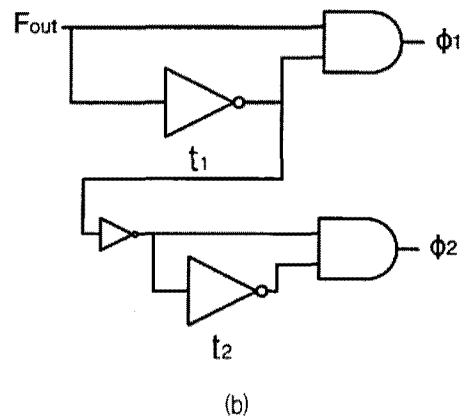
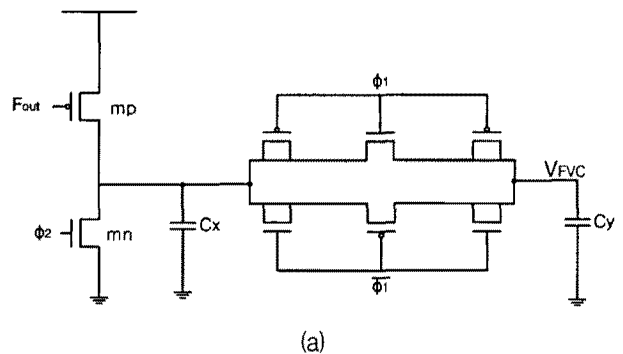


그림 5. 주파수-전압 변환기  
(a)회로 (b)제어신호 블록 (c) 제어 신호 타이밍  
Fig. 5. FVC (a) Circuit (b) Control signal block (c) Control signal timing.

진다. VCO의 출력 주파수가 변할 때마다 주파수-전압 변환기는 보상기로 역할을 하고, 이것은 VCO 잡음을 줄이게 된다.

주파수-전압 변환기는 두 개의 NMOS와 PMOS 트랜지스터, 두 개의 커패시터와 하나의 트랜스미션 게이트로 구성된 샘플링 스위치로 이루어지며, 이를 그림 5 (a)에 나타내었다. 출력신호에 샘플링 스위치의 클록 피드스루현상으로 인하여 레퍼런스 스퍼가 발생한다. 샘플링 스위치는 추가의 보상 트랜지스터를 양쪽으로 덧붙여 변형시킨 CMOS 트랜스미션 게이트이다. 이 트랜지스터들은 클록 피드스루현상을 줄여주는 효과를 낼 수 있다.  $F_{out}$ 이 low일 때 PMOS가 동작되고, 커패시터  $C_x$ 에 전하가 충전된다.  $F_{out}$ 이 high일 때 PMOS는 동작을 멈추고,  $\Phi 1$  신호에 의해 커패시터  $C_x$ 에 충전된 전하가  $C_y$ 와 공유하며,  $\Phi 2$  신호에 의해  $C_x$ 에 있던 전하가 방전된다. 제어 신호 블록은 서로 중첩되는 부분이 없도록 하여  $\Phi 1$  과  $\Phi 2$  신호를 생성한다. 간단한 2분주기를 이용하여 VCO 출력의 high/low 비율이 일정하게 되도록 만들어 주었다.

전압제어저항(VCR)은 그림 6에 나타낸 VCO의 지연 시간을 제어하는데 사용된다. 루프필터와 주파수-전압 변환기의 출력 전압인  $V_{LF}$ 과  $V_{FVC}$ 는 전압제어저항을 통해 VCO의 지연시간을 제어하는 전류로 변환된다. 전압제어저항은 입력전압의 변화를 큰 전류의 변화로 변환시켜줌으로써 VCO가 넓은 출력주파수 범위를 가지도록 해준다. VCO는 최대출력 전압진동폭과 낮은 위상 잡음의 출력을 갖는 차동구조 지연단 세 개를 이용해 구성하였다. PMOS와 NMOS 한 쌍의 트랜지스터가 CMOS 래치구조로 구성되어 지연단에 추가되었다. 이 래치 구조는 VCO가 낮은 출력위상잡음을 가지도록 하기 위해 지연단이 빠르게 켜지는 시간(on-time)을 갖도록 해준다. VCO는 루프필터와 주파수-전압 변환기로부터

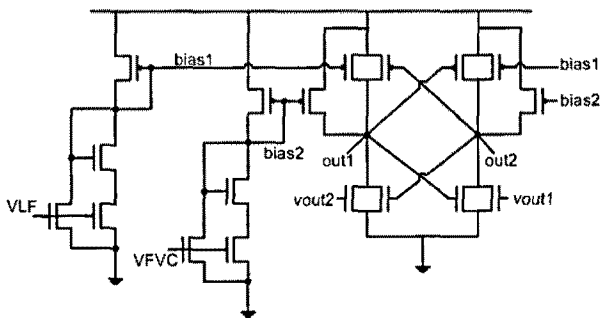


그림 6. 전압제어저항에 의해 제어되는 VCO  
Fig. 6. VCR controlled VCO.

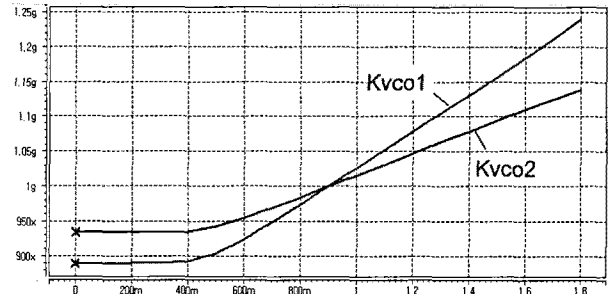


그림 7. 시뮬레이션된 VCO 이득  
Fig. 7. Simulated VCO gains.

터 입력되는 두 개의 전압제어저항을 가진다.

그림 7은  $V_{LF}$ 에 의한 250MHz/V의 이득  $K_{vc01}$ 과  $V_{FVC}$ 에 의한 150MHz/V의 이득  $K_{vc02}$ 를 나타낸다. 두 VCO 이득은 선형적인 특성을 보여주고 있으며 1GHz의 목표주파수를 생성하는 0.9V에서 서로 교차하게 설계 되었다.

#### IV. 시뮬레이션 결과

그림 8은 위상고정루프의 파라미터인  $I_p=470\mu A$ ,  $C_p=250pF$ ,  $C_z=2.5nF$ ,  $R_z=1.5K\Omega$ ,  $K_{vc01}=150MHz/V$ ,  $K_{vc02}=250MHz/V$ ,  $N=64$ ,  $K/Cy=0.017$ 의 변수 값을 이용해 보드 선도로 나타낸 것이다. 제안된 위상고정루프는 안정적인 동작에 필요한 위상여유를 가질 수 있도록 설계 되었다.

제안된 자기잡음제거 전압제어발진기를 이용한 위상 고정루프를 1.8V 0.18 $\mu m$  CMOS 공정 변수를 이용하여 HSPICE로 시뮬레이션을 수행하고 회로의 동작을 검증

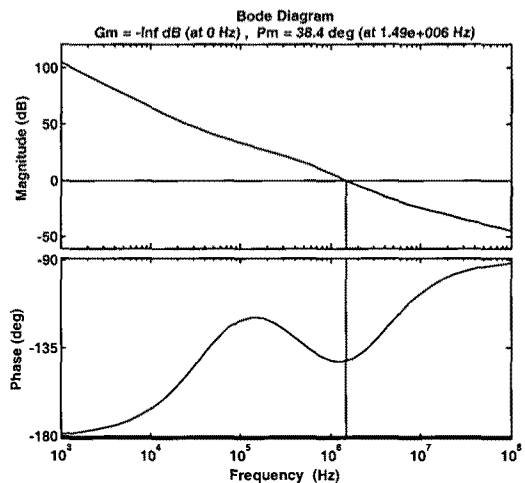


그림 8. 제안된 위상고정루프의 보드플롯  
Fig. 8. Bode plot of the proposed PLL.

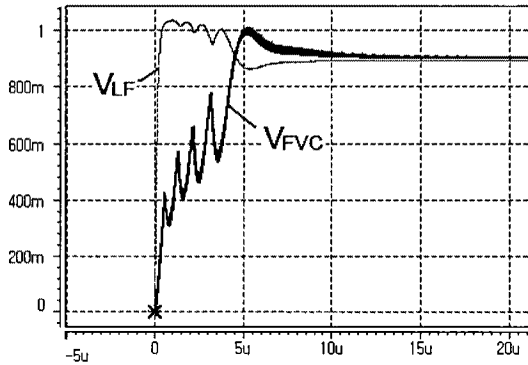


그림 9.  $V_{LF}$ 와  $V_{FVC}$ 의 시뮬레이션 파형  
 Fig. 9. Simulated waveforms of  $V_{LF}$  and  $V_{FVC}$ .

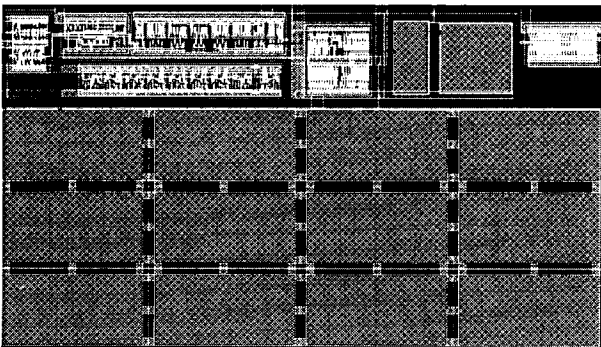


그림 10. 레이아웃  
 Fig. 10. Layout.

하였다. 그림 9는  $V_{LF}$ 와  $V_{FVC}$ 에 대한 시뮬레이션 결과를 보여준다.  $V_{LF}$ 가 증가하거나 감소할 때 VCO의 출력 주파수가 증가하거나 감소하고,  $V_{FVC}$ 는 주파수의 변동을 보상하기 위해 그림 9에 나타난 것처럼  $V_{LF}$ 의 반대 방향으로 움직인다. 이러한  $V_{FVC}$ 의 움직임은 VCO의 위상잡음과 지터를 줄이게 하는 역할을 한다. 그림 9에서 나타난 제안된 위상고정루프의 위상고정시간은 약 17 $\mu$ s이다.

제안된 위상고정루프는 0.18 $\mu$ m CMOS공정을 통해 설계되었고, 그림 10은 루프 필터의 커패시터( $C_z$ )와 저항( $R_z$ )이 포함되지 않은 칩 레이아웃을 보여주고 있으며 전체 크기는 860 $\mu$ m\*480 $\mu$ m 이다. 주파수-전압 변환기는 오른쪽 상단, 위상고정루프는 왼쪽 상단에 위치하고 있다. 아래쪽의 커패시터는  $C_p$ 이다.

## V. 결 론

이 논문에서는 새로운 자기잡음제거 전압제어발진기를 이용한 위상고정루프를 제안하였다. 자기잡음제거 전압제어발진기는 링 발진기와 주파수-전압 변환기

(FVC)로 구성되어 있다. 제안한 구조의 전달함수는 기존의 구조의 전달함수와 달리 대역폭 근처에서 최대 25dB 작은 값을 가진다. 이는 제안한 구조가 대역폭 근처의 주파수 영역에서는 모든 잡음들의 크기를 줄일 수 있다는 것을 뜻한다. 그러므로 VCO를 제외한 잡음을 줄이기 위해 전체 위상고정루프는 좁은 대역폭을 가지게 하고 링 발진기와 주파수-전압 변환기 루트는 넓은 대역폭을 갖게 하여 VCO 잡음을 줄일 수 있다.

## 참 고 문 헌

- [1] Floyd M. Gardner, "Charge-Pump Phase-Lock Loop", IEEE J. Tran, on Communications, vol. COM-28, NO, 11, pp. 1849-1858, Nov., 1980.
- [2] R. Fujimoto, R. Tachibana, H. Yoshida, K. Kojima, and S. Otaka, "4.6GHz CMOS voltage-controlled oscillator". Electron. Lett., vol. 38, pp. 632-633, July 2002.
- [3] R. Tao, and M. Berroth, "Low power 10GHz ring VCO using source capacitively coupled current amplifier in 0.12 $\mu$ m CMOS technology", Electron. Lett., vol. 40, pp. 1484-1486, Dec. 2004.
- [4] Chan-Hong Park, and Beomsup Kim, "A low-noise, 900-MHz VCO in 0.6 $\mu$ m CMOS", IEEE J. Solid-State Circuits, vol. 34, pp. 586-591, May 1999.
- [5] A. Djemouai, M. A. Sawan, and M. Slamani, "New Frequency-Locked Loop based on CMOS Frequency-to-Voltage Converter: Design and Implementation", IEEE Tran. Circuit and Systems-II, vol. 48, pp. 441-449, May 2001.

저 자 소 개



최 영 식(정회원)  
 1982년 경북대학교 전자공학과  
 학사 졸업.  
 1986년 Texas A&M University  
 전자공학과 석사 졸업.  
 1993년 Arizona State University  
 박사 졸업.

1987년~1999년 현대전자 책임연구원  
 1999년~2003년 동의대학교 전자공학과 교수  
 2003년~현재 부경대학교 전자공학과 교수  
 <주관심분야 : PLL, DLL, CDRC 설계>



최 혁 환(정회원)-교신저자  
 1979년 경북대학교 전자공학과  
 (공학사)  
 1990년 아리조나 주립대  
 전기공학과 (공학석사)  
 1993년 아리조나 주립대  
 전기공학과 (공학박사)

1994년~현재 부경대학교 전자컴퓨터정보통신  
 공학부 교수  
 <주관심분야 : RF 집적회로 설계, 아날로그 IC  
 설계>



오 정 대(정회원)  
 2009년 부경대학교 전자공학과  
 학사 졸업.  
 2009년 부경대학교 전자공학과  
 석사 입학  
 <주관심분야 : PLL>