

논문 2010-47TC-7-1

16레벨셀 낸드 플래시 메모리에서 트렐리스 정답 추정 기법을 이용한 최대 유사도 검출기의 성능

(Performance of the Maximum-Likelihood Detector by Estimation of the Trellis Targets on the Sixteen-Level Cell NAND Flash Memory)

박 동 혁*, 이 재 진**

(Donghyuk Park and Jaejin Lee)

요 약

본 논문에서는 16레벨셀 낸드 플래시 메모리 채널에 최대 유사도 검출 방법을 이용하여 데이터를 검출하기 위해 트렐리스의 정답 값을 추정하는 기법에 대해 연구 하였다. 이 기법은 최대유사도 검출기를 사용할 수 있게 되어 성능향상에 도움을 준다. 플래시 메모리는 커플링 효과 때문에 메모리가 있는 채널 모델링이므로, 이미 알고 있는 데이터 열을 훈련 과정을 통해 트렐리스의 정답 값을 추정하여, 이 값을 토대로 최대 유사도 검출한다. 본 실험을 통해 문턱 전압을 이용한 데이터 검출 방법보다 제안한 기법을 이용한 최대 유사도 검출기의 성능이 좋은 것을 보였다.

Abstract

In this paper, we use the maximum-likelihood detection by the estimation of trellis targets on the 16-level cell NAND flash memory. This mechanism has a performance gain by using a maximum-likelihood detector. The NAND flash memory channel is a memory channel because of the coupling effect. Thus, we use the known data arrays to finding the targets of trellis. The maximum-likelihood detection by proposed scheme performs better than the threshold detection on the 16-level cell NAND flash memory channel.

Keywords : Flash memory, Trellis target estimation, MLC (Multi-Level Cell), Maximum-likelihood detection.

I. 서 론

낸드 플래시 메모리는 대용량 저장장치로 주로 사용되며, 그 사용 범위는 휴대폰, MP3 플레이어, PMP (Portable Multimedia Player), PDA (Personal Digital Assistant), 전자사전, 카메라 등 대부분의 전자제품에 필수적인 저장장치이다. 또한, 하드디스크 대용 저장장치로도 주목받고 있는 SSD (Solid State Drive)로 사용

되고 있다. 플래시 메모리는 1984년 도시바에서 새롭게 개발하였으며, 플로팅 게이트에 전자를 주입시켜 저장하는 방식이다.

보통 플래시 메모리라고 하면 싱글레벨셀 (SLC, Single Level Cell) 플래시 메모리 인데, 플로팅 게이트에 전하가 저장되어 있는 상태와 저장되어 있지 않은 상태를 구분하여 '0'과 '1'을 나타내며, 1비트의 데이터를 저장하게 된다. 멀티레벨셀 (MLC, Multi Level Cell) 플래시 메모리는 플로팅게이트에 전압 레벨을 나누어 구간을 나눈 후, 그 구간에 맞게 플로팅 게이트에 주입하는 전하의 양을 조절하여 저장하는 방식으로 플로팅 게이트에 주입된 전하의 양에 따라 레벨을 구분한다¹⁾~²⁾. 따라서 멀티레벨셀 플래시 메모리는 한 셀에 다수의

* 학생회원, ** 정회원, 송실대학교
(Soongsil University)

※ 이 논문은 2008년 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임
(313-2008-2-D00759)

접수일자: 2010년6월7일, 수정완료일: 2010년7월16일

비트를 저장하게 되며, 단위 면적당 데이터 저장용량이 증가하게 되는 것이다. 하지만, 읽기 레벨을 더 나누게 되므로 문턱 전압의 간격이 좁아져서 더 많은 오류가 생기게 된다. 따라서 멀티레벨셀 플래시 메모리에서 생기는 오류를 정정하기 위한 연구가 계속적으로 필요하다^[3-6].

멀티레벨셀 플래시 메모리는 오류의 증가 외에도 데이터의 읽기/쓰기 (Read/Program)의 속도가 느려지는 문제점이 있으며, 읽기/쓰기를 위한 추가적인 회로가 필요하게 된다. 하지만, 멀티레벨셀 플래시 메모리에 의한 저장용량의 증가와 비교할 때, 추가적인 회로의 크기가 크지 않아 멀티레벨셀 플래시 메모리의 연구는 계속적으로 진행 중이며, 읽기/쓰기의 속도 향상과 회로의 복잡도 감소를 위한 연구도 진행 중이다^[7-11]. 본 논문에서는 16레벨셀 낸드 플래시 메모리에 저장된 데이터를 최대유사도 검출기를 이용할 수 있도록 데이터의 훈련(training) 과정을 거쳐서 트렐리스의 정답을 추정하는 기법에 대해 제안한다.

II. 멀티레벨셀 낸드 플래시 메모리 채널

2.1 멀티레벨셀 낸드 플래시 메모리 채널

멀티레벨셀 낸드 플래시 메모리 채널에서 고려해야 하는 상황은 데이터를 저장하면서 인접한 셀 사이에 존재하는 절연층에 의해 생기는 축적전하에 의한 전하의 이동이다. 이 이동현상은 ‘플로팅 게이트 방해’라고 하며, 기생 축전기 (parasitic capacitor)를 통과한 인접한 셀의 플로팅 게이트 전압의 전하에 의하여 결합된 것이므로 ‘커플링 효과’라고도 한다^[12]. 커플링 효과에 의한 전하의 이동은 다음 식에 의하여 결정된다^[13].

$$\begin{aligned} \Delta V_{th}^{(p,q)} = & \gamma_{fg1} \Delta V_{th}^{(p,q+1)} \\ & + \gamma_{fg2} \Delta V_{th}^{(p-1,q)} \\ & + \gamma_{fg2} \Delta V_{th}^{(p+1,q)} \\ & + \gamma_{fg3} \Delta V_{th}^{(p-1,q+1)} \\ & + \gamma_{fg3} \Delta V_{th}^{(p+1,q+1)} \end{aligned} \quad (1)$$

멀티레벨셀 낸드 플래시 메모리는 ISPP (Incremental Step Pulse Programming) 방식으로 전하를 주입하게 되며, ISPP 방식은 펄스를 이용하여 플로팅 게이트에 전하를 조금씩 주입하여 원하는 구간까지 이동하여 데이터를 프로그램하게 된다. 그림 1은 16레벨 멀티레벨셀 낸드 플래시 메모리를 ISPP 방식으로 데이터를 쓸

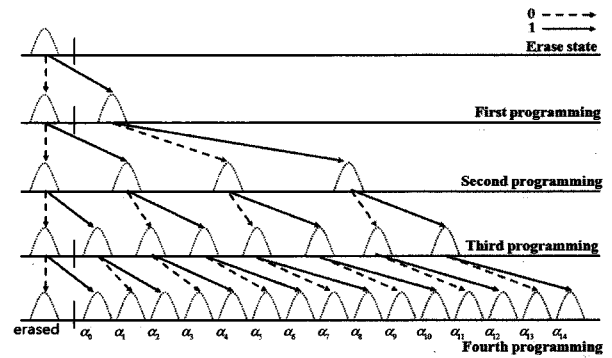


그림 1. ISPP 방식으로 프로그램 할 때의 각 페이지 별로 저장되는 값에 따라 이동하는 산포의 변화
Fig. 1. The distribution of the voltage is moving to high voltage by ISPP.

때의 산포의 이동을 보여준다. 각 페이지가 프로그램 될 때마다 생기는 전압의 상승 폭 (ΔV_{th})에 의해 커플링 효과가 생기며, 실험에서 커플링 효과의 영향력을 결정하기 위해 커플링 계수 (γ_{fg})에 R을 나누어 커플링의 영향력을 조절한다.

그림 2는 R이 각각 30과 50일 때, 커플링 효과만 존재하는 16레벨셀 플래시 메모리 채널의 산포를 보여준다. 그림에서 s1~sF까지 15개의 상태(state)에 대한 산포를 보여주며, 그림에서 표시되지 않은 s0 상태(erased state)는 0 volt 이하에 존재하게 된다. Even 라인과 Odd 라인은 커플링 효과에 의해 이동하는 전압의 크기가 다르므로 Even 라인의 산포가 Odd 라인 산포보다 더 넓게 분포 되는 것을 알 수 있다. 그림에서 볼 수 있듯이 실제 16레벨셀 낸드 플래시 메모리 채널과 가까운 모델은 R이 30과 40일 때 이므로, R이 50 보다 작을 때의 성능에 관해 분석할 필요가 있다.

그림 3은 16레벨셀 메모리가 한 블록 내에서 프로그램되는 순서를 보여주며, 워드라인(WL, Word Line)은 32개이다. 비트라인(BL, Bit Line)은 Even 라인과 Odd 라인으로 한 쌍을 이룬다. 커플링 효과의 영향력을 최소화하기 위하여, 그림처럼 메모리 블록에서 각 셀의 첫 번째 페이지에 해당하는 데이터를 모두 프로그램 한 후(first programming), 각 셀의 두 번째 페이지에 해당하는 데이터를 모두 프로그램 한다(second programming). 이렇게 각 셀의 세 번째 페이지 데이터를 프로그램하고(third programming) 마지막으로 각 셀의 네 번째 페이지 데이터를 프로그램 한다(fourth programming)^[14]. WL0, even0 셀에서 1번 프로그램 후 2번, 3번, 4번을 프로그램 하면 이에 대한 커플링 효과

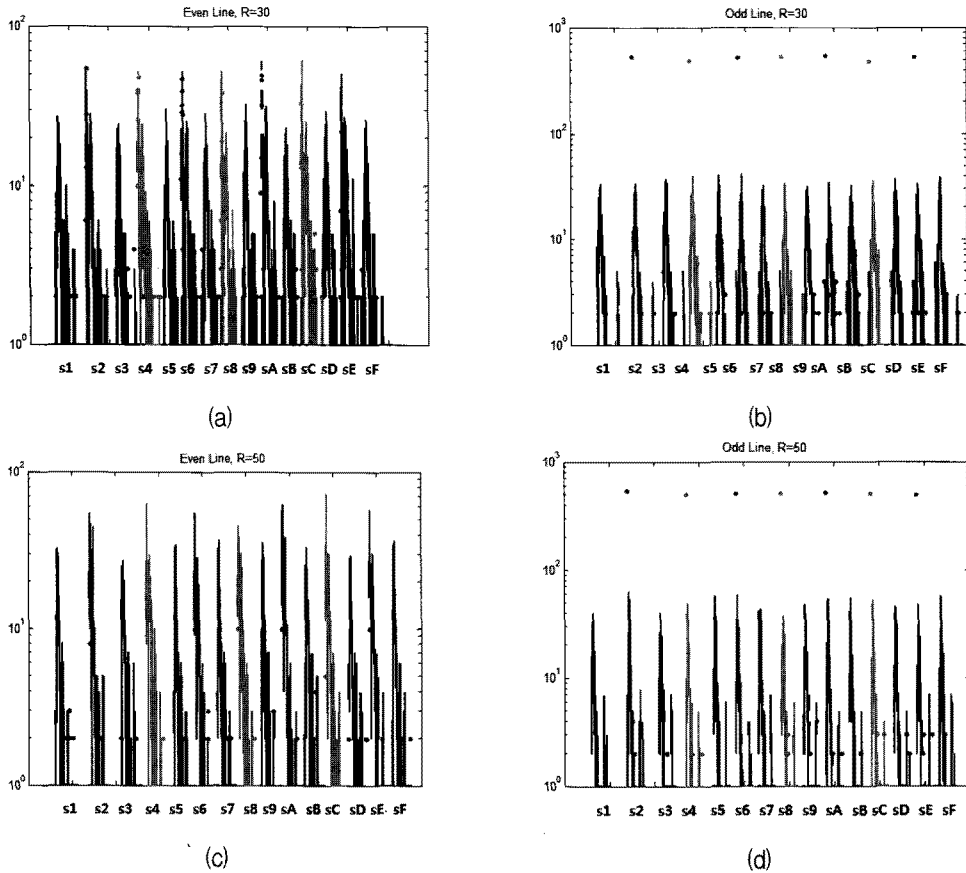


그림 2. 커플링 영향력만 존재하는 4비트 멀티레벨셀 낸드 플래시 메모리 채널의 산포 (16 레벨), erased state의 산포 제외, R=30일 때, (a) Even Line의 산포, (b) Odd Line의 산포, R=50일 때, (c) Even Line의 산포, (d) Odd Line의 산포

Fig. 2 The distribution of each symbols on the 4-bit multi-level cell NAND flash memory with only coupling noise (except distribution of erased state). As the R is 30, (a) distribution of even line, (b) distribution of odd line. As the R is 50, (c) distribution of even line, (d) distribution of odd line.

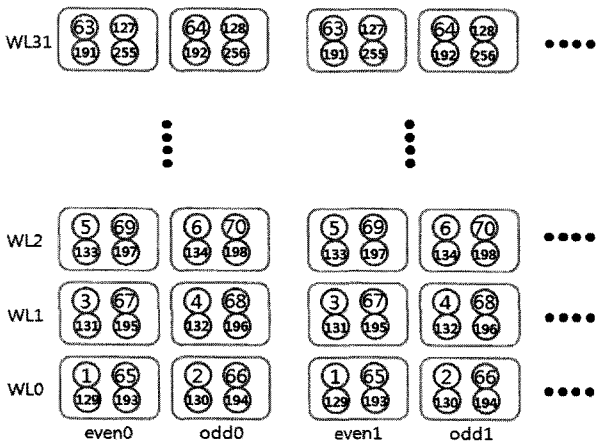


그림 3. 16레벨셀 낸드 플래시 메모리에서 프로그램의 순서

Fig. 3. The programming schedule of 16-level cell NAND flash memory.

에 의하여 1번의 전압이 상승하게 된다. 하지만, 65번을 프로그램하면서 2번, 3번, 4번에서 받았던 커플링 효과가 무시된다. 따라서 한 셀에 4비트의 데이터를 저장하더라도 커플링 효과는 주변 셀로부터 한 번씩만 영향을 받게 된다. 또한 같은 워드라인에서 프로그램이 실행 될 때, Even 라인이 먼저 프로그램이 실행되고 나서 Odd 라인의 프로그램이 실행되므로 Even 라인은 Odd 라인에 의한 커플링 효과가 있지만, Odd 라인은 Even 라인에 대한 커플링 효과가 없게 된다. 따라서 Even 라인의 비트오율 (BER, Bit Error Rate) 성능이 Odd 라인의 비트오율 성능 보다 나쁘게 된다. 커플링 효과는 프로그램 시 증가하는 전하량에 비례하므로 각 페이지 데이터의 프로그램 실행에서 전하량 증가 폭이 임의의 페이지 프로그램 실행에서 크지 않도록 잘 조절할 필요가 있다. 이처럼 커플링 효과를 줄일 수 있는

프로그램 순서에 대한 연구도 필요하다^[15].

2.2 트렐리스 정답 유추 기법을 이용한 최대유사도 (ML, Maximum Likelihood) 검출기

최대 유사도 검출기는 메모리가 존재하는 채널에서 주로 사용되는 방법으로, 트렐리스 다이어그램을 이용하여 입력되는 값이 최대 유사도를 가질 때의 값을 찾는 방법이다. 최대 유사도 검출기의 장점은 패리티가 없음에도 불구하고 비터비 알고리즘을 사용하기 때문에 성능이 좋다는 점이다.

멀티레벨셀 플래시 메모리는 커플링 효과에 의한 주변 셀의 영향을 받으므로 메모리가 존재하는 채널이다. 따라서 최대 유사도 검출 알고리즘을 이용하여 플래시 메모리의 데이터를 읽으면 커플링 효과에 대한 해결책이 될 수 있다. 따라서 본 논문에서 제안하는 트렐리스 정답 추정 알고리즘을 이용하여 최대 유사도 검출기를 사용할 수 있다.

16레벨셀 낸드 플래시 메모리 채널을 메모리가 2개 존재하는 채널로 가정하여 트렐리스 다이어그램을 이용하여 분석해 보면, 16진 데이터이므로 각 상태로 들어오는 입력은 16개가 존재한다. 또한, 트렐리스 다이어그램에서 시간 k 일 때, 상태 s_k 는 16^2 개의 상태가 존재하여 $s_k = \{s_0, s_1, \dots, s_{255}\}$ 가 된다. 이전 상태를 $s' = s_{k-1}$ 이라 하고, 다음 상태를 $s = s_k$ 라고 할 때, $s_k^{(s' \rightarrow s)}$ 는 트렐리스 경로 s_k 에서의 상태 이동 (Transition)을 의미한다. $BM_k(s_k^{(s' \rightarrow s)})$ 는 트렐리스 상태이동 $s_k^{(s' \rightarrow s)}$ 에서의 가지경로 거리 (BM, Branch Metric)이며, 다음으로 표현한다.

$$BM_k(s_k^{(s' \rightarrow s)}) = |r_k - state_k^{(s' \rightarrow s)}| \quad (2)$$

여기서, $state_k^{(s' \rightarrow s)}$ 는 $s_k^{(s' \rightarrow s)}$ 에서의 트렐리스 정답 값이고, r_k 는 트렐리스 시간 k 에서의 입력 데이터이며, 이들의 차이인 $BM_k(s_k^{(s' \rightarrow s)})$ 가 $s_k^{(s' \rightarrow s)}$ 에서의 잡음의 크기가 된다. 제안하는 트렐리스의 정답 추정 기법은 $state_k^{(s' \rightarrow s)}$ 의 값을 훈련을 통해서 결정하는 것이다. 이미 알고 있는 데이터 열 $\bar{d}_k = \{d_0, d_1, \dots, d_{k-1}\}$ 가 존재할 때, 상태의 이동은 '00', '0d₀', 'd₀d₁', ..., 'd_{k-2}d_{k-1}'이 되며, 이때 각 입력 값은 'd₀', 'd₁', ..., 'd_{k-1}'이 된다. 따라서 훈련을 통해 얻은 평균 $state_k^{(s' \rightarrow s)}$ 의 값을 트렐리스의 정답으로 결정하여 최대유사도 알고리즘을 이용하여

데이터를 검출할 수 있게 된다. $N_{s_k^{(s' \rightarrow s)}}$ 는 $state_k^{(s' \rightarrow s)}$ 의 평균을 구하기 위한 상태 $s_k^{(s' \rightarrow s)}$ 값의 빈도수이다. 트렐리스 정답 추정 알고리즘은 다음과 같다.

1) 초기화

$$state_k^{(s' \rightarrow s)} = 0, N_{s_k^{(s' \rightarrow s)}} = 0$$

2) 훈련

$$state_0^{(s' \rightarrow s)} = state_0^{(s' \rightarrow s)} + r_0, N_{s_0^{(s' \rightarrow s)}} = N_{s_0^{(s' \rightarrow s)}} + 1$$

$$(s' = 00) \rightarrow (s = 0d_0) \text{ 일 때,}$$

$$state_1^{(s' \rightarrow s)} = state_1^{(s' \rightarrow s)} + r_1, N_{s_1^{(s' \rightarrow s)}} = N_{s_1^{(s' \rightarrow s)}} + 1$$

$$(s' = 0d_0) \rightarrow (s = d_0d_1) \text{ 일 때,}$$

$$state_2^{(s' \rightarrow s)} = state_2^{(s' \rightarrow s)} + r_2, N_{s_2^{(s' \rightarrow s)}} = N_{s_2^{(s' \rightarrow s)}} + 1$$

$$(s' = d_1d_2) \rightarrow (s = d_2d_3) \text{ 일 때,}$$

⋮

$$state_k^{(s' \rightarrow s)} = state_k^{(s' \rightarrow s)} + r_k, N_{s_k^{(s' \rightarrow s)}} = N_{s_k^{(s' \rightarrow s)}} + 1$$

$$(s' = d_{k-3}d_{k-2}) \rightarrow (s = d_{k-2}d_{k-1}) \text{ 일 때,}$$

3) 트렐리스 정답 추정

$$state_k^{(s' \rightarrow s)} = state_k^{(s' \rightarrow s)} / N_{s_k^{(s' \rightarrow s)}}$$

훈련하는 데이터 열 (\bar{d})의 개수에 따라 트렐리스 정답 추정의 신뢰도가 달라진다. 훈련을 통해 추정된 트렐리스 정답을 식(2)의 $state_k^{(s' \rightarrow s)}$ 에 대입하여 최대 유사도 검출을 할 수 있다.

III. 시뮬레이션

16레벨셀 낸드 플래시 메모리에서 커플링 효과만을 고려하였을 때, 커플링의 영향력을 조절하는 R 값에 따른 심볼 오류율 (SER, Symbol Error Rate) 성능을 비교하였다. 트렐리스 정답 추정 알고리즘을 이용하여 구한 트렐리스 정답 값을 이용하여 최대 유사도 검출을 하였으며, 실험환경은 R이 20부터 80까지 10 간격이다. 또한, 최대 유사도 검출 알고리즘의 성능을 향상시키기 위해 마지막에 '00' 상태로 되돌아가도록 종료 심볼 (Termination Symbol, 2 심볼)을 삽입하였다.

플래시 메모리에서 한 블록은 32개의 워드라인과 4096개의 비트라인으로 이루어져 있으며, 비트라인은 Even 라인과 Odd 라인으로 구분된다. 플래시 메모리 한

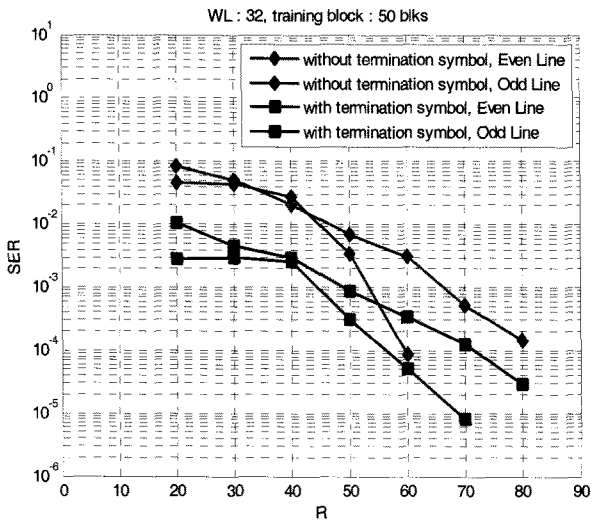


그림 4. 16레벨셀 낸드 플래시 메모리 채널에서 종료 심볼을 삽입 했을 때와 그렇지 않을 때의 성능 그래프 (훈련 블록 : 50)

Fig. 4. Performances of the proposed detection algorithm with termination bits and without termination bits. (training block : 50)

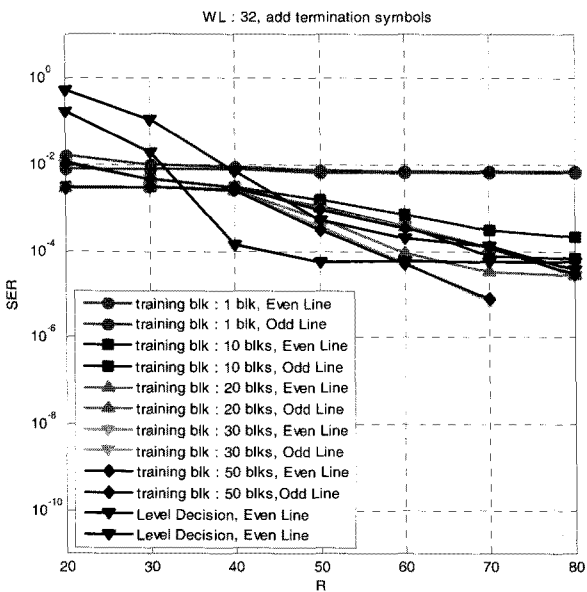


그림 5. 16레벨셀 낸드 플래시 메모리 채널에서 종료 심볼을 삽입 했을 때, 훈련 블록의 길이에 따른 성능 (훈련 블록 : 1, 10, 20, 30, 50)과 문턱 전압에 의한 검출 방법의 성능 비교

Fig. 5. The performance graphs of the different training block length, and compare with threshold detection.

블록은 131,072 (32 x 4096) 개의 Even 셀과 Odd 셀이 각각 존재하며 131,072 심볼이 각각 저장된다. 한 블록을 훈련 데이터 열로 사용하면 131,072 개의 심볼이 훈련

데이터 열로 사용되는 것이다.

그림 4는 종료 심볼을 삽입했을 때와 그렇지 않을 때의 성능을 나타내며, 훈련 블록은 50 블록이다. 그림에서 종료 심볼이 존재 할 때가 없을 때 보다 심볼 오류율 성능이 우수한 것을 볼 수 있다.

그림 5는 종료 심볼을 삽입 한 상태에서 훈련 블록의 길이에 따른 성능의 변화를 보여준다. R이 40 보다 클 경우, 훈련 블록의 길이가 길어질수록 성능은 좋아지며, 훈련 블록의 길이가 30 과 50일 때의 성능이 일치함을 볼 수 있다. R이 40 보다 작을 경우에는 훈련 블록의 길이가 10블록 이상이면 성능이 같은 것을 볼 수 있다. R이 20, 30, 40일 때, Even 라인의 경우 트렐리스 정답을 추정하여 최대 유사도 검출을 한 성능이 문턱 전압을 이용하여 검출한 성능 보다 더 좋으며, 특히 R이 20, 30일 때 심볼 오류율은 1/10 정도 감소하였다. R이 40 보다 클 때에는 성능차이가 크게 나지 않는다.

또한, Odd 라인의 경우 문턱 전압을 이용한 검출 방법의 성능이 최대 유사도 검출 보다 더 좋은 것을 볼 수 있는데, 이것은 Odd 라인의 경우 커플링 효과는 한 방향에서만 영향을 받으므로 메모리가 없는 채널처럼 되기 때문이다. Even 라인의 경우 커플링 효과의 방향이 5방향이므로 메모리가 있는 채널로 가정 할 수 있어, 트렐리스 추정을 통한 성능의 향상이 존재한다. 식 (3)은 Even 라인의 커플링 효과를 보여주며, 식 (4)는 Odd 라인의 커플링 효과를 보여준다.

$$\Delta V_{th,even}^{(p,q)} = \gamma_{fg1} \Delta V_{th}^{(p,q+1)} + \gamma_{fg2} \Delta V_{th}^{(p-1,q)} + \gamma_{fg2} \Delta V_{th}^{(p+1,q)} + \gamma_{fg3} \Delta V_{th}^{(p-1,q+1)} + \gamma_{fg3} \Delta V_{th}^{(p+1,q+1)} \quad (3)$$

$$\Delta V_{th,odd}^{(p,q)} = \gamma_{fg1} \Delta V_{th}^{(p,q+1)} \quad (4)$$

IV. 결 론

본 논문에서는 패리티 비트의 추가 없이도 트렐리스 정답 추정 기법을 통해 최대 유사도 검출기를 사용할 수 있는 알고리즘을 제안하였다. 트렐리스 정답 추정 기법을 이용하여 16레벨셀 낸드 플래시 메모리 채널에 적용해 보았으며, 문턱 전압을 이용한 검출 보다 성능의 향상이 있음을 보였다. 커플링 효과의 영향력이 큰 경우 제안한 기법의 성능 이득이 큼을 보았으며, 커플

링 효과의 영향력이 작을 때는 약간의 성능 이득이 있음을 보았다. Even 라인의 경우 커플링에 의해 메모리 채널이 되므로 최대 유사도 검출기에 의한 성능 이득이 존재하며, Odd 라인의 경우 커플링에 의한 영향력이 약하여 메모리 채널이 되지 않아 최대 유사도 검출기에 의한 성능 이득이 존재 하지 않는다.

참 고 문 헌

- [1] T. Tanzawa et al., "A compact on-chip ECC for low cost Flash Memories," *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 5, pp. 662-669, May 1997.
- [2] B. Polianskikh and Z. Zilie, "Induced error-correcting code for 2bit-per-cell multi-level DRAM," *Proceeding of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems*, vol. 2, pp. 352-355, Aug. 2001.
- [3] H Chang et al., "Multi-level memory systems using error control codes," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. II-393-II-396, May 2004.
- [4] B. Chen, X. Zhang, and Z. Wang, "Error correction for multi-level NAND flash memory using Reed-Solomon codes," *IEEE Workshop on Signal Processing Systems*, pp. 94-99, Oct. 2008.
- [5] S. Fe et al., "Multilevel flash memory on-chip error correction based on trellis coded modulation," *IEEE International Symposium Circuits and Systems (ISCAS)*, pp. 1443-1446, May 2006.
- [6] H. Lou, and C. Sundberg, "Increasing storage capacity in multilevel memory cells by means of communications and signal processing techniques," *IEE Proceedings Circuits, Devices and Systems*, Vol. 147, No. 4, pp. 229-236, Aug. 2000.
- [7] H. Nobukata et al., "A 144-Mb, Eight-level NAND flash memory with optimized pulsewidth programming," *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 5, pp. 682-690, May 2000.
- [8] T. Hara et al., "A 146-mm² 8-Gb multi-level NAND flash memory with 70-nm CMOS technology," *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 1, pp. 161-169, Jan. 2006.
- [9] K. Takeuchi, T. Tanaka, and T. Tanzawa, "A multipage cell architecture for high-speed programming multilevel NAND flash memories," *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 8, pp. 1228-1238, Aug. 1998.
- [10] M. Grossi, M. Lanzoni, and B. Ricco, "Program schemes for multilevel flash memories," *Proceedings of the IEEE*, Vol. 91, No. 4, pp. 594-601, April 2003.
- [11] N. Shibata, and T. Tanaka, "Semiconductor memory device for storing multivalued data," U.S. Patent 6 657 891, Dec. 2, 2003.
- [12] J. Lee, S. Hur, and J. Choi, "Effects of floating-gate interference on NAND flash memory cell operation," *IEEE Electron Device Letters*, vol. 23, no. 5, pp. 264-266, May 2002.
- [13] T. Cho et al., "A dual-mode NAND flash memory: 1-Gb multilevel and high-performance 512-Mb signal-level modes," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 11, pp. 1700-1706, Nov. 2001.
- [14] 박동혁, 이재진, "멀티 레벨 셀 메모리의 채널 모델링", *한국통신학회논문지* vol. 34, no. 9, pp.880-886, Sep. 2009.
- [15] 강동구, "플래그 셀들 사이의 커플링을 최소화시킬 수 있는 멀티-비트 플래시 메모리 장치 및 그것의 프로그램 방법", *대한민국특허청* 출원번호 10-2006-0052605, 출원일 2006년 6월 12일.

저 자 소 개



박 동 혁(학생회원)
 2007년 2월 숭실대학교 정보통신
 전자공학부 학사
 2007년 2월~숭실대학교 정보통신
 전자공학부 석박통합과정
 <주관심분야 : 스토리지 시스템,
 LDPC 부호, 채널코딩, 멀티 레벨
 셀 플래시 메모리>



이 재 진(정회원)
 1983년 2월 연세대학교
 전자공학과 학사
 1984년 12월 U. of Michigan,
 Dept. of EECS 석사
 1994년 12월 Georgia Tech. Sch.
 of ECE 박사
 1995년 1월~1995년 12월 Georgia Tech. 연구원
 1996년 1월~1997년 2월 현대전자 정보통신
 연구소 책임연구원
 1997년 3월~2005년 8월 동국대학교 전자공학과
 부교수
 2005년 9월~숭실대학교 정보통신전자공학부
 교수
 <주관심분야 : 통신이론, 채널코딩, 기록저장 시
 스템>