

SiN_x / 고분자 이중층 게이트 유전체를 가진 Zinc 산화물 박막 트랜지스터의 저온 공정에 관한 연구

이호원* · 양진우* · 형건우** · 박재훈*** · 구자룡* · 조이식****
권상직**** · 김우영***** · 김영관*,†

*홍익대학교 정보디스플레이공학과

**홍익대학교 신소재공학과

***홍익대학교 전자 전기제어 공학과

****경원대학교 전자 전기 공학과

*****경원 대학교 디스플레이 공학과

(2010년 4월 9일 접수 ; 2010년 6월 23일 채택)

Study on the Low-temperature process of zinc oxide thin-film transistors with SiN_x / Polymer bilayer gate dielectrics

Ho-Won Lee* · Jin-Woo Yang* · Gun-Woo Hyung** · Jae-Hoon Park***
Ja-Ryong Koo* · Eou-Sik Cho**** · Sang-Jik Kwon****
Woo-Young Kim***** · Young-Kwan Kim*,†

*Dept. of Information Display, Hongik University, Seoul, Korea

**Dept. of Materials Science and Engineering, Hongik University, Seoul, Korea

***Dept. of Electrical, Information and Control Engineering, Hongik University, Seoul, Korea

****Dept. of Electronics Engineering, Kyungwon University, Seongnam-city, Korea

*****School of Display Engineering, Hoseo University, Asan-City, Korea

(Received April 9, 2010 ; Accepted June 23, 2010)

Abstract : Oxide semiconductors Thin-film transistors are an exemplified one owing to its excellent ambient stability and optical transparency. In particular zinc oxide (ZnO) has been reported because It has stability in air, a high electron mobility, transparency and low light sensitivity, compared to any other materials. For this reasons, ZnO TFTs have been studied actively. Furthermore, we expected that would be satisfy the demands of flexible display in new generation. In order to do that, ZnO TFTs must be fabricated that flexible substrate can sustain operating temperature. So, In this paper we have studied low-temperature process of zinc oxide(ZnO) thin-film transistors(TFTs) based on silicon nitride (SiN_x) / cross-linked poly-vinylphenol (C-PVP) as gate dielectric. TFTs based on oxide fabricated by Low-temperature process were similar to electrical characteristics in comparison to conventional TFTs. These results were in comparison to device with SiN_x / low-temperature C-PVP or SiN_x / conventional C-PVP. The ZnO TFTs fabricated by low-temperature process

†주저자 (E-mail : kimyk@wow.hongik.ac.kr)

exhibited a field-effect mobility of $0.205 \text{ cm}^2/\text{Vs}$, a threshold voltage of 13.56 V and an on/off ratio of 5.73×10^6 . As a result, We applied experimental for flexible PET substrate and showed that can be used to ZnO TFTs for flexible application.

Keywords : ZnO transistor, Low temperature process, C-PVP, Flexible substrate, ALD

1. 서론

AMOLED가 디스플레이에 본격적으로 도입되면서 대형화에 필수조건인 Thin-Film-Transistor (TFT) 기판 기술이 확보 되어 있지 않기 때문에 그에 대한 연구가 활발히 진행 중이다. 대표적인 TFT의 연구로 비정질 실리콘, 폴리 실리콘 트랜지스터가 있는데, 비정질 실리콘은 TFT의 균일도가 좋고, 제조비용이 낮은 반면 전계 효과 이동도가 약 $1 \text{ cm}^2/\text{Vs}$, 신뢰성 또한 좋지가 않은 단점을 가지고 있다. 폴리 실리콘 TFT는 $\sim 100 \text{ cm}^2/\text{Vs}$ 과 신뢰성이 우수한 반면 TFT의 균일도가 매우 떨어지고 제조비용이 비싸다는 단점이 있다. 그러나 산화물 트랜지스터는 균일도가 좋고, 전계 효과 이동도도 $10 \text{ cm}^2/\text{Vs}$ 이상이며, 제조단가와 신뢰성 면에서도 장점을 동시에 가지고 있다[1]-[3]. 이러한 특성들 때문에 산화물 트랜지스터에 대한 연구가 활발히 연구 중이다. 그 중에서도, zinc 산화물 (ZnO) 트랜지스터는 대기 중에서 안정도와 전하 이동도가 높고, 빛에 대한 민감도 또한 낮은 점 등 여러 가지 우수한 전기적 특성을 가지고 있어서 활발히 연구가 진행 되고 있다[4]. 특히 최근 차세대 디스플레이 적용을 위한 투명전극, 백플레인 TFT 및 플렉시블 디스플레이의 실현을 위해서 공정온도 또는 상온에서 공정이 가능한 개발, 가공 적합성 측면 등 다양한 연구를 필요로 하고 있다[5]. 이러한 측면으로 볼 때, 산화물 트랜지스터는 투명하고 저온공정이 가능하기 때문에 향후 차세대 디스플레이 분야의 구동소자로도 유망 하다[6]. 또한 트랜지스터의 성능에 밀접한 관계를 가지는 게이트 절연층의 공정이 널리 연구되고 있는데 특히, 유기 절연층에 대한 연구는 용액 공정이 가능하여 가격적인 면에서도 매우 우수하고, 플렉시블 디스플레이에 직접적으로 응용이 가능하다는 장점 때문에 활발히 진행되고 있다. 지금까지 연구된 것을 보면 Poly-vinyl phenol

(PVP) 이 유기 게이트 절연층으로 널리 이용되고 있는데, 이것은 유기 고분자 물질이기 때문에 용액공정이 가능 하다[7]. 그래서 가격적인 측면으로 볼 때 매우 연구 가치가 높다고 볼 수 있다. 하지만, 일반적으로 PVP 용액공정은 경화할 때 온도가 170°C 이기 때문에 향후 플렉시블 디스플레이의 적용에 매우 불리하다[8]. 따라서 우수한 성능을 내는 PVP 유기 게이트 절연막을 유연한 기판에 적용하기 위해 공정온도를 최적화할 필요성이 있다.

본 연구에서는 기존의 연구되었던 PVP 공정과 비교하여 저온 공정이 가능한 PVP공정을 최적화하였고, 소자 성능 또한 유사하게 나온다는 것을 알았다. 이러한 실험 결과는 향후 유연한 기판위에 적용이 가능하다고 생각하여 PET 필름 위에 ZnO TFT소자를 직접 제작해보았다. 그 결과 유기 게이트 절연막을 사용한 ZnO 트랜지스터가 유연한 기판에 응용 가능성이 있다는 것을 보였다.

2. 실험

2.1. 산화물 트랜지스터 제작 과정

우리가 제작한 산화물 트랜지스터는 Fig. 1에서 보는 바와 같은 Top-contact 방식으로 제작되었다. 이러한 구조로 소자를 제작하기 위해서, 첫 번째로 게이트 전극 100 nm 두께의 Indium-tin-oxide (ITO) 를 유리 기판위에 sputter방식으로 전면 적층하고, 일반적인 Photolithography 공정 방법을 이용하여 패턴하였다. 다음으로 게이트 유전층으로써 200 nm 두께의 SiN_x 가 게이트 전극위에 Plasma Enhanced Chemical Vapor Deposition (PECVD) 방법으로 적층되었다. 서로 다른 유기 절연층들의 전기적 특성을 비교하기 위하여 첫 번째 소자 [I]의 유기 절연층으로는 Propylene glyco lmonomethyl ether acetate

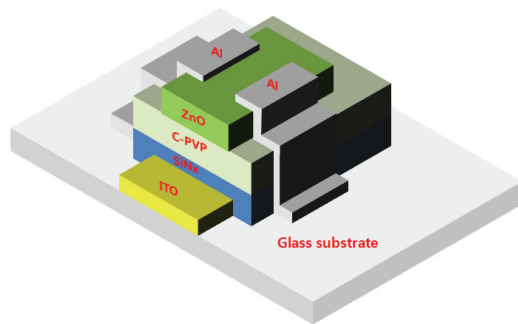


Fig. 1. Structure of a top-contact ZnO TFT with SiN_x / C-PVP bilayer as gate dielectric.

(PGMEA) 용매에 poly-vinyl phenol (PVP) 0.5 wt% 와 Cross-linking 물질 Poly(melamin-co-formaldehyde), methylated을 녹인 용액을 사용하여 SiN_x위에 스핀 코팅 방법으로 박막을 형성시키고, conventional oven에 165 °C, 1 시간 동안 경화시켰다. 두 번째 소자 [II]는 저온 공정을 가능하게 하기 위한 방법으로 2-Propanol anhydrous (IPA) 용매에 PVP 1 wt%와 Cross-linking 물질을 넣은 용액으로 스핀 코팅방법을 사용하여 SiN_x위에 박막을 형성하고, vacuum oven에 110 °C, 1시간 동안 경화시키도록 하였다. 반도체 층으로는, ZnO 박막이 유기 절연층 위에 Atomic layer deposition (ALD) 방법으로 500 nm 적층하였으며, 이때 ZnO 박막 성장 비율은 6.8 Å/cycle, 그때 기판은 120 °C에서 73 cycle동안 열을 주었다[9]. 끝으로 소스와 드레인 전극은 shadow mask를 사용하여 50 nm Al을 진공 열 증착 방법으로 적층하였다. 이렇게 만든 2가지 소자 [I], [II] 들은 채널 길이가 100 μm, 폭이 300 μm 인 소자 구조를 가졌다 (W/L = 3). 그리고 최종적으로 유연한 기판위에 저온 공정을 적용한 ZnO 트랜지스터를 직접 응용하여 만들어 보았는데 그 소자 [III]의 적층 구조는 다음과 같다 : 유연한 PET 플라스틱 기판 / 진공 열 증착방법을 이용한 100 nm 두께의 Al 게이트 전극 / 게이트 절연층으로 IPA용매에 Cross-linking 물질과 PVP 10 wt%가 녹아있는 용액을 스핀 코팅으로 박막 형성하고, vacuum oven에 110 °C, 1 시간 경화 / 500 nm ZnO 를 ALD방법으로 적층 / 소스와 드레인 전극은 shadow mask를 이용하여 게이트 전극과 같은 방법으로 50 nm의

Al를 증착 하였다.

2.2. 소자 특성 측정 방법

모든 소자들의 전기적 특성을 측정하기 위하여 반도체 분석기기인 Keithley 4200을 사용하였고, 표면 특성을 위한 접촉각과 표면 상태를 측정하기 위한 분석기기로 Phoenix 300을 사용하였다. 그리고 게이트 절연층의 Capacitance-주파수 (C-F)를 측정하기 위한 기기로는 HP-4192 impedance analyzer를 사용하였다.

3. 결과 및 고찰

Fig. 2는 유기 절연체 물질인 PVP와 Cross-linking 물질 그리고 C-PVP의 화학 구조를 나타내었다. 본 연구에서는 기존의 ITO 게이트와 SiN_x 무기 절연층 위에 각기 다른 끓는점을 가지는 유기용매를 사용하여 C-PVP를 제작하였다. 이렇게 이중층 게이트 유전체를 제작한 후 전기적 특성을 비교하기 위하여 Metal-Insulator-Metal(MIM)을 제작하여 Fig. 3에서 보는 바와 같이 C-F값을 측정하였다. 구조 [I]의 Capacitance값은 20.46 nF/cm², 구조 [II]의 Capacitance값은 17.12 nF/cm² 이 각각 측정되었다. 이 측정값을 비교 하였을 때 기존의 공정으로 제작된 C-PVP와 저온 공정으로 제작된 C-PVP 절연층의 특성차이가 거의 없는 것으로 나타났다. 하지만, 기존 방식의 C-PVP 용액을 저온공정으로 제작하였을 때에는 스핀 코팅된 C-PVP가 유기 용매 (아세톤, 메틸 알코올) 에 지워지는 것을 눈으로 확인할 수 있었다. 이것은 Cross-linking이 제대로 되지 않았다고 볼 수 있기 때문에 유기 절연층으로 사용이 불가능하다는 것을 알았다. 또한, Fig. 3의 안쪽 그림과 같이 접촉각을 측정하기 위해 증류수를 떨어뜨렸을 때 그 값이 각각 61.33°, 65.31° 이 나왔다. 이것으로 보았을 때, 표면 특성 또한 유사하다고 볼 수 있었다[10]. Fig. 4는 소자 [I]과 소자 [II]의 Transfer 특성과 Output 특성을 비교한 것이다. Fig. 4 (a)와 (b)는 소자 [I]의 전기적특성이고 Fig. 4 (c)와 (d)는 소자 [II]의 전기적 특성이다. 이 두 가지 소자들을 비교해 보면 Table. 1에서 확인할 수 있듯이 (a), (b) 특성을 가지는 소자는 문턱 전압 10 V, 문턱 전압 이하 기울기 0.14

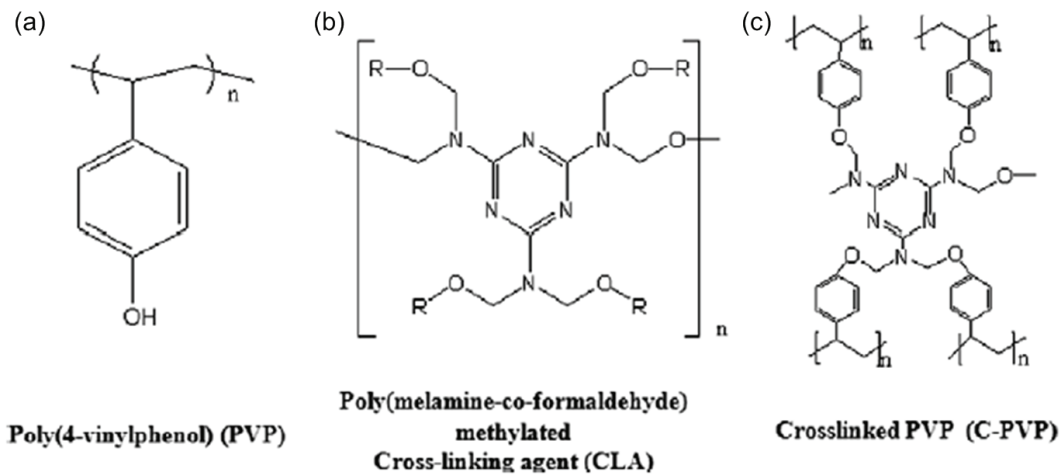


Fig. 2. Chemical structure of (a) poly(4-vinylphenol) (PVP), (b) poly(melamine-co-formaldehyde) methylated (cross-linking agent) and (c) cross-linked PVP (C-PVP).

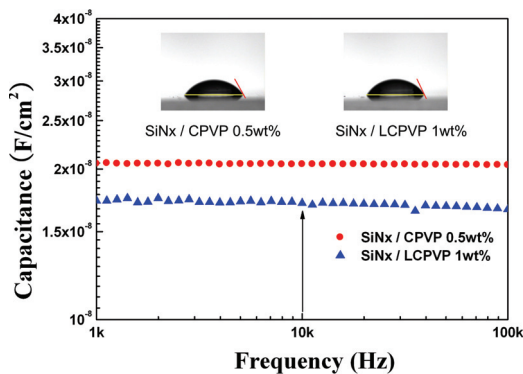


Fig. 3. Comparison of C-F characteristics for the MIM devices fabricated with a various insulator & substrates and contact angle of C-PVP for surface.

V/decade, on/off 전류비 2.21×10^7 , 전계 효과 이동도 $0.276 \text{ cm}^2/\text{Vs}$ 가 측정되었고, (c), (d) 특성을 갖는 소자는 문턱 전압 13.56 V, 문턱 전압 이하 기울기 2.15 V/decade, on/off 전류비 5.73×10^6 , 전계 효과 이동도 $0.205 \text{ cm}^2/\text{Vs}$ 로 각각 측정되었다. TFT 성능을 나타내주는 중요한 척도인 문턱전압, on/off 전류비, 전계 효과 이동도의 값을 비교해 볼 때, 소자[I]과 소자[II]의 전기적 특성이 유사함을 알 수 있다. 이렇게 증명된 저온공정의 C-PVP를 이용하여 유연한 플라스틱 기판 위에 소자[III]을 제

작해 보았다. 본 소자의 Transfer, Output 전기적 특성은 Fig. 5에서와 같이 측정되었고, Table. 1에서와 같이 문턱 전압이 2.76 V, 문턱 전압 이하 기울기 3.53 V/decade, on/off 전류비 3.53×10^4 , 전계 효과 이동도 $0.038 \text{ cm}^2/\text{Vs}$ 가 각각 측정되었다.

4. 결론

본 연구에서는 기존의 연구된 $\text{SiN}_x / 165^\circ\text{C}$ 로 제작된 C-PVP 이중 절연층 위에 ZnO 트랜지스터와 $\text{SiN}_x /$ 저온공정 110°C 로 제작된 C-PVP 이중 절연층 위에 ZnO 트랜지스터를 제작하여 그 특성들을 비교하였다. 그 결과 두 개의 트랜지스터의 화학적, 물리적 특성들이 거의 유사함을 확인했고, 최종적으로 유연한 PET 플라스틱 기판 위에 저온 공정을 적용한 게이트 유기 절연체를 이용하여 ZnO 트랜지스터를 제작하였다. 이 소자의 전기적 특성들은 각각 문턱 전압이 2.76 V, 문턱 전압 이하 기울기 3.53 V/decade, on/off 전류비 3.53×10^4 , 전계 효과 이동도 $0.038 \text{ cm}^2/\text{Vs}$ 가 측정되었다. 이 결과로 볼 때, 아직까지 유연한 플라스틱 기판 위의 ZnO 트랜지스터의 많은 특성 개선 및 향상은 필요하다. C-PVP를 저온공정으로도 절연층으로의 적용이 충분히 가능함을 확인할

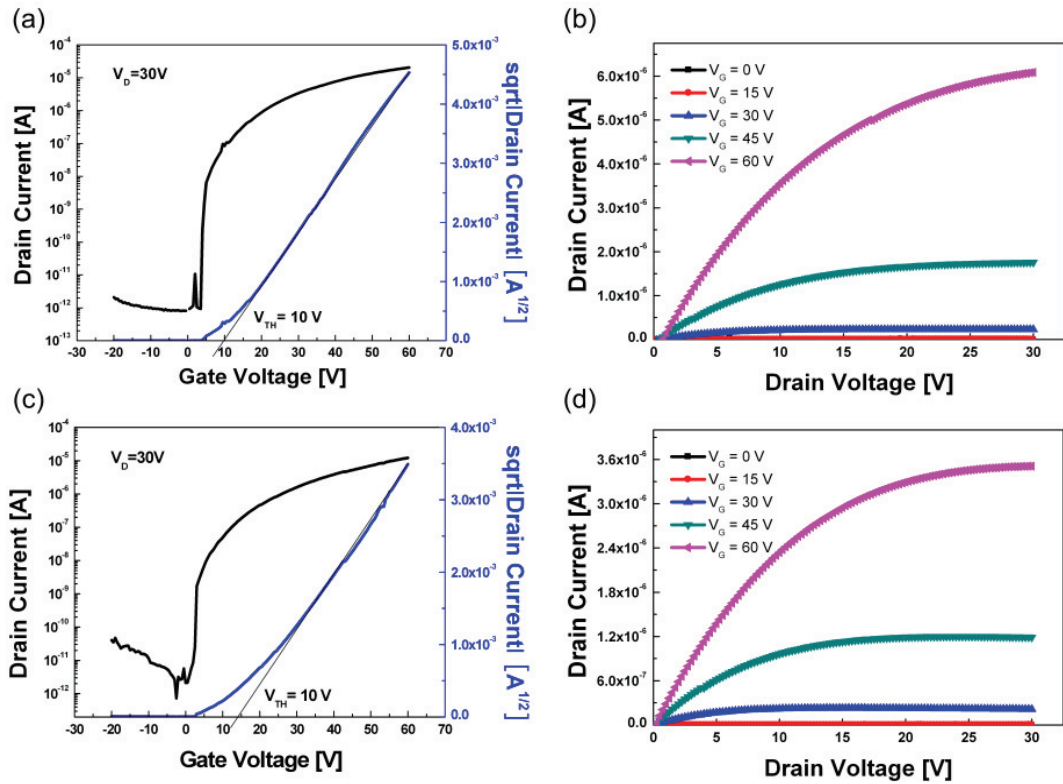


Fig. 4. Transfer characteristics ($\log(-I_D)$ versus V_G) and Output characteristics (I_D versus V_D) of ZnO TFTs characteristic.

(a), (b) according to 165°C process conventional C-PVP bilayer on a SiNx layer.
 (c), (d) according to 110°C low temperature process C-PVP bilayer on a SiNx layer.

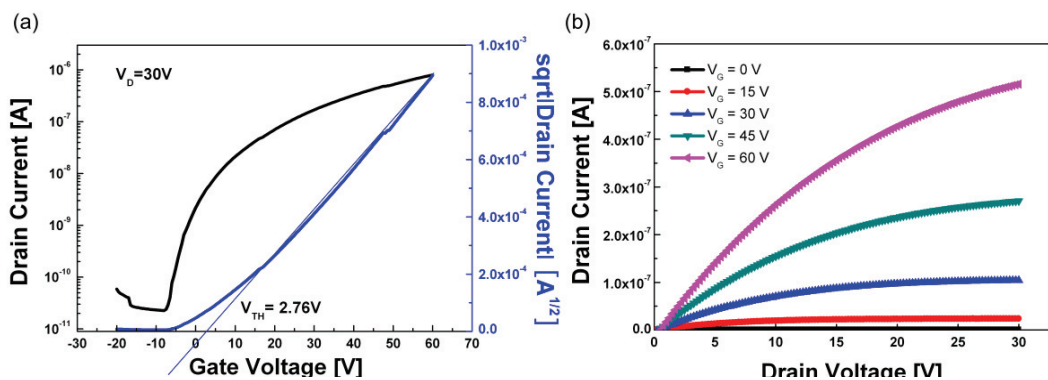


Fig. 5. (a) Transfer characteristics ($\log(I_D)$ versus V_G) of flexible ZnO TFTs with Low temperature C-PVP as gate dielectric.

(b) Output characteristics (I_D versus V_D) of flexible ZnO TFTs with Low temperature process C-PVP as gate dielectric.

Table 1. The electrical parameters of fabricated Zinc Oxide TFTs

	SiNx/CPVP Dielectric on ITO Glass substrate	SiNx/LCPVP Dielectric on ITO Glass substrate	LCPVP Dielectric on Al Flexible PET substrate
Threshold voltage [V]	10	13.56	2.76
Subthreshold slope [V/decade]	0.14	2.15	3.53
On/off current ratio	2.21×10 ⁷	5.73×10 ⁶	3.53×10 ⁴
Mobility [cm ² /Vs]	0.276	0.205	0.038

수 있었고, 향후 유연한 플라스틱 기판 위에 용액 공정이 가능하고, 가격이 저렴하며, 다른 유기물에 비해 특성이 우수한 유기물 절연층인 PVP의 응용이 가능하다는 것을 확인했다.

감사의 글

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국과학재단의 우수연구센터 사업 지원을 받아 수행된 연구임(No. 20100009882).

참고문헌

1. R. L. Hoffman, B. J. Norris, and J. F. Wager, ZnO-based transparent thin-film transistors, *Apply. Phys. Lett.*, 82(5), 733(2003).
2. P. F. Carcia, R. S. McLean, M. H. Reilly, and G. Nunes, Jr., Transparent ZnO thin-film transistor fabricated by rf magnetron sputtering, *Apply. Phys. Lett.*, 82(7), 1117(2003).
3. E. Fortunato, P. Barquinha, A. Pimentel, A. Goncalves, A. Marques, L. Pereira, and R. Martins, Fully transparent ZnO thin-film transistor produced at room temperature, *Adv. Mater.*, 17(5), 590(2005).
4. Jae-Heon Shin, Ji-Su Lee, Chi-Sun Hwang, Sang-Hee Ko Park, Woo-Seok Cheong, Minki Ryu, Chun-Won Byun, Jeong-Ik Lee, and Hye Yong Chu, Light Effects on the Bias Stability of Transparent ZnO Thin Film Transistors, *J. ETRI.*, 31(1), (2009).
5. By Alejandro L. Briseno, Ricky J. Tseng, Mang-Mang Ling, Eduardo H. L. Falcao, Yang Yang, Fred Wudl, and Zhenan Bao, High-Performance Organic Single-Crystal Transistors on Flexible Substrates, *Adv. Mater.*, 18(17), 2320(2006).
6. Youngill Choi, Hyojong Kim, Kyoseung Sim, KeeChan Park, Chan Im, and Seungmoon pyo, Flexible complementary inverter with low-temperature processable polymeric gate dielectric on a plastic substrate, *Org. Electron.*, 10, 1209(2009).
7. Mingdi Yan, M. N. Wybourne, John F. W. Keana, Bis(perfluorophenyl azides) as highly efficient crosslinking agents for poly(vinyl phenol), *Reactive & Functional Polymers.*, 43, 221(2000).
8. D. K. Hwang, Min Suk Oh, Jung Min Hwang, Jae Hoon Kim, and Seongil Im, Hysteresis mechanism of pentacene thin-film transistors with polymer/oxide bilayer gate dielectrics, *Apply. Phys. Lett.*, 92, 013304(2008).
9. Yo-Sep Min, Young Jin Cho, and Cheol Seong Hwang, Atomic Layer Deposition of Al₂O₃ Thin Films from a 1-Methoxy-2-methyl-2-propoxide Complex of Aluminum and Water, *Chem. Mater.*, 17, 626(2005).

10. Sung-jin Mun, Jeong-M. Choi, Kwang H. Lee, Kimoon Lee, and Seongil Im, Determining the optimum pentacene channel thickness on hydrophobic and hydrophilic dielectric surface, *Apply. Phys. Lett.*, 93, 233301(2008).