

테스트 용이화를 위한 임베디드 DRAM 내 SRAM의 병렬 구조

국인성*, 이재민**

A Parallel Structure of SRAMs in embedded DRAMs for Testability

In-Sung Gook*, Jae-Min Lee**

요 약

SoC와 같은 고밀도 반도체 메모리의 신호선 사이의 간격이 급속히 좁아짐에 따라 고장 발생률 또한 증가하여 이를 위한 효과적인 테스트 기법이 요구되고 있다.

본 논문에서는 테스트의 복잡도와 시간을 줄일 수 있도록 임베디드 DRAM의 내부에 내장할수 있는 SRAM의 구조를 제안한다. 제안하는 테스트 구조를 사용하면 메모리 테스트를 싱글 포트 메모리에 대한 테스트로 처리함으로써 높은 테스트 복잡도 없이 듀얼 포트 메모리의 읽고 쓰는 동작을 동시에 수행하는 것이 가능하므로 테스트 시간을 단축시킬 수 있다.

ABSTRACT

As the distance between signal lines in memories of high density ICs like SoCs decreases rapidly, failure occurs more frequently and effective memory test techniques are needed.

In this paper, a new SRAM structure is proposed to decrease test complexity and test time for embedded DRAMs. In the presented technique, because memory test can be handled as a single port testing and read-write operation is possible at dual port without high complexity, test time can be much reduced.

Keywords : Memory Test, Design for Testability, SoC, eDRAM, SRAM

1. 서 론

일반적으로 SoC (System-on-Chips)의 CPU코어는 RISC와 하드웨어 아키텍처 혼합하여 독립된 두 개의 내장 메모리에 각각 저장된 명령어와 데이터를 동시에 패치 하여 하나의 머신 사이클로 동작한다.

이러한 동작을 하는 내장 메모리는 SoC 성능을 크게 좌우하고 있다. 메모리 로직의 배선과 배선 사이의 간격이 좁아지게 될 때 메모리 로직의 고장 발생률이 크게 증가하여 메모리의 테스트 또한 더욱 복잡해진다.[1,2] 메모리 용량의 증가는 고장 발생 확률을 증가시키고 테스트 회로를 복잡하게 만드는 원인

* 삼성전자

** 교신저자, 관동대학교 전자정보통신공학부 교수(leejm@kd.ac.kr)

접수일자 : 2010년 7월 18일, 수정일자 : 2010년 7월 26일, 심사완료일자 : 2010년 7월 30일

이 된다. 메모리 테스트를 빠르고 정교하게 수행하기 위해 일반적으로 BIST (Built-In Self Test)나 DFT (Design for Testability) 로직을 메모리에 내장하는데, BIST나 DFT를 전혀 고려하지 않고 메모리를 설계하면 테스트 시간이 증가하게 된다.[3] 대용량 메모리가 고 집적화될 때 결합고장과 이웃 패턴 감응고장의 발생 확률이 증가하는데 이러한 고장의 테스트 시 테스트 시간과 복잡도가 급격히 상승하는 경향을 보인다.[4]

SoC에 가장 많이 내장되는 메모리는 SRAM이다. 단위 비트 당 내장 면적의 경우, SRAM이 다른 메모리에 비해 크므로 비슷한 성능을 유지하면서 내장되는 메모리 용량을 증대하기 위해 SRAM, DRAM flash RAM 등을 하이브리드 형태로 융합한 eDRAM (embedded DRAM)이 개발되었다.

SoC 칩에 내장된 메모리의 테스트 복잡도를 줄이고 효율적인 메모리 테스트를 위해서 BIST기법과 병렬 메모리를 이용한 테스트 기법이 개발되었다.[5,6] eDRAM의 테스트를 위해 여러 종류의 메모리를 pad 상태로 연결하여 테스트하는 기법과[7] 유니버설 인터페이스 방식의 eDRAM 테스트 등이 연구되었다.[8]

휴대용 멀티미디어 장치에 내장되는 고성능 프로세서들은 일반적으로 높은 대역폭을 요구하는데 내장되는 메모리가 높은 대역폭, 큰 용량, 작은 면적을 만족하기 힘들기 때문에 듀얼 포트 메모리를 사용한다. 이러한 듀얼 포트 메모리는 일반적인 SRAM 보다 각 메모리 셀 마다 트랜지스터와 비트 라인이 2개씩 추가되어야하고 행 디코더와 열 디코더가 한 쌍씩 더 사용된다. 듀얼 포트 메모리는 각 포트에 대해 싱글 셀로 접속될 때와 두 개의 포트를 이용하여 듀얼 셀에 접속될 때를 모두 테스트해야 되므로 입력 테스트 패턴이 복잡하고 분석이 어려우며 테스트 시간이 증가하는 문제점이 있다.

본 논문에서는 차세대 메모리로 주목받고 있는 eDRAM 형태의 TCM에서 발생하는 고장을 빠르고 쉽게 테스트할 수 있도록, eDRAM에 내장할수 있는 양방향 입출력 SRAM의 구조를 제안하고 시뮬레이션을 통해 그 성능을 평가 및 검증한다.

II. 제안하는 SRAM의 구조

제안하는 eDRAM 내부의 각 SRAM 뱅크의 구조는 그림 1와 같다.

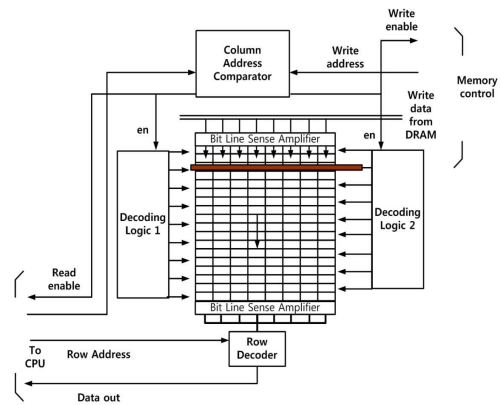


그림 1. SRAM 뱅크의 구조
Fig. 1. Architecture of SRAM bank

일반적으로 SRAM은 DRAM에 비해 쓰기와 읽기 속도가 빠르고 전원이 끊어지지 않는다면 읽거나 쓸 때 메모리의 내용이 파괴되지 않는 특성을 가지고 있으므로 소량의 SRAM을 이용하면 빠른 버퍼를 만들 수 있다.

이 SRAM 구조를 내장하는 메모리는 접근 시간이 매우 느린 보조 메모리의 페이지를 복사하여 높은 대역폭으로 전송하는 버퍼의 역할을 수행한다.

제안하는 SRAM의 구조에서는 메모리를 일시적으로 쓰기 영역과 읽기 영역으로 나눈다. 각 행 디코더의 주소 값이 서로 다른 영역에 접근하는 것을 막기 위해 각 주소는 비교되어 접근 여부를 판별하는 과정을 거쳐야 한다. 읽고 쓰는데 사용되는 2개의 주소가 동시에 CAC(Column Address Comparator)에 주입되어 비교된 후 접근 허용 여부가 결정 되어 CPU와 메모리 컨트롤러에 전달된다. 메모리 컨트롤러에서 지정한 주소와 프로세서의 가상 주소 값으로 메모리 접근이 허용되면 각 디코더는 부여된 주소 값에 의해 SRAM의 영역을 2개로 나눈다. 나누어진 경계선을 중심으로 위쪽 영역에 대해서 쓰기 정책이 수행되고 경계의 아래 부분부터 읽기 정책이 수행된다. 이는 듀얼 포트 메모리의 복

잡도를 제거하면서도 동시에 읽고 쓰는 것이 가능하다. 더불어 메모리 테스트를 싱글 포트 메모리에 대한 테스트로 가져올 수 있게 하여 같은 기능을 할 때에 비해 테스트를 쉽게 할 수 있으며 읽기와 쓰기 동작이 동시에 이루어지므로 테스트 시간을 절반으로 단축시킬 수 있다.

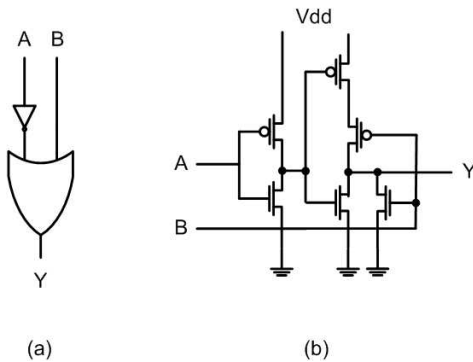


그림 2. 2비트 주소 비교기
Fig. 2. 2 bit address comparator

메모리 컨트롤러에 내장되는 주소 비교기는 그림 2의 비트 주소 비교기를 이용한다. 주소 비교기의 출력은 표 1과 같이 나타난다. 각 a와 b의 출력에서 a가 b의 값보다 클 경우 출력이 논리 '0'으로 나타난다.

표 1. 2 비트 주소 비교기의 진리표
Table 1. Truth table of 2bit address comparator

A	B	C
0	0	1
0	1	1
1	0	0
1	1	1

비트 비교기를 통해 허용 신호가 나타나면 각 메모리의 분리된 영역을 읽고 쓸 수 있다. 그림 3과 같이 메모리에 연결된 디코더 1이 하나의 행을 활성화 시키면 활성화된 아래쪽 행은 3상태 버퍼에 의해 오픈되며 하나의 비트라인이 2개의 전기 상태를 가질 수 있게 된다. 이렇게 분리된 두 비트라인을 이용하면 각각의 두 영역에 서로 다른 차동 전압을 인가하여 서로 다른 영역의 메모리 셀에 동시에 데이

터를 읽고 쓸 수 있다.

디코더 1에 의해 선택된 행은 쓰기 정책에 의해 DRAM에서 불러온 데이터를 쓰게 되며 디코더 2와 열 디코더에 의해 선택된 SRAM의 영역을 캐시 메모리나 프로세서에서 참조할 수 있다.

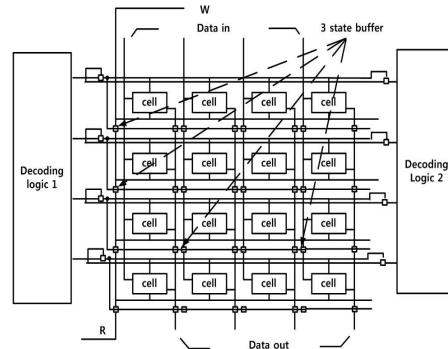


그림 3. SRAM 메모리 셀의 구조
Fig. 3. Architecture of SRAM memory cells

읽기 명령은 행 주소 2번과 열 주소에 의해 수행된다. 선택된 데이터는 BLSA(Bit Line Sense Amplifier)에 의해 신호가 증폭되어 출력된다. 쓰기 명령은 행주소 1번과 디코더 1을 이용하여 하나의 행에 대하여 DRAM의 데이터를 불러와 한 번에 쓴다. DRAM보다 SRAM의 속도가 빠르므로 SRAM의 읽기 속도가 DRAM의 데이터를 SRAM에 쓰는 속도보다 빠르다. 따라서 메모리의 데이터를 넓은 비트 폭으로 전송하여 대역폭을 유지한다. 메모리의 위쪽부터 아래쪽까지 하위주소의 데이터를 상위 주소에 대해 순차적으로 쓰기 시작하면 데이터가 모두 저장 되었을 때부터 메모리 읽기를 수행한다.

III. 실험결과

Quartus II를 사용하여 합성된 SRAM의 디코더 비교기의 출력은 그림 4와 같다.

그림 4에서 addr1의 주소가 addr2 보다 작을 때만 비교 상태 c_out 이 논리 0으로 나타남을 알 수 있다. 각 주소가 같은 주소를 가리키고 있을 때와 addr1의 주소가 addr2 보다 클 때 논리 1 상태가 출력되었다.

제안하는 SRAM메모리의 비트라인이 3상태 버퍼

에 의해 쓰기 영역과 읽기 영역으로 분할됨을 검증하기 위해 OR-CAD를 이용하여 테스트를 하였고, 다음과 같은 실험 결과를 얻었다. 3상태 게이트의 단위 셀은 그림 5와 같다.

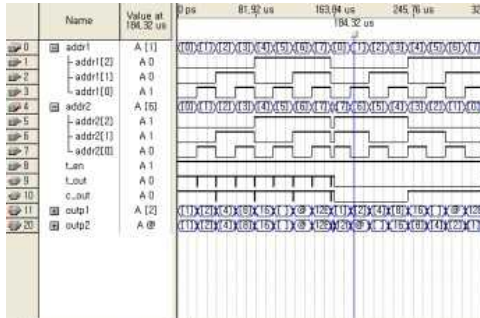


그림 4. SRAM 주소 비교기의 출력
Fig. 4. Outputs of address comparator in SRAM

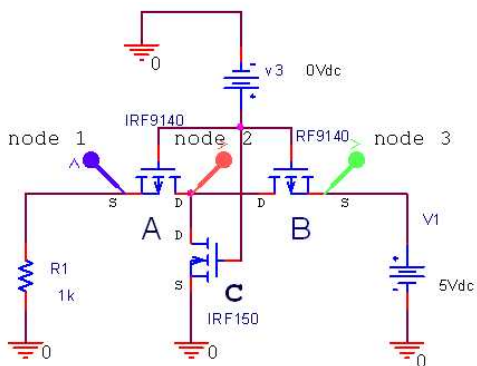


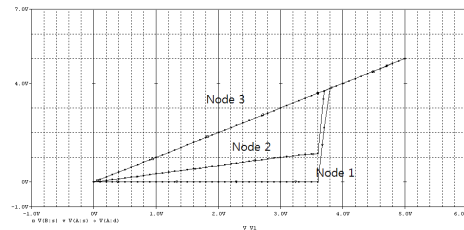
그림 5. CMOS를 이용한 3상태 버퍼
Fig. 5. 3-state buffer using CMOS

그림 6 (a)에 나타난 그래프는 A와 B의 게이트 입력 전압이 0V 일 때 전압원 V1을 0에서 5V까지 0.5V 단위로 DC sweep 한 결과이다. 전압원 V1의 출력인 Node 3이 0~5V까지 변화할 때 트랜지스터 B는 항상모드로 동작하여 저항의 역할을 하고 A는 역방향이 되어 p 채널과 소스의 영향으로 전압 장벽이 발생하여 입력 전압이 3.5V까지 도통하지 않다가 3.7V부근에서 항복되어 급격하게 전압이 상승하고 이후로 소스 전압에 따라 출력이 선형으로 증가한다.

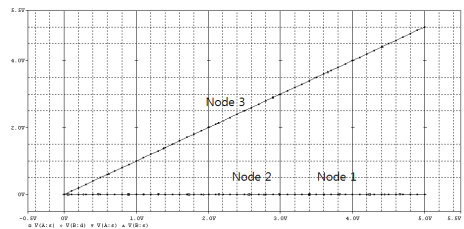
그림 6(b)는 신호원 V2의 전압이 5V 일 때 전압

원 V1을 0에서 5V까지 0.5V 단위로 DC sweep 한 결과이다. 전압원 V1의 출력인 Node 3이 0~5V까지 변화할 때 p MOSFET는 하이 임피던스 상태가 되며, n MOSFET는 단락되어 접지에 연결되고 전압원의 변화로부터 출력이 차단되었다.

SRAM 메모리의 감지 증폭기는 비트선을 선 충전시킨 후 메모리 셀의 작은 출력 전압 변화를 차동 증폭하여 데이터를 출력한다. 제안하는 비트 선 로를 사용할 때 선 충전 전압을 3.5V에서 4V로 상태로 만들면 빠른 스위칭이 가능함을 확인하였다.



(a)



(b)

그림 6. 3 CMOS 3 State Gate의 출력
Fig. 6. Outputs of CMOS 3-state gate

IV. 결론

본 논문에서는 병렬 구조를 이용한 차세대 내장 메모리로 주목받고 있는 eDRAM내부에 내장 할 수 있는 SRAM의 테스트 용이화 설계 기법을 제안하였다.

제안하는 기법에서는 메모리 테스트를 싱글 포트 메모리에 대한 테스트로 처리하므로써 테스트를 용이하게 할 수 있고, 듀얼 포트 메모리의 복잡도를 제거하면서도 읽고 쓰는 동작을 동시에 수행하는 것이 가능하므로 테스트 시간을 절반까지 단축시킬 수 있다.

참 고 문 헌

- [1] Yu Huang, Xijiang Lin, "Programmable Logic BIST for At-speed Test", IEEE, ATS'07, pp. 295-300, Oct. 2007.
- [2] Sasaki, T. Nakamura, Y. Asaka, T. "Shared At-Speed BIST for Parallel Test of SRAMs with Different Address Sizes" ATS'08, pp. 267- 267, Nov. 2008.
- [3] A. J. van de Goor, Testing Semiconductor Memories, John Wiley and Sons Chichester, UK, 1991.
- [4] 안영창, "고집적 메모리의 테스트 기술"전자공학회지, 제25권, 제 11호, 1998.
- [5] 국인성, 이재민, "시스템 온 칩의 테스트용이도를 위한 병렬 메모리 테스트 구조"디지털콘텐츠학회, 2008.
- [6] 국인성, 김용, 이재민, "고밀도 내장 메모리를 위한 병렬 테스트와 고속 결합 고장 검출 알고리즘", 한국정보전자통신기술학회, 춘계종합 학술발표회 논문집 Vol. 2 No.1, pp. 137-140, Oct. 2009.
- [7] 배선준, 이종숙, 김합, 손군중, "복합 다중 Memory Test 용 PAD 설계 및 Test 방법", Samsung electronics, 1999.
- [8] Shinji Miyano, Kachhito Sakae-ku, Kenji Yokohama, "Universal Test Interface for Embedded-DRAM Testing", Toshiba corp. 1999.

저자약력

국인성(In-Sung Gook) 정회원

2008년 2월 : 관동대학교
전자공학과 졸업
2010년 2월 : 관동대학교
전자공학과 석사

<관심분야> SoC 설계 및 테스트, 컴퓨터 구조

이재민(Jae-Min Lee) 정회원



1979년 2월 : 한양대학교
전자공학과 학사
1981년 2월 : 한양대학교
전자공학과 석사
1987년 2월 : 한양대학교
전자공학과 박사

<관심분야> SoC 설계 및 테스트, RF 테스트, 신재생에너지 시스템