

고효율 고밀도 서버용 전원장치를 위한 Hold up Time 보상 기술

金榮度*, 曹奎玟*, 文建又†

Hold up Time Extension Technique for high efficiency, high power density server power supply

Young-Do Kim, Kyu-Min Cho, and Gun-Woo Moon

요 약

최근 전 세계적인 지구 기후 변화에 따라 에너지를 절약하기 위한 정책이 수립되고 있으며 특히 권고 사양인 CSCI 규제가 점차 강화되고 있어 서버용 전원장치의 효율 조건 역시 높아지고 있다. 이에 따라 서버용 전원 장치의 효율 향상을 얻을 수 있는 기술로서 hold up time extension 기술이 많은 주목을 받아왔다. Hold up time 보상 기술은 서버용 전원 장치가 가지는 hold up time 이라는 특징으로 인하여 발생할 수 있는 손실을 추가적인 기술을 통하여 보상함으로써 효율을 높일 수 있는 방법으로 그동안 많은 연구가 이루어져 왔다. 본고에서는 고효율 고밀도 서버용 전원장치를 위한 hold up time 보상회로에 대하여 알아보하고자 한다.

ABSTRACT

Nowadays, climate change becomes serious problem in all around country. Especially because of global warming problem, every country is suffered from various natural disasters. To prevent these changes, every industry are keep requiring the increase in energy efficiency. Recently, in the regulation of CSCI (climate savers computing initiate), the efficiency of server power supply should meet the demand of 94% at 50% load condition by 2010, which is called platinum level. Hence, server power system has been dramatically developed with the various technique for the high efficiency of it. Among those technique, hold up time extension technique has received wide attention and has been researched for a long time. In this paper, technical trend of hold up time extension circuit will be covered for the high efficiency, high power density server power supply.

Key Words : Server power supply, Hold up time extension

1. 서 론

서버는 전 세계적으로 가장 빠르게 성장하는 품팩터로서 여러 물리적인 장점과 더불어 가상화 기술 및 시

스템 관리상의 이점을 바탕으로 IT 단순화를 위한 최적의 플랫폼을 제공하고 있다. 이에 따라 기업에서는 소수의 하이엔드 서버 시스템을 운영하던 환경에서 수천 대의 볼륨 서버 시스템을 운영하는 환경으로 변모하였다. 이러한 환경으로 변모하면서 서버 시스템의 도입비용을 절감할 수 있었지만 전력 소비량 및 운영비용의 증가 같은 문제들이 발생하게 되었다. 전 세계 서버 부문 투자 중, 전력 및 냉각 그리고 유지보수 및 관리에 들어가는 비용이 해마다 급속도로 증가, 각각

†교신저자 : 정희원, KAIST 전기 및 전자공학과 교수

E-mail : gwmoon@ee.kaist.ac.kr

*정희원, KAIST 전기 및 전자공학과 박사과정

접수일자 : 2010. 2. 28 1차 심사 : 2010. 3. 5

심사완료 : 2010. 3. 8

전력 및 냉각 비용의 증가율이 신규 서버 증가율의 약 여덟 배, 유지 보수 및 관리 비용의 증가율이 신규 서버 도입 비용 증가율의 네 배를 보일 것으로 전망되고 있다. 이에 따라 서버용 전원장치의 연구에 대한 관심이 증가하고 있으며 새로운 서버용 전원장치에 대한 수요가 증가하고 있다. 주요 서버업체로는 HP, Dell, IBM, SUN, Fujitsu 등이 있으며, 전체 수요량의 70% 이상을 점유하고 있으므로 서버용 전원 장치 시장 진입을 이루기 위해서는 이들 업체들의 질적 요구사항에 맞는 서버용 전원 장치의 개발이 필요하다. 하지만 서버용 전원 장치는 고신뢰성, 고전력밀도, 고효율 및 저소음 등을 요구하므로 높은 수준의 전력전자 기술이 필요하다. Delta 사, Lite-On 사, 그리고 Astek 사 등 유수의 외국 기업들이 시장의 75%를 점유하고 있으며, 국내 기업의 시장 점유율은 매우 낮은 실정이다. 특히나 Intel 사와 Delta 사, IBM 사와 API 사간의 관계와 같이 업체 간의 전략적 제휴에 의한 Custom Made 제품 경향이 강하므로 국내 기업들의 시장 진입이 더욱 큰 난관을 겪고 있다. 현재 서버용 전원 장치의 주류는 700W급을 주 사양으로 하여 600W ~ 1000W급으로 분포되어 있다.

한편, 현재 서버 시장은 하나의 큰 도전을 맞이하고 있다. 지구의 온난화 방지를 위해 이산화탄소 배출량을 줄이자는 도쿄의정서가 체결된 이후 전 세계적으로 에너지를 보호하기 위한 정책이 수립되고 있다. 서버 시장 역시 권고 사양인 CSCI (Climate Savers Computing Initiative) 규제가 앞으로 2 ~ 3 년 후에는 필수 사양으로 될 예정이다. 그림 1은 2010년 기준 CSCI에서 권고하는 각 년도 별 효율 기준을 나타내고 있다. [1-3]

2009년 기준으로 서버 시장을 점유 하고 있는 주요 업체들은 현재 최고 권고 사양인 platinum level을 만족하기 위하여 연구 개발에 박차를 가하고 있다. Hold up time 보상 기술은 이러한 서버용 전원 장치의 효율을 효과적으로 증가 시킬 수 있는 기술로서 주목 받아 왔다. 본 원고에서는 고효율 고밀도 서버용 전원장치를 위한 hold up time 보상 기술에 대하여 알아본다.

2. 서버용 전원장치의 Hold up time 기초

서버용 전원장치와 같은 분산 전력 시스템은 그림 2와 같이 일반적으로 크게 고주파 규제를 만족시키기 위한 power factor correction (PFC) 회로와 시스템의 버스 전압을 만드는 front-end dc/dc converter로 이루어져 있다. 서버용 전원장치의 부하장치는 중요 데이

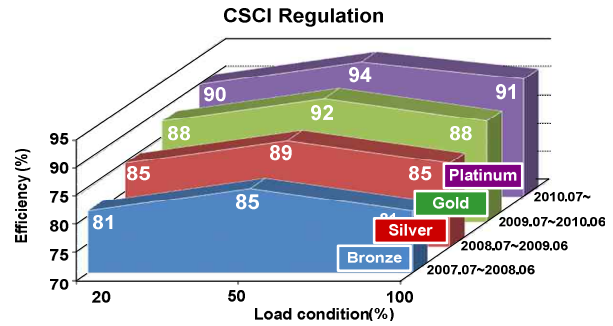


그림 1 CSCI 효율 기준
Fig. 1 CSCI efficiency regulation

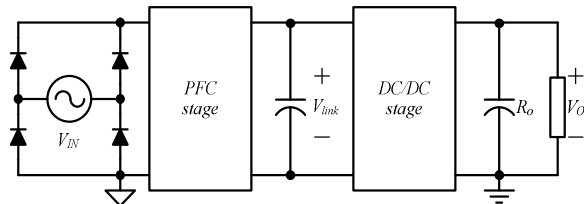


그림 2 서버용 전원 장치의 구조
Fig. 2 Structure of server power supply

터를 처리 및 저장하는 서버용 컴퓨터이기 때문에 시스템의 안정성이 매우 중요한 요소가 된다. 따라서 AC 입력 전압이 불시에 차단되더라도 CPU가 데이터를 저장할 수 있도록 일정 시간 동안 출력 전압을 유지시켜 주어야 하며, 이 시간을 통상적으로 hold up time 이라고 말한다.

Hold up time 으로는 통상 입력 라인의 주파수 (50Hz ~ 60Hz)의 한 주기인 16.67ms ~ 20ms 가 요구 된다. 이러한 hold up time 구간에는 입력 전원이 존재 하지 않기 때문에 PFC의 출력 전압을 저장하는 링크 capacitor가 DC/DC 컨버터의 입력 전압 역할을 대신하게 된다. 이에 따라 CPU가 데이터를 저장 할 수 있는 에너지를 hold up time동안 전원장치가 공급하기 위해서 DC/DC stage가 링크 capacitor에서 계속 전류를 가져가기 때문에 그림 3에 나타난 것과 같이 링크 capacitor의 전압이 급격히 감소하게 된다. Hold-up time 구간동안의 링크 전압의 변화는 다음과 같은 식으로 표현된다.

$$V_{link, min} = \sqrt{V_{nom}^2 - \frac{2P_o T_{holdup}}{\eta_{DC/DC} C_{link}}} \quad (1)$$

(1) 식에서 알 수 있듯이 출력 전력이 클수록 혹은 링크 capacitor의 값이 작을수록 링크 capacitor의 최소

링크 capacitor의 전압이 급격히 작아짐을 알 수 있다, 링크 capacitor의 전압이 hold up time동안 크게 변화하게 되므로 이에 따라 큰 입력 전압의 변화에도 출력 전압을 일정하게 유지 할 수 있도록 DC/DC stage가 설계되어야 하며 이는 고효율이 요구되는 front end DC/DC stage의 효율을 감소시키는 주요 요인이다.

3. Hold up time 보상 기술

3.1 기존 DC/DC stage의 문제점

일반적으로 서버용 전원장치 에서는 PFC 회로에 boost converter가 주로 사용되기 때문에 PFC 회로가 일반적으로 동작하기 위해서는 링크 capacitor의 전압이 항상 입력 라인 전압의 최대치 보다 높아야 한다. 통상 상용 AC 전원은 85Vac~265Vac 가 현재 사용되고 있으며 이들의 최대 첨두 전압은 120.2V~374.8V가 된다. 따라서 링크 capacitor의 전압은 내압을 고려하여 380~400Vdc를 일반적으로 사용하게 된다. 이로 인하여 front-end dc/dc stage는 높은 입력전압 인가 받게 된다. 또한 앞서 언급한 hold up time의 요구 사항으로 인하여 링크 capacitor의 전압이 급격히 감소하기 때문에 dc/dc stage는 넓은 입력 전압 범위를 가지게 된다. 따라서 현재 많은 서버용 전원 장치의 경우 주어진 사양에서 많은 장점을 갖게 되는 그림 4의 Phase shift full bridge (PSFB) converter가 주로 사용되고 있다.

하지만 기존 PSFB converter를 이용하여 서버 전원을 설계할 경우 hold up time 이후 입력 전압이 최소가 되기 때문에 hold up time 이후 최대 시비율로 동작하여 출력 전압을 만들어야 한다. 즉 hold up time을 보상하기 위하여 정상 상태에서는 그림 5에 나타난 것과 같이 낮은 시비율과 큰 권선 비로 동작하게 되며

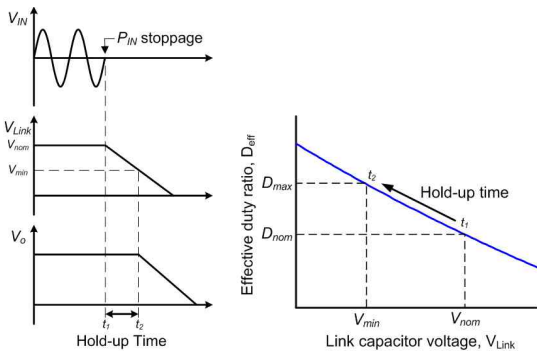


그림 3 Hold up time 시 전압 및 시비율의 변화
Fig. 3 Duty, link voltage variation @ hold up time

이에 따라 정상 상태의 손실이 증가하여 효율향상의 한계에 다다르고 있는 실정이다. 따라서 효율의 추가적인 향상을 위하여서는 hold up time 보상 기술 개발이 필요하다.

3.2 Hold up time 보상 기술 concept

Hold up time 보상 기술은 hold up time 동안의 출력 전압을 보장하기 위한 기술을 말한다. 일반적으로 절연형 dc/dc 컨버터의 출력 전압은 다음과 같은 식으로 표현이 가능하다.

$$V_o = f(D) \frac{N_s}{N_p} V_{transformer} \quad (2)$$

(2) 식에 나타난 것과 같이 출력 전압은 converter의 시비율, 트랜스포머의 turn ratio 및 transformer에 인가되는 전압에 비례함을 알 수 있다. DC/DC stage의 효율 감소 원인은 hold up time 동안의 출력 전압을 유지하기 위하여 평상 동작시 낮은 시비율과 큰 권선 비로 동작하여 손실이 증가함에 있었다. 따라서 hold up time 보상 기술은 이를 보완하는 방향으로 평상 동작시 최대 시비율로 동작하면서 hold up time 동작시에 추가적으로 출력 전압을 증가 시키는 요인을 추가시키는 방향으로 생각해 볼 수 있다.

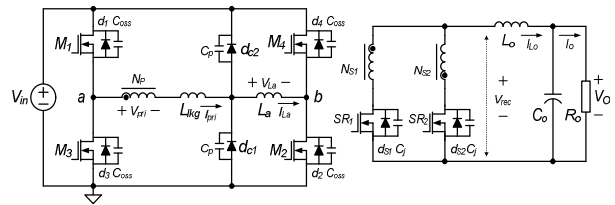


그림 4 기존 서버용 전원장치 DC/DC stage
Fig. 4 Circuit diagram of DC/DC stage

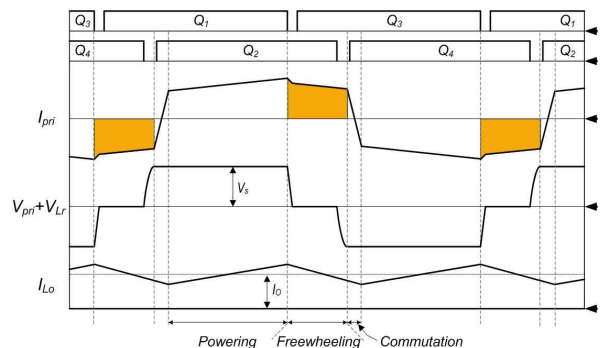


그림 5 PSFB converter의 동작 파형
Fig. 5 Key waveform of PSFB converter

일반적으로 생각해 볼 수 있는 Hold up time 보상 기술의 개발 concept는 다음과 같다.

1) Turn ratio control

: Hold up time 동작시 Turn ratio를 높여 출력 전압을 유지

2) Transformer voltage control

: Hold up time 동작시 추가적인 회로의 동작을 통하여 Transformer에 인가되는 전압을 높이 출력 전압을 유지

3) Optimized duty and gain control

: Hold up time을 만족하는 범위 내에서 최적의 gain 및 duty제어를 통한 보상 방식

이러한 concept에 따라 그동안 많은 방식의 hold-up time 보상회로에 대한 연구가 진행되었다. 각각의 concept에 따라 진행된 연구에 대해 간단히 그 예시와 동작의 장, 단점에 대해 다음 장부터 소개하겠다.

3.3 Turn ratio control

그림 6, 7은 Turn ratio control을 통한 hold up time 보상회로 이다. 기존의 PSFB converter의 transformer 1차측 turn을 분리 된 형태를 지니고 있으며 분리된 1차측 권선 사이에 보조 스위치 2개를 추가한 형태를 가지고 있다. 정상시 동작은 기존의 PSFB converter와 동일한 동작을 한다. 이때 추가적인 보조 스위치는 OFF 상태로 clamp diode역할만을 하여 2차측 rectifier의 전압 스트레스를 감소시키는 역할을 하게 된다. Hold up time이 시작되면 보조 스위치는 Turn On 되고 지상 레그 스위치인 Q_2, Q_4 는 OFF 된다.

정상 동작시 분리된 1차측 권선에 인가되던 입력 전압은 hold up time 동작시 한쪽 권선에 모두 인가되게 되며 이는 결과적으로 1차측 turn을 감소시키는 효과를 일으켜 낮은 입력 전압에도 출력 전압을 유지할 수 있도록 시비율이 증가하게 된다. 이러한 동작에 따라 정상시 동작 시비율을 크게 설계할 수 있게 되고 이는 dc/dc stage의 효율의 증가를 가져오게 된다. 이러한 turn ratio control 방법은 비교적 그 구동방법이 손쉬우며 1차측을 분리하는 간단한 구조로서 구현이 가능하다는 장점이 있으나 추가적인 스위치가 필요하므로 가격과 사이즈의 부담이 발생하게 되며 추가적인 스위치에서 발생하는 손실을 절충하는 방안이 필요하다. [5]

3.4 Transformer voltage control

그림 8, 9는 Turn ratio control을 통한 hold up time 보상회로 이다. 기존 PSFB 컨버터에 보조 스위치 와 보조 변압기를 추가한 병태이다. 보조 회로는 DC/DC stage의 입력 전압이 낮아지는 hold up time 동안에만 동작하게 된다. 즉 정상 상태에서는 동작을 하지 않게 된다. Hold-up time 동작이 시작되면 보조 스위치가 동작하게 되어 작아지는 입력 전압을 보조 변압기를 이용하여 1차측 변압기에 걸리는 전압을 보상하게 되어 hold-up time 동작시 출력 전압을 유지할 수 있도록 한다.

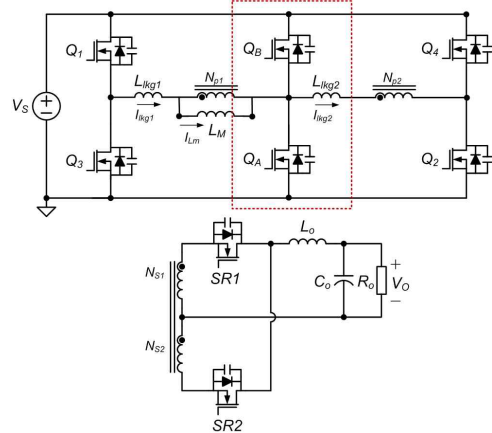


그림 6 Turn ratio control hold up time 보상회로
Fig. 6 Turn ratio control hold up extension circuit

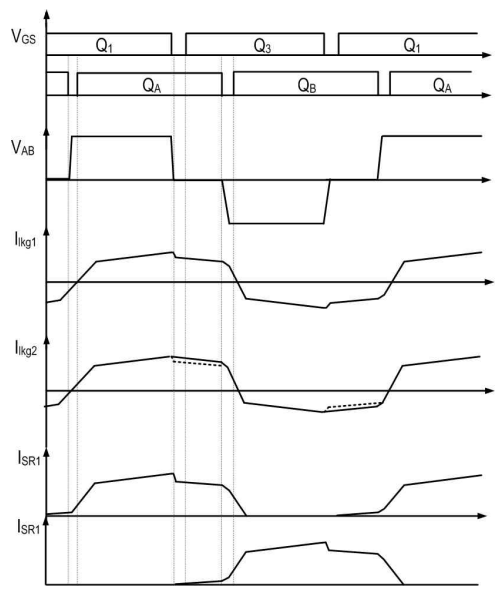


그림 7 Hold up time 시 동작 파형
Fig. 7 Key waveform @ hold up time

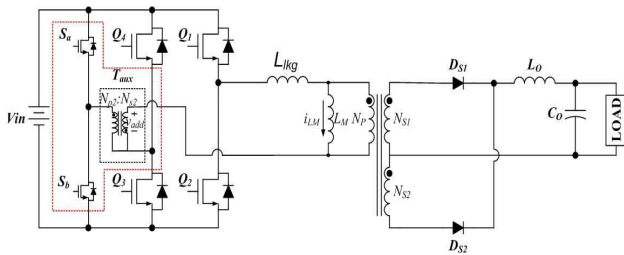


그림 8 Transformer voltage control hold up time 보상회로
Fig. 8 Transformer voltage control hold up time extension circuit

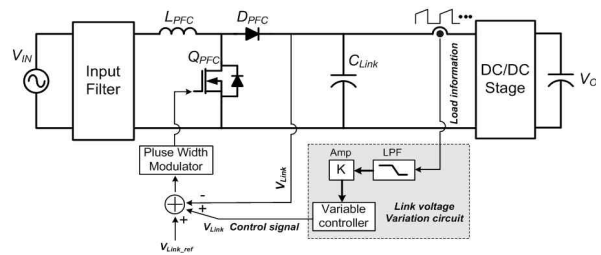


그림 10 링크 전압 가변 회로
Fig. 10 Adaptive link voltage variation circuit

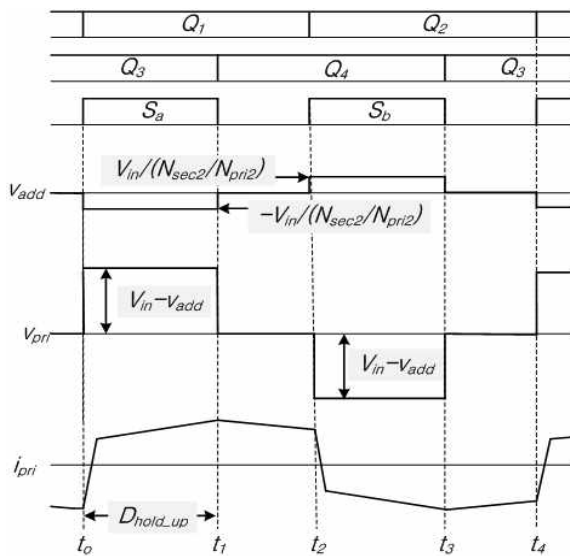


그림 9 Hold up time 시 동작 파형
Fig. 9 Key waveform @ hold up time

Hold up time 보상회로는 단지 hold up time에만 동작하는 회로로서 기존의 PSFB는 최적의 포인트에서 동작하기 때문에 1차측 전류 스트레스 및 2차측 rectifier 스위치의 전압 스트레스를 최소화 할 수 있다. 또한 변압기의 권선비를 최대로 하기 때문에 1차측의 전류의 실효치가 작아져 도통 손실을 감소시켜 효율 향상을 가져오게 된다. 하지만 단점으로는 부가 보조 스위치 및 변압기가 들어감에 따라 가격과 사이즈의 부담이 발생하게 되며 정상 상태시 보조 스위치 및 변압기에 의하여 발생하는 환류전류에 의한 손실 발생하게 된다.^[6]

3.5 Optimized duty and gain control

그림 10, 11은 Optimized duty and gain control 보상회로와 동작 파형을 나타내고 있다. 기존의 PSFB 컨버터에서는 입력 전압인 링크 전압이 항상 일정한

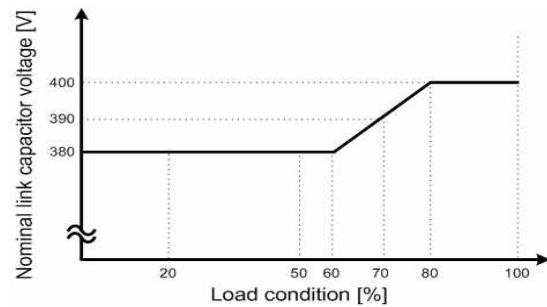


그림 11 링크 전압 가변 범위 예시
Fig. 11 Link voltage variation range VS Load condition

상태에서 동작하게 되며, 최대 부하 조건에서 hold up time을 만족하도록 설계를 하게 된다. 이에 따라 부하가 작아질 경우 링크 capacitor에 과도한 에너지가 존재하게 되어 그림 12에 나타난 것과 같이 hold up time이 과도하게 커지게 된다. 즉 경부하 상황에서의 dc/dc stage는 hold up time을 만족하는 범위 안에서 더욱 큰 duty로 동작할 수 있는 조건임을 알 수 있다. Optimized duty and gain control 보상회로는 그림 12에 나타난 것과 같이 부하에 따라 링크 전압을 가변 제어함으로써 전 부하 영역에서 항상 최소 hold up time을 만족하도록 동작하게 된다. 이 경우, 정상 상태에서 부하가 낮아질 경우 링크 전압을 낮춤으로서 시비율을 크게 가져 갈수 있게 되며 이는 dc/dc stage의 경부하 효율 향상을 가져 오게 된다. 링크 전압의 가변 범위는 PFC의 출력 전압 범위와 링크 capacitor의 최대 전압 용량 및 신뢰성 마진을 고려하여 설계 하여야 하므로 그 가변 범위가 한정되어있으며 hold up time에 따라 변화율을 조정하여 설계하여야 한다. 기존의 hold up time 보상 방식에 비하여 power stage의 추가적인 회로 없이 간단한 제어회로의 수정을 통하여 hold up time 보상이 가능하며 효율의 향상을 취할 수 있어 가격 및 효율 적인 측면에서 매우 유리한 장점을 갖고 있다.

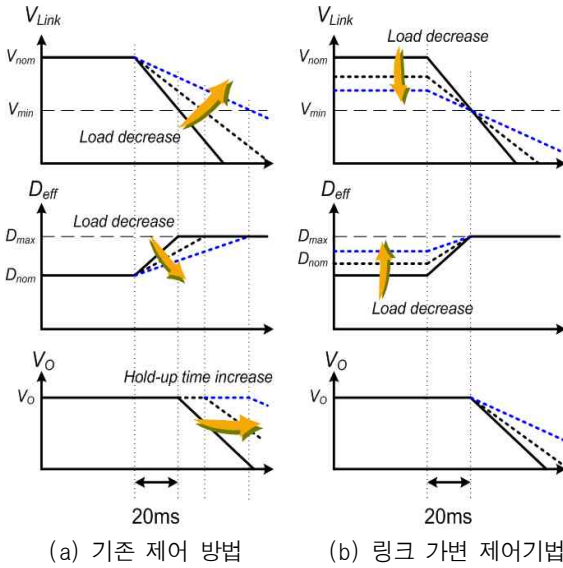


그림 12 제어 기법 비교
Fig. 12 Comparison of control scheme

하지만 서버용 전원장치의 경우 부하 상황이 급격하게 변화할 수 있으므로 이에 따라 링크 전압 즉 PFC의 출력 전압이 급격하게 변화해야하는 상황이 발생하게 된다. 하지만 PFC 출력 전압의 경우 일반적으로 그 응답 속도가 느리게 제어되기 때문에 급격히 변화하는 부하 상황에서의 hold up time 보상을 고려해야 하는 단점을 갖고 있다.^[7]

3.6 Additional energy control

그림 13은 Additional energy control 보상회로를 나타내고 있다. 앞서 설명한 DC/DC stage의 hold up time 보상회로의 concept 이외에 그림 13과 같이 추가적인 energy를 PFC 출력 단에 hold up time 동안 추가적으로 공급하는 형태의 연구가 진행되었다. 그림 13의 회로는 hold up time 보상회로의 출력 전압을 PFC의 출력 전압보다 낮게 설정되어 평상시 동작에는 동작 하지 않고 출력 capacitor에 에너지를 저장하게 된다. Hold up time 동작 시에는 PFC의 출력 전압이 감소하게 되면서 링크 capacitor 전압이 감소하게 되면 보상회로가 추가적인 energy를 공급하여 hold up time 를 보상하는 방식으로 동작하게 된다. Magnetic 소자들의 coupling을 통하여 적은 소자수로 구현 가능한 장점이 있지만 복잡도가 증가하게 되며 이외의 추가적인 회로의 가격과 사이즈역시 단점으로 작용하게 된다.^[8]

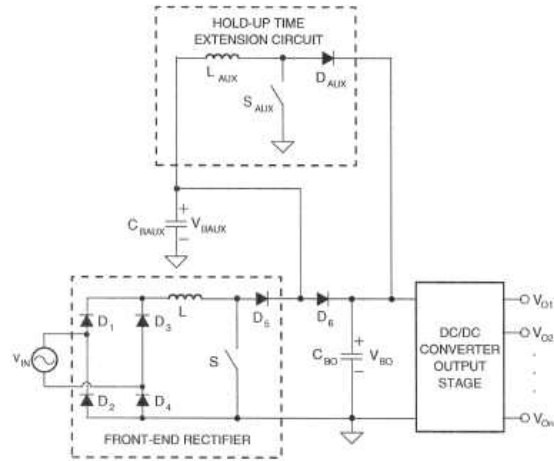


그림 13 Additional energy control hold up time 보상회로
Fig. 13 Additional energy control hold up time extension circuit

4. 결 론

지금 까지 서버용 전원장치의 효율을 증대 시킬 수 있는 hold up time 보상회로의 개념과 그 회로의 예시 및 장, 단점 등을 간략하게 논의 하였다. Hold up time 보상회로의 경우 다양한 접근 방법이 있으며 각각의 기술의 경우 효율의 향상을 기대할 수 있지만 사이즈, 가격 또는 구현 등의 문제점을 갖고 있어 앞으로도 더욱더 기술을 보완하고 향상 시킬 수 있는 연구가 필요할 것이다. 서버용 전원 장치의 효율은 그동안 CSC의 기준에 따라 끊임없는 증가가 요구 되어 왔으며 특히 최근 platinum level의 등장과 함께 새로운 challenge에 당면하고 있는 실정이다. 이에 따라 많은 업체들과 연구소에서는 hold up time 보상기술 및 다양한 회로의 개발을 통하여 소비 전력을 감소시켜 효율의 향상을 가져왔지만 계속 되는 효율의 증가 요구에 발맞추기 위해서는 회로 기술의 개발뿐만 아니라 소자 및 시스템 등에 대한 통합적인 연구 역시 동반되어야 할 것이다.

참 고 문 헌

[1] L Huber and MM Jovanovic, "A Design Approach for Server Power Supplies for Networking Applications", *Applied Power Electronics Conference and Exposition*, 1990.
[2] Jeremiah P. Bryant, "AC-DC Power Supply Growth Variation in China and North America", *Applied*

- Power Electronics Conference and Exposition*, 2005.
- [3] LH Mweene, CA Wright and MF Schlecht, "A 1kW 500 kHz front-end converter for a distributed power supply system", *IEEE Trans. Power Electron.*, Vol. 6, pp. 398-407, 1991, July.
- [4] Chris Calwell, Ecos Consulting, "AC-DC Server Power Supplies: Making the Leap to Higher Efficiency", *Applied Power Electronics Conference and Exposition (APEC)*, 2005.
- [5] In-Ho Cho, Kyu-Min Cho and Gun-Woo Moon, "A New High Efficiency DC/DC Converter with Maximum Duty Operation For Server Power Supply", *전력전자학술대회 논문집*, pp. 396-398, 2009, July.
- [6] Kang-Hyun Yi, In-Ho Cho, Bong-Chul Kim and Gun-Woo Moon, "A Hold up time Compensation Circuit for PWM front-end dc/dc converters", *Energy Conversion Congress and Exposition(ECCE)*, pp. 2901-2904, 2009, Sep.
- [7] Duk-You Kim, Young-Do Kim, Kyu-Min Cho and Gun-Woo Moon, "Adaptive Link Capacitor Voltage Control for Server Power System", *IEEE IPENC'09, China*, 2009, May.
- [8] Y. Jang, M. M. Jovanovic and D.L. Dillman, "Hold-up time extension circuit with integrated magnetics", *IEEE Trans., Power Electron.*, Vol. 21, No. 2, pp. 394-400, 2006.
- [9] Yong-Saeng Shin, Young-Su Jang, Chung-Wook Roh, Sung-Soo Hong, Hyo-Bum Lee and Sang-Kyoo Han, "A New Pulse Frequency Modulation(PFM) Series Boost Capacitor(SBC) Full Bridge DC/DC converter", *전력전자학술대회 논문집*, pp. 120-127, 2008.
- [10] Bong-Chul Kim, Ki-Bum Park, Seong-Wook Choi and Gun-Woo Moon, "LLC series resonant converter with auxiliary circuit for hold-up time", *IEEE INTELEC'09*, pp. 1-4, 2009, Oct.
- [11] A. Lazaro, A. Barrado, J. Pleite, R. Vazquez, J. Vazquez and E. Olias, "Size and cost reduction of the storage capacitor in AC/DC converters under hold-up time requirements", *IEEE Power Electronics Specialist Conference(PESC)'03*, Vol. 4, pp. 1959-1964, 2003.

저 자 소 개



김영도(金榮度)

1983년 11월 2일생. 2006년 한국과학기술원 전기 및 전자공학과 졸업. 2008년 한국과학기술원 자동차 기술대학원 졸업. 현재 전기 및 전자공학과 대학원 박사과정.



조규민(曹奎玟)

1978년 3월 3일생. 2003년 경북대 전자전기컴퓨터공학부 졸업. 2005년 한국과학기술원 전기 및 전자공학과 졸업(석사). 현재 동 대학원 박사과정.



문건우(文建又)

1966년 10월 3일생. 1990년 한양대 전자공학과 졸업. 1992년 한국과학기술원 전기및전자공학과 졸업(석사). 1996년 동 대학원 전기및전자공학과 졸업(공학박사). 1996년~1998년 한전 전력연구원 전력계통연구실 선임연구원. 1998년~2000년 (주)키테크놀로지 대표이사. 2000년 3월~8월 세종대 전자공학과 조교수. 2000년 9월~현재 한국과학기술원 전기 및 전자공학과 교수. 당 학회 국문지 편집위원.