

논문 2010-47SC-2-4

주파수 배가 방법을 이용한 고속 전압 제어 링 발진기

(A High-Speed Voltage-Controlled Ring-Oscillator using a Frequency Doubling Technique)

이 석 훈*, 황 인 석**

(Seokhun Lee and Inseok Hwang)

요 약

본 논문에서는 주파수 배가 방법을 사용한 초고속 전압 제어 링 발진기를 제안하였다. 제안한 전압 제어 발진기는 TSMC 0.18 μ m 1.8V CMOS 공정을 사용하여 설계하였다. 제안한 주파수 배가 방법은 한 주기 안에서 90°의 위상차를 가지는 4개의 신호를 AND-OR 연산하여 기본 신호의 두 배 주파수를 가지는 신호를 얻어내는 방법이다. 제안한 발진기는 차동 4단 링 발진기와 NAND 게이트를 사용하여 구성하였다. 전압 제어 링 발진기는 완전 차동 형태로 설계하여 정확하게 90°의 위상차를 가지는 4개의 신호를 얻을 수 있었으며 공통 모드 잡음에 대해 우수한 잡음 성능을 가지게 되었다. 주파수 배가회로는 AND나 OR 게이트에 비해 집적도가 뛰어난 NAND 게이트를 사용하여 AND-OR 연산을 구현하였다. 설계된 전압 제어 링 발진기는 컨트롤 전압에 따라 3.72GHz에서 8GHz의 출력 주파수를 가지며 4GHz에서 4.7mW의 소비 전력과 1MHz 오프셋 주파수에서 -86.79dBc/Hz의 위상잡음 성능을 가짐을 검증하였다. 기존의 고속 전압 제어 링 발진기와의 비교에서도 모든 면에서 가장 뛰어난 성능을 보였고 저렴한 고속 주파수 합성기와 위상 고정 루프 등에 응용될 수 있음을 보였다.

Abstract

This paper proposed a high-speed voltage-controlled ring-oscillator(VCRO) using a frequency doubling technique. The design of the proposed oscillator has been based on TSMC 0.18 μ m 1.8V CMOS technology. The frequency doubling technique is achieved by AND-OR operations with 4 signals which have 90° phase difference one another in one cycle. The proposed technique has been implemented using a 4-stage differential oscillator composed of differential latched inverters and NAND gates for AND and OR operations. The differential ring-oscillator can generate 4 output signals, which are 90° out-of-phase one another, with low phase noise. The AND-OR operations needed in the proposed technique are implemented using NAND gates, which is more area-efficient and provides faster switching speed than using NOR gates. Simulation results show that the proposed VCRO operates in the frequency range of 3.72 GHz to 8 GHz with power consumption of 4.7mW at 4GHz and phase noise of \sim -86.79dBc/Hz at 1MHz offset. Therefore, the proposed oscillator demonstrates superior performance compared with previous high-speed voltage-controlled ring-oscillators and can be used to build high-performance frequency synthesizers and phase-locked loops for radio-frequency applications.

Keywords : VCO, Frequency Doubling, Negative Skewed-Delay, Subfeedback, PLL

I 서 론

최근 통신 시스템의 발달로 인해 CMOS 고주파 회로의 중요성이 커지고 있다. 특히 통신 시스템에서 중요

한 역할을 하는 위상고정 루프의 중요성이 크게 증대되고 있으며 위상 고정 루프의 심장이라 할 수 있는 전압 제어 발진기의 속도 향상의 중요성이 여러 논문과 연구 결과를 통해 나타나게 되었다.^[1~3]

기존에는 위상 고정루프의 고속 동작을 위해서 고주파 특성이 우수하고 잡음 특성이 우수한 LC 공진 회로가 주로 사용 되었으나 칩 제작 시 면적을 많이 차지하며 인덕터와 커패시터 등을 정확히 모델링하기 어렵고 튜닝 범위가 작은 단점을 갖는다. 반면 CMOS 회로로

* 학생회원, 한국HOYA전자(주) 기술부
(HOYA Electronics Korea)

** 평생회원, 동국대학교 전자전기공학부
(Division of Electronics Electrical Engineering,
Dongguk University)

접수일자: 2009년5월19일, 수정완료일: 2010년3월2일

구성된 링 오실레이터는 내부에 인덕터와 같이 큰 면적을 차지하는 수동 소자들을 사용하지 않으므로 사용 면적이 작을 뿐 아니라 튜닝하기 쉽고 설계 및 제작이 쉬운 장점을 가지고 있다. 하지만 인버터 각 단의 자체 지연 시간을 이용하였기 때문에 LC 공진 회로에 비해 잡음이 많고 고속 동작에 불리하다. 따라서 CMOS 링 발진기의 발진 주파수 향상을 위해 여러 가지 방법이 제안되었다.^[1~3]

고속 전압 제어 링 발진기의 대표적인 방법으로 부스큐 지연방식을 사용한 전압 제어 링 발진기^[1]와 서브루프를 사용한 전압 제어 링 발진기^[2]가 있다. 이 방법들은 인버터 셀 내부 구조에 조작을 가하거나 신호의 합성으로 전압 제어 링 발진기의 발진 조건에 영향을 미쳐서 발진 주파수를 높일 수 있게 한다. 하지만 여러 가지 제약으로 인해 설계 시 어려움이 따를 뿐만 아니라 인버터 셀 고유의 RC딜레이를 줄이는데 한계가 있으므로 전압 제어 링 발진기 자체의 발진 주파수를 증가하는 방법으로써 한계가 있다. 또한 위상 잡음도 크게 나타나고 고속으로 동작할 때 많은 전력소모를 하게 된다.^[3]

본 논문에서 제안하는 주파수 배가 회로를 사용한 전압 제어 링 발진기는 기존의 고속 전압 제어 링 발진기와 다르게 전압 제어 링 발진기의 발진 조건에 인위적으로 영향을 미치지 않는다. 단지 전압 제어 링 발진기의 출력 신호를 이용하여 합성함으로써 기존의 방법에 비해 더 쉽고 안정적으로 주파수를 높일 수 있는 방법을 제안하였다.

본 논문에서는 제안한 방법을 이용하여 출력 주파수를 배가해 줌으로써 위성 DMB와 Bluetooth에 사용되는 2~4 GHz의 S-band용 전압 제어 링 발진기를 3세대 WLAN에 사용되는 4~8 GHz의 C-band용 전압 제어 링 발진기로 변환할 수 있음을 보여주고 있다.

본 논문에서는 제안한 전압 제어 링 발진기와 기존의 고속 전압 제어 링 발진기를 완전 차동으로 설계하였으며 비교 분석을 통해 제안한 발진기가 주파수 이득, 전력 소모, 위상 잡음에서 가장 뛰어난 특성을 나타내는 것을 보였다.

II. 기존의 고속 전압 제어 링 발진기

1. 부스큐 지연방식을 사용한 고속 전압 제어 링 발진기

부스큐 지연방식은 각 인버터의 스큐를 이용하여 주

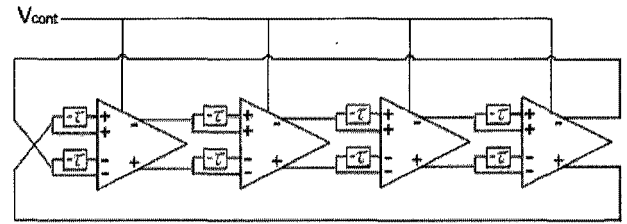


그림 1. 부스큐 지연방식을 사용한 완전 차동 전압 제어 링 발진기 회로

Fig. 1. A fully differential VCRO using the negative skewed delay scheme.

파수를 향상시킨 방법이다.^[1] 일반적인 링 발진기에서 인버터의 PMOS와 NMOS에는 같은 입력이 들어가게 된다. 하지만 부스큐 지연 방식에서는 PMOS의 느린 스위칭 속도를 보상해주기 위해 NMOS와 PMOS에 서로 다른 입력이 들어가게 된다. 인버터 단위 셀에서 전단 입력은 NMOS를 구동하게 되고 전단 입력에 비해 위상이 빠른 부스큐 지연 입력은 PMOS 먼저 구동시키게 된다. 이로 인해 인버터 동작 속도의 향상을 가져오게 되므로 발진 주파수를 증가시킬 수 있게 된다.

<그림 1>은 부스큐 지연방식을 사용한 완전 차동 전압 제어 링 발진기의 회로이다. 완전 차동 전압 제어 링 발진기는 스큐가 있는 인버터 셀을 사용하여 구성하였으며 V_{cont} 전압에 따라 발진 주파수가 변하게 된다. 인버터 셀의 차동 입력인 $+/-$ 입력은 PMOS 입력과 NMOS 입력 두 개로 나뉘어져 있으며 PMOS 입력에 전단의 출력보다 빠른 입력을 넣어줌으로써 부스큐 지연방식을 이용한 고속 전압 제어 링 발진기를 구성할 수 있다.

2. 서브루프를 이용한 고속 전압 제어 링 발진기

서브루프 방식은 링 발진기에서 메인 루프의 출력 신호와 서브 루프의 출력 신호를 합성하여 발진 주파수를 증가시킨 방법이다.^[2]

메인 루프는 일발적인 전압 제어 링 발진기로 구성되어 있으며 서브 루프는 메인 루프의 인버터에 비해 딜레이가 긴 인버터를 연결해 주게 된다. 메인 루프의 신호와 서브 루프의 신호가 합성되어 다음 단계 입력되며 이로 인해 발진 주파수가 증가하게 된다. 따라서 이 구조의 주파수 튜닝 범위는 메인 루프에 의해 결정되고 발진 주파수는 서브 루프의 신호에 따라 결정된다.

<그림 2>는 서브루프를 사용한 완전 차동 전압 제어 링 발진기의 회로이다. 완전 차동 전압 제어 링 발진

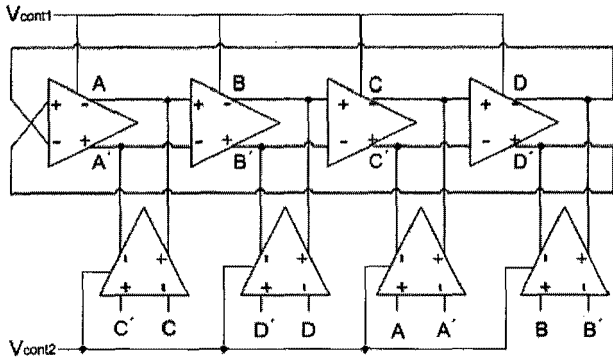


그림 2. 서브 루프를 사용한 완전 차동 전압 제어 링 발진기 회로

Fig. 2. A fully differential VCRO using the sub-looping technique.

기인 메인 루프에 완전 차동으로 구성된 서브 루프를 연결함으로써 전체 회로를 구성하였다. 메인 루프의 컨트롤 전압인 V_{cont1} 를 조절함으로써 발진 주파수를 조절하게 된다. 서브 루프의 딜레이는 메인루프의 딜레이가 변화함에 따라 변화 시켜줘야 주파수 향상을 기대할 수 있으므로 서브 루프의 인버터 셀 역시 컨트롤 전압 V_{cont2} 를 조절해줌으로써 딜레이를 조절해 줘야 한다.

3. 기존 고속 전압 제어 링 발진기의 한계

기존의 고속 전압 제어 링 발진기는 링 발진기 내부의 발진 조건에 영향을 미침으로써 주파수 향상을 가져올 수 있었다. 하지만 설계상의 제약과 MOS 고유의 RC 딜레이로 인해 주파수 향상에는 한계가 따르게 된다. 또 전력소모와 위상 잡음 역시 크게 나타나게 된다.^[3]

부 스쿼 지연방식을 사용한 전압 제어 링 발진기는 PMOS와 NMOS에 서로 다른 입력만 들어갈 뿐 구조상에 변화가 없으므로 전체 회로의 크기는 큰 차이가 없다. 하지만 인버터의 풀-업과 풀-다운 트랜지스터들이 서로 다른 신호에 의해 동작하기 때문에 전압 제어 링 발진기의 위상 잡음과 전력 소모는 크게 증가하게 된다. 특히 신호가 바뀌는 과도 구간에서 두 트랜지스터가 동시에 켜지는 경우가 생기게 되므로 이때 인버터 내부에 많은 전류가 흐르게 되고 NMOS와 PMOS의 전류 구동 능력 차로 인해 위상 잡음이 크게 증가하게 된다.

서브 루프를 사용한 링 발진기는 메인루프의 신호와 서브 루프의 신호를 합성으로 인해 위상 잡음이 커지게 될 뿐만 아니라 서브 루프의 추가로 인해 소비 전력과

회로의 크기 역시 커지게 된다. 또 링 발진기의 발진 주파수 향상을 위해 서브 루프는 메인 루프보다 항상 작게 유지해 줘야하며 메인 루프 신호와 서브 루프 간의 하모닉 영향으로 인해 서브루프의 단수 또한 제약을 받게 된다. 따라서 발진 주파수 향상을 위해 설계 시 여러 가지 제약이 따르게 된다.

따라서 본 논문에서는 기존 고속 전압 제어 링 발진기가 가지고 있는 여러 가지 제약에 영향 받지 않으면서 낮은 전력 소모로도 낮은 위상 잡음과 높은 주파수 이득을 낼 수 있는 주파수 배가 방법을 제안 하였다.

III. 주파수 배가 방법

1. 기본개념

주파수 배가 방법은 한 주기 내에서 $\pi/2$ 씩 위상차를 가지는 4개의 신호를 합성하여 주파수를 배가시키는 방법이다.

<그림 3>은 주파수 배가방법의 기본 개념을 설명하기 위한 신호들이다. 그림에서 B, D, B', D' 는 같은 주파수를 가지지만 한 주기 안에서 서로 $\pi/2$ 의 위상차를 가지는 신호들이다. $\pi/2$ 의 위상차를 가지는 B 와 D 는 B' 와 D' 와 서로 반대되는 위상을 가지며 이 신호들을 AND 연산하여 E 와 E' 신호를 생성하게 된다. E 와 E' 신호는 서로 π 만큼의 위상차를 가지고 원 신호와 같은 주파수를 가지지만 25%의 듀티 레이트를 가지

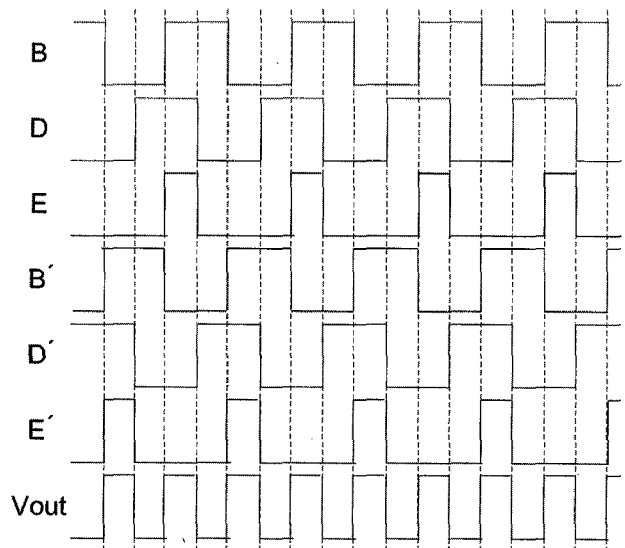


그림 3. 발진주파수를 배가시키기 위한 신호
Fig. 3. A set of signals needed for doubling an oscillation frequency.

게 된다. 이 신호들을 OR 연산하게 되면 50%의 듀티 레이트를 가지는 최종 출력인 V_{out} 신호를 얻게 되는데 이 신호는 원 신호에 비해 두 배의 출력 주파수를 가지게 된다.

2. 제안한 회로의 구성

<그림 4>는 제안한 주파수 배가 방법을 사용한 전압 제어 링 발진기의 전체 블록도이다. 제안한 회로는 크게 전압 제어 링 발진기 부분과 주파수 배가 회로 부분으로 나눌 수 있다. 전압 제어 링 발진기 부분에서는 주파수 배가 회로에 필요한 $\pi/2$ 의 위상차를 가지는 4개의 신호를 만들어 내게 되고 주파수 배가 회로 부분에서는 이 신호들을 이용하여 기본 신호 주파수의 두 배가 되는 주파수를 가지는 신호를 출력하게 된다. 따라서 제안한 주파수 배가 방법을 완벽하게 사용하기 위해서는 전압 제어 링 발진기에서 $\pi/2$ 의 위상차를 가지는 신호들을 안정적으로 공급해 주어야 한다.

제안한 회로에서 전압 제어 링 발진기는 바이어스 전류원을 사용하지 않는 완전 차동 형태로 구성하였다. 일반적으로 완전 차동 형태는 단일 입출력 형태에 비해 노이즈와 출력 전압 등 여러 면에서 장점을 가지고 있다. 완전 차동 전압 제어 링 발진기는 공통모드 노이즈의 영향을 제거 할 수 있고, 바이어스 전류원을 사용하지 않는 구조를 택하였을 경우 1/f 잡음에 영향을 받지 않으므로 잡음에 강하게 된다.^[4] 또한 출력 풀 스윙을 할 수 있기 때문에 따로 출력 전압을 조절할 필요가 없게 된다.

완전 차동 전압 제어 링 발진기는 앞에서 말한 회로적인 장점 외에도 제안한 주파수 배가 회로에 필요한 신호를 쉽게 제공해 줄 수 있는 구조적인 장점이 있다. 전압 제어 링 발진기의 각 단의 신호는 서로 π/N 의

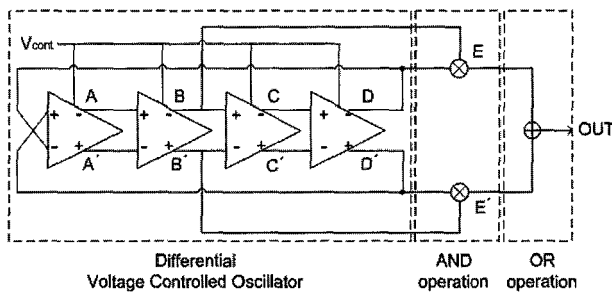


그림 4. 주파수 배가 기술의 구현을 위한 회로 구성도
Fig. 4. A functional realization for the oscillation frequency doubling technique.

일정한 위상차를 가지게 된다. 일반적인 단일 입출력 전압 제어 링 발진기는 홀수 단으로 구성해야하기 때문에 자체적으로 $\pi/2$ 를 가지는 신호를 만들어 내지 못하게 된다. 따라서 서로 $\pi/2$ 의 위상차를 가지는 두 개의 전압 제어 링 발진기가 필요하게 된다. 그러나 두 발진기 사이의 위상차를 정확히 맞추기 힘들뿐만 아니라 위상차를 유지하기 위한 별도의 회로를 추가해야 하므로 사이즈와 소비 전력 면에서 효율이 크게 떨어지게 된다.

하지만 완전 차동 전압 제어 링 발진기는 위상차가 잘 맞춰진 두 개의 발진기 루프를 동작시키는 것과 같은 효과를 얻을 수 있다. 특히 짝수 단으로 구성할 경우에는 한 주기 안에서 $\pi/2$ 의 위상차를 가지는 서로 다른 4개의 신호를 모두 얻을 수 있게 되므로 추가적인 전압 제어 링 발진기나 위상차를 유지하기 위한 별도의 회로 없이 주파수 배가 회로에 필요한 신호를 쉽게 얻을 수 있게 된다.

주파수 배가 회로 부분은 AND 연산을 하는 부분과 OR 연산을 하는 부분으로 나뉘어져 있다. 전압 제어 링 발진기의 중간 단에서 뽑아낸 B와 마지막 단인 D에서 서로 $\pi/2$ 의 위상차를 가지는 신호들을 얻어내게 되고 이 신호들의 AND 연산으로 E 신호를 얻어내게 된다. 이때 반대편에서도 위상이 다른 E' 신호를 생성함으로써 듀티 레이트가 25%이고 π 위상차가 나는 두 개의 신호들을 생성하게 된다. 이 신호들의 OR 연산을 통해 우리가 원하는 주파수가 배가 된 최종 출력을 얻을 수 있게 된다.

IV. 주파수 배가 방법을 이용한 전압 제어 링 발진기 설계

1. 완전 차동 전압 제어 링 발진기

제안한 회로는 4단의 완전 차동 전압 제어 링 발진기로 설계하였다. 짝수 단 전압 제어 링 발진기 중에서 2단이 가장 고속 동작을 하지만 위상 지연과 이득이 크지 않아 발진이 안정적이지 않으므로 전압 제어 링 발진기를 보다 안정적이면서 고속으로 발진 할 수 있도록 4단으로 설계하였다.

<그림 5>는 차동 전압 제어 링 발진기에 사용된 인버터의 구조이다. 두 인버터 모두 N-래치에 비해 동작 속도가 빠르고 잡음 특성이 우수한 P-래치를 기본 구조로 사용하고 있다. 따라서 이 인버터들을 사용하여

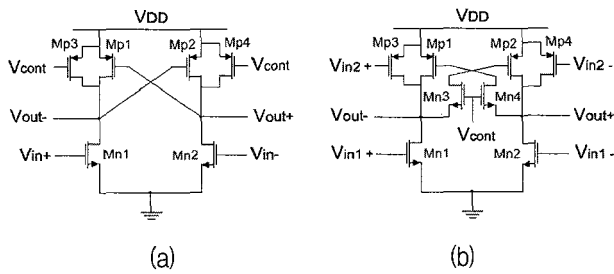


그림 5. 전압 제어 링 발진기에 사용할 수 있는 인버터
(a) P-래치 인버터, (b) 스큐가 있는 P-래치 인버터

Fig. 5. The inverters that can be used for the differential VCRO: (a) P-latch cross-coupled inverter, and (b) P-latch cross-coupled inverter with a skew.

전압 제어 링 발진기를 제작할 경우 지터를 줄일 수 있고 발진 주파수도 높게 만들 수 있다.

<그림 5 (a)>는 P-래치 인버터의 회로이다.^[5] P-래치 인버터는 풀업 래치의 동작에 의해 입력 신호의 상승 시간을 짧게 할 수 있으므로 출력신호의 잠음으로 인한 지터가 줄게 된다. Mp3와 Mp4의 게이트 전압을 조정함으로써 전압 제어 링 발진기의 발진 주파수를 조정하게 된다.

<그림 5 (b)>는 스큐가 있는 P-래치 인버터 회로이다.^[6] 부 스큐 지연 방식을 사용하기 위해 NMOS와 PMOS에는 서로 다른 입력이 들어가게 된다. 기본 특성은 P-래치 인버터와 비슷하지만 공급 전압 변화와 듀티 레이트 변화의 영향을 상대적으로 적게 받는 장점이 있다. 크로스 커플 된 Mn3와 Mn4 트랜지스터의 게이트 전압이 낮아질수록 PMOS의 드라이빙 전류는 늘어나게 되고 컨트롤 전압이 높아질수록 감소하게 되어 인버터의 지연 시간을 조절하게 된다. 이로 인해 전압 제어 링 발진기의 발진 주파수를 조절할 수 있게 된다.

본 논문에서는 다른 인버터 셀에 비해 더 빠른 동작을 하고 주변 영향에 상대적으로 덜 민감한 스큐가 있는 P-래치 인버터 셀을 사용하여 전압 제어 링 발진기를 설계하였다. 인버터 셀에서 NMOS와 PMOS의 입력에 같은 신호를 넣어 줌으로써 일반적인 전압 제어 링 발진기와 같이 만들 수 있었고 부 스큐 지연 방식 또한 비교할 수 있었다.

2. 주파수 배가회로

주파수 배가 회로는 기본적으로 AND-OR 연산을 하

므로 일반적인 AND 게이트와 OR 게이트만 있으면 간단하게 구현이 가능하다. 하지만 AND 게이트나 OR 게이트의 집적도는 NAND 게이트나 NOR 게이트에 비해 떨어지므로 주파수 배가 회로 논리는 드모르간 법칙을 사용하여 NAND 게이트와 NOR 게이트로 변환하여 구현하는 것이 더 효율적이다.

$$NAND : OUT = ((BD)'(B'D'))' \quad (1)$$

$$NOR : OUT = [((B+D)' + (B'+D'))']' \quad (2)$$

식 (1)은 주파수 배가 회로의 AND-OR 연산을 NAND 게이트로 변환한 식이다. 식에서 보듯이 NAND 게이트 3개를 사용하여 AND-OR 연산을 대체 할 수 있다. 이는 AND 게이트와 OR 게이트를 사용 했을 때에 비해 6개의 트랜지스터를 줄일 수 있으므로 전력 면이나 집적도 면에서 좋은 특성을 띄게 된다.

식 (2)는 주파수 배가 회로 논리를 NOR 게이트로 변환한 식이다. NAND 연산에서는 3개의 NAND 게이트만을 필요한 것에 비해 NOR 연산에서는 3개의 NOR 게이트 외에 한 개의 인버터가 더 필요로 하게 된다. 또한 NOR 게이트는 CMOS 기술에서 구조적인 특징으로 인

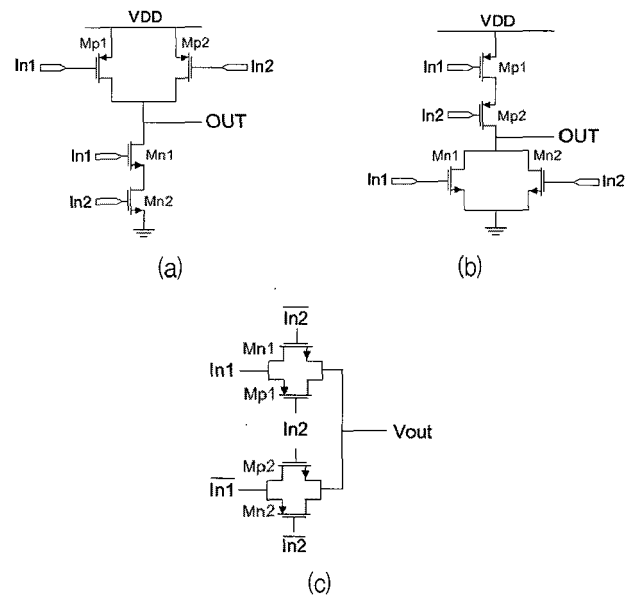


그림 6. 주파수 배가 방법 구현에 사용할 수 있는 기본 게이트
(a) NAND 게이트, (b) NOR 게이트, (c) 패스 트랜지스터 논리.

Fig. 6. The basic gates that can be used for the frequency doubling technique:
(a) NAND gate, (b) NOR gate, and (c) Pass transistor logic.

해 NAND 게이트에 비해 동작 속도가 느릴 뿐만 아니라 더 큰 사이즈가 요구된다. 따라서 고속 동작에 부적합할 뿐만 아니라 집적도도 떨어지게 된다.

<그림 6(a)>와 <그림 6(b)>는 일반적인 NAND 게이트와 NOR 게이트이다. <그림 6(a)>와 <그림 6(b)>에서 NAND 게이트에서는 PMOS가 병렬로 연결되어 있는 반면 NOR 게이트에서는 직렬로 연결되어 있다. 일반적으로 PMOS는 NMOS에 비해 전류 구동능력과 스위칭 속도가 떨어진다. 이를 보완하기 위해 PMOS의 W값을 NMOS에 비해 두 배 이상 크게 설계하는데 특히 PMOS를 직렬로 연결해 주게 되면 NMOS를 직렬로 연결했을 때에 비해 W값은 상대적으로 2배 이상 더 커지게 된다. 따라서 NOR 게이트는 NAND 게이트에 비해 집적도가 크게 떨어지게 된다.

일반적인 게이트를 사용하는 방법 외에도 트랜스미션 게이트를 사용한 패스 트랜지스터 논리를 사용하여 주파수 배가 회로를 구성할 수 있다. <그림 6(c)>는 트랜스미션 게이트를 사용한 패스 트랜지스터 논리이다. 패스 트랜지스터 논리는 두 개의 트랜스미션 게이트를 wired-OR 해줌으로써 간단하게 AND-OR연산을 구현할 수 있다. 따라서 단지 4개의 트랜지스터만으로도 주파수 배가 회로를 구성할 수 있게 되어 집적도가 향상되게 된다.

하지만 패스 트랜지스터 논리는 구조적으로 낮은 전류 공급 능력으로 인해 스피드 저하가 생기게 된다.^[7] 또한 트랜스미션 게이트에서 출력된 두 신호는 wired-OR를 사용하여 합쳐지게 되므로 입력 신호의 위상이 정확히 반대되지 않을 경우 최종 출력신호가 플로팅 되는 현상이 발생하게 된다. 이런 문제점을 개선하기 위해 상보형 패스 트랜지스터 논리를 사용하거나 출력의 안정화를 위해 회로를 추가하면 되지만 이 경우 전력 소모나 집적도 면에서 효율이 떨어지게 된다.

따라서 본 논문에서는 NAND 게이트를 이용하여 주파수 배가 회로를 구성하였다. 주파수 배가 회로를 NAND 게이트를 사용하여 구성하는 것이 다른 게이트로 구성하는 것에 비해 집적도와 전력 소모 면에서 좋은 특성을 가지게 되고 높은 주파수의 신호에 대해서도 안정적인 동작이 가능하게 된다. 또한 주파수 배가 회로의 트랜지스터 개수의 감소로 인해 전력소모와 열잡음으로 인한 위상 잡음도 줄여줄 수 있다.

V. 시뮬레이션 결과 및 분석

1. 안정된 출력을 위한 추가 고려 사항

가. 위상 잡음 분석

기본 링 발진기에서 위상 잡음은 전압 제어 링 발진기 각 단에 영향을 미치게 되고 발진주파수의 변화를 가져 오게 된다. 전압 제어 링 발진기에서 노이즈의 영향에 의한 주파수 변화를 Δw 라 하고 열잡음에 의한 전류를 $\sqrt{4kT(2g_m/3)}$ 라 하면 위상 잡음은 식 (3)과 같이 나타나게 된다.^[8]

$$|V_{osc}[j(w + \Delta w)]| = 8kT \frac{R(1 + \sqrt{2})}{12} \left(\frac{w_0}{\Delta w} \right)^2 \quad (3)$$

주파수 배가 회로를 사용한 전압 제어 링 발진기에서 최종 출력은 두 개의 NAND 게이트를 통과하여 나오게 된다. 따라서 제안한 회로의 최종 위상 잡음은 전압 제어 링 발진기의 잡음이 두 NAND 게이트의 전압 이득만큼 곱해져서 나타나게 된다. NAND 게이트의 전압 이득을 $g_{mNAND}R_{NAND}$ 라 하면 제안한 회로의 위상 잡음은 다음과 같이 나타난다.^[8]

$$|V_{tot}[j(w + \Delta w)]| = 8kT \frac{R(1 + \sqrt{2})}{12} \left(\frac{w_0}{\Delta w} \right)^2 (g_{mNAND}R_{NAND})^4 \quad (4)$$

주파수 배가 회로에서 출력 위상 잡음이 가장 커지는 경우는 NAND 게이트의 전압 이득이 최대일 때 발생한다. NAND 게이트에서 하나의 NMOS가 켜져 있는 상태에서 다른 NMOS가 켜질 때 NAND 게이트의 이득은 최대가 된다.^[9] 하지만 게이트 단의 이득을 최대한 1에 가깝게 맞추면 출력 신호의 감쇄도 일어나지 않고 위상 잡음의 증폭도 최소화 할 수 있게 된다.

나. 논리 게이트 설계

제안한 회로에서 전압 제어 링 발진기의 발진 경로에 주파수 배가 경로가 추가됨으로 인해 인버터의 부하 캐패시턴스는 커지게 된다. 이는 전압 제어 링 발진기의 발진 주파수에 영향을 미쳐 기본 출력의 주파수가 떨어지는 현상으로 나타나게 된다.

주파수 배가 회로에서 입력 트랜지스터의 W가 늘어나게 되면 논리 게이트와 연결된 인버터 셀의 로딩 캐패시턴스가 커지게 된다. 전압 제어 링 발진기에서 발

진 주파수와 RC값은 반비례 관계를 가지게 되므로 캐패시턴스 값의 증가는 발진 주파수의 감소로 나타나게 된다. 따라서 전압 제어 링 발진기의 발진 주파수 손실을 줄이기 위해서는 논리 게이트의 W값을 최소로 설계하여야 한다.

2. 시뮬레이션 결과

주파수 배가 회로를 이용한 전압 제어 링 발진기와 고속 전압 제어 링 발진기의 성능을 비교, 분석하기 위해 TSMC 0.18um, 1.8V CMOS 라이브러리를 이용하여 H-Spice로 시뮬레이션 하였다. 또 각 방법의 위상 잡음을 측정하기 위해 ADS를 사용하여 시뮬레이션 하였다.

주파수 배가 회로를 사용한 전압 제어 링 발진기와 기존의 고속 전압 제어 링 발진기 모두 기본 전압 제어 링 발진기로 스쿼가 있는 P-래치를 사용하여 4단의 완전 차동 전압 제어 링 발진기를 구성하였으며 컨트롤 전압에 따라 S-band 주파수 대역인 2~4 GHz에서 발진하도록 설계하였다.

가. 제안한 주파수 배가 회로의 시뮬레이션 결과

<그림 7>은 주파수 배가 회로의 출력 주파수가 4 GHz일 때 주파수 배가 회로 각 단의 신호인 B, D, E, OUT의 출력 파형이다. B, D, E 신호는 서로 다른 위상과 듀티 레이트를 가지지만 모두 2 GHz의 주파수를 가지게 된다. <그림 7>에서 E 신호는 NAND 게이트를 통과한 신호이다. 따라서 기본 개념에서 설명한 AND 게

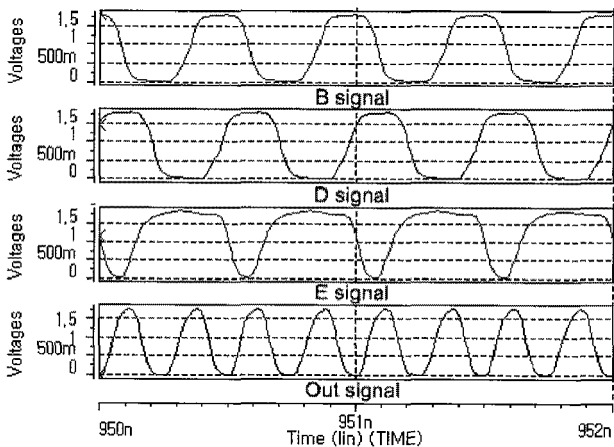


그림 7. 전체 주파수 배가회로 각단의 출력 파형 B, D, E 및 OUT

Fig. 7. The signal waveforms B, D, E, and OUT of the overall circuits for the frequency doubling technique.

이트를 통과한 신호와 비교하여 반전된 신호를 가지게 된다. 최종 출력인 OUT 신호는 E 신호와 180°의 위상차를 가지는 E' 신호와 의 NAND 연산으로 얻게 되는데 이는 링 발진기의 출력 신호인 B, D와 비교 하여 두 배의 주파수를 가지게 된다.

<그림 8>은 전체 회로 각 단 출력 파형의 주파수 스펙트럼이다. 전압 제어 링 발진기의 출력 신호인 B, D와 주파수 배가 회로 중간 단 신호인 E는 모두 2 GHz의 주파수 스펙트럼을 나타내고 있으며 주파수 배가 회로의 출력 신호인 OUT 신호는 이 신호들의 정확히 두 배인 4 GHz를 나타내고 있다. 이는 주파수 배가 회로를 이용하여 전압 제어 링 발진기의 출력 신호를 안정적으로 주파수를 배가 시킬 수 있음을 의미한다.

나. 제안한 회로와 기존의 고속 전압 제어 링 발진기와의 비교

기존의 고속 전압 제어 링 발진기는 각 방법에 따라 최고 주파수 이득을 얻을 수 있도록 회로를 구성하였으며 컨트롤 전압을 조절해가며 발진주파수 전 대역에 걸쳐 주파수 이득을 비교하였다. 또 전력 소모 측정과 위상 잡음의 비교를 위해 세 가지 방법 모두 4 GHz의 출력 주파수에서 고정시켜놓고 비교하였다.

<그림 9>는 각 전압 제어 링 발진기들의 전달 특성 함수 그래프이다. 주파수 배가 회로를 연결하지 않은 기본 전압 제어 링 발진기는 컨트롤 전압에 따라 최대 4.02 GHz 까지 발진하는데 비해 주파수 배가 회로를 사용한 전압 제어 링 발진기는 거의 두 배인 8 GHz의 주파수를 출력하게 된다. 제안한 회로의 출력 주파수는 발진 주파수 전 대역에서 기본 전압 제어 링 발진기 출

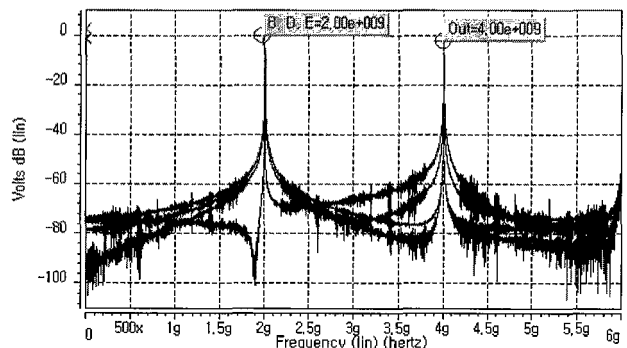


그림 8. 전체 주파수 배가회로 각단의 출력 파형 B, D, E 및 OUT의 주파수 스펙트럼

Fig. 8. The frequency spectrums of the signals B, D, E, and OUT.

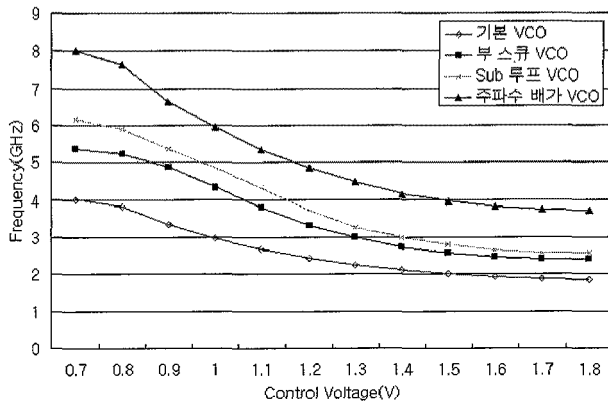


그림 9. 고속 전압 제어 링 발진기들의 전달 특성 함수
Fig. 9. The transfer characteristics of high-speed voltage-controlled ring-oscillators.

력 주파수의 두 배에 조금 못 미치는 것을 확인 할 수 있는데, 이는 앞 절에서 설명한 논리 게이트로 인한 전압 제어 링 발진기 인버터 단의 부하 캐패시턴스 증가로 설명할 수 있다.

제안한 회로는 기존의 고속 전압 제어 링 발진기와 비교하여 주파수 전 대역에서 가장 뛰어난 주파수 이득을 가진다. 특히 0.7V의 컨트롤 전압에서 제안한 발진기는 주파수 배가 회로를 연결하지 않은 기본 전압 제어 링 발진기 보다 99%, 부스큐 지연 방식을 사용한 전압 제어 링 발진기 보다 49% 서브 루프 방식을 사용한 전압 제어 링 발진기 보다 30% 더 높은 주파수를 생성하고 있다.

전압 제어 링 발진기들의 소모 전력은 각 방법에 따라 4 GHz의 주파수를 출력할 때 측정하였다. 주파수 배가 방식을 사용한 전압 제어 링 발진기의 소모 전력은 4.7 mW로 부스큐 방식을 사용한 전압 제어 링 발진기의 소모 전력인 7.82 mW, 서브 루프를 사용한 전압 제어 링 발진기의 소모 전력인 9.2 mW에 비해 월등히 우수했다. 제안한 회로에서 완전 차동 전압 제어 링 발진기의 소모 전력인 4.61 mW에 주파수 배가 회로의 소모 전력인 90 uW만 더 소모함으로써 주파수를 배가시킬 수 있으므로 다른 전압 제어 링 발진기에 비해 적은 소모 전력으로도 높은 주파수 이득을 얻을 수 있다. 특히 제안한 회로는 기본 전압 제어 링 발진기가 4 GHz의 발진 주파수를 출력할 때 소모 전력인 5.3 mW보다도 더 적게 전력을 소모함으로써 소모 전력 대비 주파수 이득 면에서 매우 효율적이다.

<그림 10>은 4 GHz의 출력 주파수에서 각각의 전압 제어 링 발진기들의 위상 잡음 시뮬레이션 결과이다.

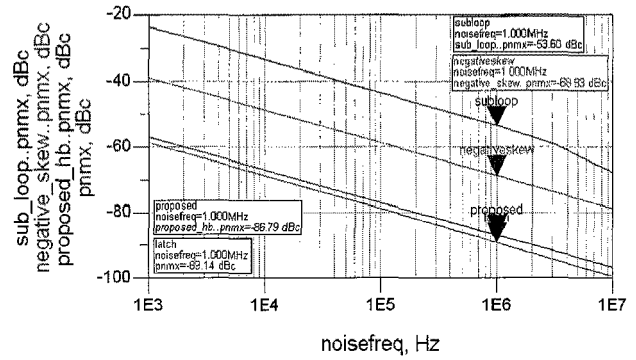


그림 10. 고속 전압 제어 링 발진기들의 위상 잡음
Fig. 10. The phase noises of the high-speed voltage-controlled ring-oscillators.

표 1. 시뮬레이션 결과 비교 정리
Table 1. The comparison summary of simulation results.

| | 주파수이득 | 소모전력 | 위상잡음 |
|-----------------------|-------|--------|------------|
| 기본 전압 제어 링 발진기 | - | 5.3 mW | -87.44 dBc |
| 부스큐 지연 방식 전압 제어 링 발진기 | 48 % | 7.8 mW | -66.48 dBc |
| 서브 루프 방식 전압 제어 링 발진기 | 56 % | 9.1 mW | -51.25 dBc |
| 제안한 방식의 전압 제어 링 발진기 | 99 % | 4.7 mW | -86.79 dBc |

제안한 회로의 위상 잡음은 1 MHz 주파수 오프셋에서 -86.79 dBc로 기본전압 제어 링 발진기에 비해 0.65 dBc 만큼 증가 했지만 부스큐 지연 방식의 전압 제어 링 발진기 보다 20.31 dBc, 서브 루프 방식의 전압 제어 링 발진기 보다 35.54 dBc 더 적게 나타났다.

<표 1>은 4GHz의 출력 주파수에서 주파수 배가 회로를 사용한 전압 제어 링 발진기와 기존의 전압 제어 링 발진기들의 실험 결과를 정리한 표이다.

제안한 전압 제어 링 발진기는 기존의 고속 전압 제어 링 발진기에 비해 적은 소모 전력으로도 더 많은 주파수 이득을 얻을 수 있었으며 위상 잡음 또한 가장 좋은 특성을 나타냄을 확인 할 수 있다.

VI. 결론

본 논문에서 TSMC 0.18um 1.8V CMOS 공정 라이브러리를 이용하여 기존의 고속 전압 제어 링 발진기와 제안한 주파수 배가 회로를 사용한 전압 제어 링 발진기를 비교해 보았다. 주파수 배가 방법을 사용한 전압 제어 링 발진기는 컨트롤 전압에 따라 3.72 GHz에

서 8 GHz까지의 발진 주파수 대역을 얻을 수 있었으며 4 GHz의 출력 주파수에서 소모 전력은 4.7 mW, 위상 잡음은 1MHz 주파수 오프셋에서 -86.79 dBc 로 측정 되었다. 또한 제안한 방식을 사용하여 기본 전압 제어 링 발진기의 발진 주파수를 배가 시킬 수 있음을 보였다.

제안한 방식은 다른 고속 전압 제어 링 발진기와 비교하였을 때 주파수 이득은 50 %이상 더 높게 얻을 수 있었으며 소모 전력 면에서도 가장 우수한 특성을 보였다. 또한 위상 잡음은 기본 전압 제어 링 발진기와 큰 차이 없이 나타남으로써 위상 잡음이 큰 쪽으로 증가한 다른 고속 전압 제어 링 발진기에 비해 좋은 특성을 보였다.

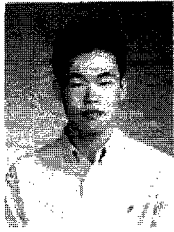
제안한 링 발진기는 기존의 고속 전압 제어 링 발진기에 비해 주파수 이득, 소모 전력과 위상 잡음 등 여러 면에 걸쳐 가장 좋은 특성을 나타냈으며 전체 사이즈도 크게 증가하지 않기 때문에 다른 회로들과 집적 또한 용이하다. 설계 측면에서도 일반적인 전압 제어 링 발진기와 NAND 게이트만 있으면 주파수 배가회로를 구성할 수 있으므로 설계하기 쉽고 설계 시간 또한 단축할 수 있다. 특히 주파수 대역이 2~4 GHz인 S-band용 전압 제어 링 발진기를 구조적 변화 없이 주파수 배가 회로만 추가 해 줌으로써 주파수 대역이 4~8 GHz인 C-band용 전압 제어 링 발진기로 사용할 수 있다.

본 논문에서 제안한 주파수 배가 방식은 전압 제어 링 발진기의 출력 주파수를 발진 주파수 전 대역에 걸쳐 안정적으로 배가 시켜줄 수 있음을 확인할 수 있다. 또한 주파수 배가 신호와 기본 신호를 모두 사용하게 되면 넓은 주파수 튜닝 범위를 가지는 전압 제어 링 발진기를 설계하는 것도 가능하기 때문에 고속 위상 고정 루프나 고속 주파수 합성기 등에 적용하여 많은 통신 시스템에서 응용이 가능하다.

참 고 문 헌

- [1] Seog-Jun Lee, Beomsup Kim, and Kwyro Lee, "A Novel High-Speed Ring Oscillator for Multiphase Clock Generation Using Negative Skewed Delay Scheme," *IEEE J. Solid-State Circuits*, vol. 32, no. 2, pp. 289-231, February 1997.
- [2] Lizhong Sun and Tadeusz A. Kwasniewski, "A 1.25 GHz 0.35 um Monolithic CMOS PLL Based on a Multiphase Ring Oscillator," *IEEE J. Solid-State Circuits*, vol. 36, no. 6, pp. 910 - 916, June 2001.
- [3] 김성하, 김삼동, 황인석, "향상된 부 스큐 고속 VCO를 이용한 초고주파 PLL," *전자공학회 논문지*, 제42권 SC편, 제6호, 23 - 36쪽, 2005년 11월
- [4] 박홍준, *CMOS 아날로그 집적회로 설계 (상)*, 시그마프레스, 1999.
- [5] Joonsuk Lee and Beomsup Kim, "A Low-Noise Fast-Lock Phase-Locked Loop with Adaptive Bandwidth Control," *IEEE J. Solid-State Circuits*, vol, 35, no. 8, pp. 1137 - 1145, August 2000.
- [6] Chan-Hong Park and Beomsup Kim "A low - noise, 900 MHz VCO in 0.35 um CMOS," *IEEE J. Solid-state Circuits*, vol. 34, no. 5, pp. 586 - 591, May 1999.
- [7] 이승훈, 김범섭, 송민규, 최중호, *CMOS 아날로그/혼성모드 집적시스템 설계(下)*, 시그마프레스, 1999.
- [8] Behazad Razavi, "A Study of Phase Noise in CMOS Oscillators," *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 331 - 343, March 1996.
- [9] 박홍준, *CMOS 디지털 집적회로 설계*, 대영사, 2002.

저 자 소 개



이 석 훈(학생회원)
 2007년 2월 동국대학교
 전자공학과 (공학사),
 2009년 2월 동국대학교
 전자공학과 (공학석사),
 2009년 3월~현재 한국HOYA
 전자(주) 기술부

<주관심분야 : 집적회로 설계>



황 인 석(평생회원)-교신저자
 1972년 서울대학교 전자공학과
 (공학사),
 1978년 U. of Wisconsin-Madison
 전자공학(제어)
 (공학석사),
 1982년 U. of Wisconsin-Madison
 전자공학(컴퓨터)
 (공학박사),

1982년~1985년 Dept. of Electrical Engr.,
 U. of Minnesota, Minneapolis, 조교수
 1984년~1989년 Signal Processor & VLSI
 Design Labs., AT&T Bell Labs, MTS
 1989년~1999년 현대전자산업(주)
 반도체연구소장, 전무이사
 2000년~현재 동국대학교 전자전기공학부 교수
 <주관심분야 : 집적회로 설계, 고속컴퓨터 및 통
 신용VLSI>