

# RFID 시스템에 사용되는 주파수 적응형 고효율 Class-E 증폭기

## Frequency Adaptive High Efficiency Class-E Amplifier in RFID System

권상근\*, 손강호\*, 김영\*, 윤영철\*\*

Sang-Gun Kwan\*, Gang-Ho Son\*, Young Kim\* and Young-Chul Yoon\*\*

### 요 약

이 논문은 RFID와 같은 무선통신 시스템에 적용할 수 있는 고 효율을 유지하는 적응형 E급 증폭기를 제안하였다. 스위치 모드 이 증폭기는 출력의 공진기를 제어하기 위하여 MCU를 사용하였고, 이에 따라서 입력 주파수 변화에 공진기 주파수를 적응하여 고 효율을 유지하도록 하였다. 이러한 적응형 E급 증폭기의 동작을 보이기 위해서 중심 주파수 450 MHz, 대역폭은 100 MHz인 증폭기를 제작하여 이 주파수 구간에서는 60% 이상의 효율을 유지하였고, 최대 효율은 74.8%를 얻었다.

### Abstract

This paper proposes the adaptive class-E power amplifier with maintaining high power added efficiency (PAE) to apply RFID and wireless communication system. This switch mode amplifier is used a microprocessor to control a resonator circuits and to maintain high efficiency in case of input frequency variation. To validate the adaptive amplifier operation, which is a 450MHz operating frequency and a 100MHz bandwidth, the class E amplifier is implemented. As a result, the adaptive amplifier is maintained above 60% efficiency in frequency range and has a 74.8% maximum efficiency.

Key words : Class-E amplifier, High-efficiency, Adaptive, RFID

### I. 서 론

최근 RFID 시스템은 주차관리 및 물류운송 등 다양하게 응용되고 있다. 근거리 RFID 통신의 경우 10 dBm 이하의 낮은 전력신호를 이용하여 정보를 송수신 하게 되는데 낮은 전력신호라고 할지라도 하나의 단말기가 관리하는 객체의 수가 증가할수록 소모하

는 배터리의 양이 증가하므로 전체적인 RFID 시스템의 전력효율의 감소를 초래하게 된다. 또한 그린에너지사업과 같은 정부차원에서의 친환경적인 전자제품의 개발촉진 요구에 의해 전력 효율이라는 주제가 연구개발 분야의 화두로 떠오르고 있다.

무선통신 시스템에서 정보의 송수신을 위해 사용되는 전력증폭기의 그 효율특성을 개선하기 위하여

\* 금오공과대학교 전파통신과(Department of Radio Communication Engineering, Kumoh National Institute of Technology)

\*\* 관동대학교 전자정보통신공학부(Department of Electronics & Information Communication Eng., Kwandong University)

· 제1저자 (First Author) : 권상근

· 교신저자 : 김영

· 투고일자 : 2010년 4월 29일

· 심사(수정)일자 : 2010년 4월 30일 (수정일자 : 2010년 6월 23일)

· 게재일자 : 2010년 6월 30일

EER (Envelope Elimination and Restoration)이나 LINC (Linear Amplification using Nonlinear Component) 혹은 도허티 방식 등이 제안되어 많은 분야에 걸쳐 활용되고 있지만 전력증폭기를 제외한 추가적인 회로 및 시스템이 추가되어야한다는 단점을 가지고 있으며 효율개선을 위한 회로가 전체적인 시스템의 효율을 감소시키는 문제점을 가지고 있다[1].

본 논문에서 사용된 스위치 모드의 E급 증폭기는 출력 단에 공진기가 사용되는데, 입력 신호의 주파수 변화에 따라 공진기를 구성하는 직렬 캐패시턴스 성분을 적절히 제어함으로써 공진 주파수를 가변시키면서 최대 전력부하효율을 유지할 수 있는 적응형 구조를 제안하였다.

본문에서는 스위치 모드로 동작하는 E급 증폭기의 설계 이론 및 시뮬레이션 결과 그리고 입력 전력에 대한 전력부하효율특성을 언급하고 입력 신호의 주파수 변화에 따른 특성을 확인하였다. 그리고 본 논문에서 제안한 적응형 구조의 E급 증폭기의 설계와 구성된 회로에 대한 시뮬레이션 및 실험 결과를 제시하고 결론을 제시하였다.

## II. 본 론

### 2-1. E급 증폭기 설계

E급 증폭기는 그림 1과 같이 스위치로 동작하는 트랜지스터와 병렬 캐패시턴스의 조합을 통해서 병렬 캐패시턴스의 충전과 방전효과에 의해 이상적인 트랜지스터의 스위치 동작을 유도 할 수 있고 이를 통하여 트랜지스터가 개방으로 동작할 때는 전류가 0, 또 단락으로 동작할 경우는 트랜지스터 양단에 인가되는 전압이 0이 되는 조건이 되어 고 효율의 스위칭 특성을 갖는 E급 증폭기의 구현이 가능하다.

이 증폭기에서 출력 단을 구성하는 직렬 공진기는 동작 주파수에 해당되는 신호의 성분만을 출력하기 위해 고조파 성분을 제거하기위한 것이며 여분의 인덕터 값인  $\Delta L$ 은 출력 정합 단에서 부하 저항을 보았을 때의 임피던스가 순수한 저항성분만을 갖게 하기위한 보상소자이다.

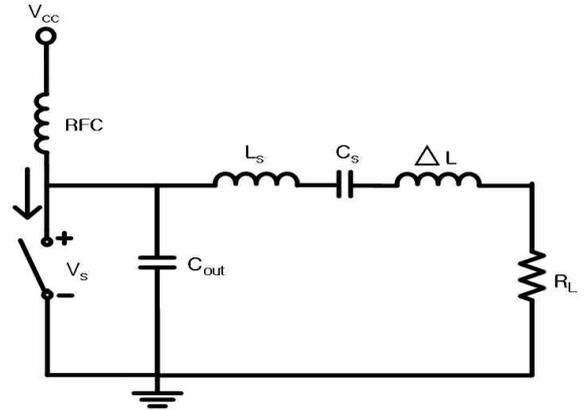


그림 1. 스위치로 대체된 등가회로  
Fig. 1. Equivalent circuit of Class-E amplifier

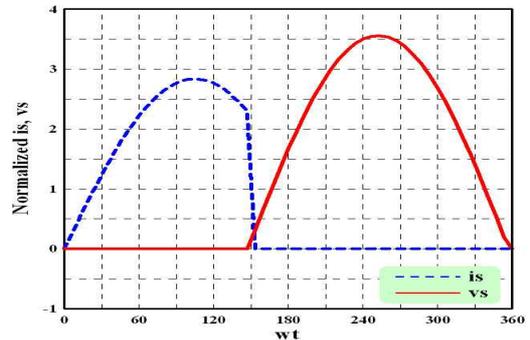


그림 2. 이상적인 E급 증폭기의 전압과 전류파형  
Fig. 2. Voltage and current waveform of ideal Class-E amplifier

또한, ZCS (Zero Current Switching) 조건에서 주어 진 전압과 전류에 대한 방정식을 이용하여 그래프로 나타내면 그림 2와 같은 파형을 나타낼 수 있다 [2]-[5]. 이와 같은 파형은 이론적으로 100%의 효율 특성을 갖음을 알 수 있으며, 설계 변수에 해당되는  $C_{out}$ ,  $L_s$ ,  $C_s$ ,  $\Delta L$  값을 원하는 출력 전력과 부하 저항에 대하여 E급 증폭기 설계 변수 최적화에 관련된 수식을 다음과 같이 제시하였다[2].

$$C_{out} = \frac{1}{\omega_o} \left( \frac{0.1836}{R_L} \frac{1+0.81Q}{Q^2+4} \right) \quad (1)$$

$$C_s = \frac{10}{\omega_o R_L Q} \quad (2)$$

$$L_s = \frac{QR_L}{\omega_o} \quad (3)$$

$$\Delta L = \frac{1}{\omega_o} \left( \frac{1.11Q}{(Q-0.67)R_L} \right) \quad (4)$$

2-2. 적응형 E급 증폭기

적응형 E급 증폭기는 공진기의 구성소자를 전기적으로 제어 할 수 있다면 입력 주파수의 변화에 따라 공진 주파수를 조절하여 증폭기가 항상 최대효율을 갖도록 하는 것이다.

전기적으로 캐패시턴스 성분을 제어 할 수 있는 소자인 바랙터 다이오드는 인가되는 역 바이어스의 변화에 따라 내부 캐패시턴스 성분을 제어할 수 있는 소자로 본 논문에서는 Alpha사의 SMV1255를 사용하여 5 pF에서 90 pF의 가변 캐패시턴스 성분을 이용하여 E급 증폭기의 공진기의 공진 주파수를 가변 하였다.

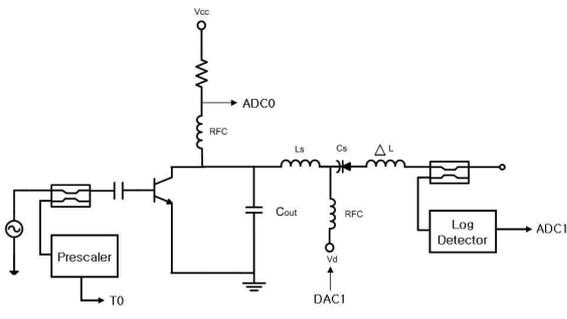


그림 3. 적응형 E급 증폭기 구조  
Fig. 3. Structure of adaptive class-E amplifier

그림 3은 본 논문에서 제안한 적응형 E급 증폭기의 전체 구조를 나타낸 것이다.

적응형 E급 증폭기는 증폭기, 주파수 검출회로, 전력 검출회로 그리고 E급 증폭기의 드레인 전류측정을 통한 효율 연산 및 바랙터 다이오드에 전압의 디지털 신호처리 기능을 담당하는 디지털부로 구성되어 있다.

먼저, E급 증폭기의 입력 단에 위치한 주파수 검출회로는 20dB 커플러를 사용하여 검출된 신호를 프리스케일러를 사용하여 1 MHz 이하의 주파수로 분주하여 MCU (Micro Control Unit)로 보내어 입력 신호의 주파수 정보를 검출하기 위한 역할을 한다. 트랜지스터의 드레인 단의 저항은 드레인 단에 흐르는 전류를 계산 하기위한 것으로, 전류 측정은 A/D 변환기로 저항 양단에 인가된 전압을 측정하고, MCU를 통하여 전위차를 연산하여 저항 값으로 나누어 드레인 전류를 측정하게 된다.

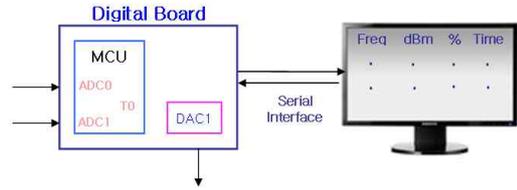


그림 4. 디지털 보드와 직렬 통신  
Fig. 4. Digital board and serial communication

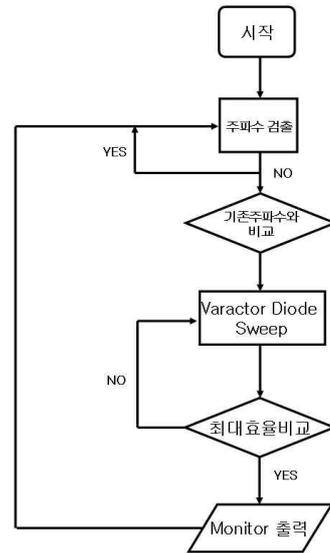


그림 5. 적응형 E급 증폭기의 동작 순서도  
Fig. 5. Flow chart of adaptive class-E amplifier

또한, E급 증폭기의 출력 단에 위치한 20dB 커플러는 출력 전력을 측정하기 위한 로그 검출기 입력에 신호를 인가하기 위한 기능을 위해서 사용한 것으로, 최대 효율을 얻기 위한 출력을 검출함으로써 효율의 정도를 파악하기 위함이다.

그림 4는 E급 증폭기의 상태를 디지털 보드와 컴퓨터와의 직렬 통신(Serial communication)을 통해 실시간으로 감시하기위한 환경을 나타낸 것으로, 사용된 MCU의 USART 기능을 사용한 USB 모드를 사용하여 향상된 속도 환경에서 실험을 진행하였다.

그림 5는 제안된 적응형 E급 증폭기의 동작 알고리즘을 나타낸 것이다.

회로에 전원과 신호가 인가되면 주파수 검출회로가 입력 신호의 주파수를 분주하여 MCU의 타이머 기능에 의해 주파수를 검출하게 된다. 또, D/A 변환기를 이용하여 바랙터 다이오드에 인가되는 역 바이어스 값을 0 V에서 부터 5 V까지 변화시키며 각 캐

패시턴스 값에 의한 E급 증폭기의 효율을 연산하게 되고 최고의 효율 특성을 나타내는 캐패시턴스 값에 해당하는 바이어스 값을 추적하게 되고 이를 통하여 증폭기가 최대 효율을 유지하게 한다.

이 결과를 컴퓨터와 MCU 사이의 직렬 통신에 의한 감시에 의해 E급 증폭기의 현재 출력 특성을 나타내게 된다. 이렇게 한 이후에 다시 주파수를 검출하여 입력 신호의 주파수가 변화가 없으면 현재 상태를 유지하게 되고, 입력 주파수 변화하면 다시 바랙터 다이오드의 바이어스 전압 제어를 통하여 최대 효율 추적 과정을 반복하게 된다.

여기서 사용된 D/A 변환기와 MCU에 내장되어있는 A/D 변환기 모듈의 변환 속도에 의해 전체적인 적응형 알고리즘의 안정성이 결정되고 실시간으로 E급 증폭기의 출력 특성을 직렬 통신에 의해 감시할 수 있는 구조이다.

III. 적응형 E급 증폭기 제작 및 측정 결과

그림 6은 적응형 E급 증폭기의 사진으로 사용된 트랜지스터는 에질런트사의 ATF54143을 이용하여 구현된 회로이다.

증폭기의 입력과 출력의 정합 임피던스는  $50\Omega$ 이고, 증폭기 구현에 사용된 기판은 유전율  $\epsilon_r=2.3$ , 기판두께 0.787 mm인 Taconic사 테프론 기판을 사용하였으며, 드레인 전압은 0.55 V, 게이트 전압은 1 V를 인가하였다.

증폭기의 입력 단과 출력 단에 20 dB 커플러를 연결하여 각각 주파수 검출 회로와 출력 전력 검출 회로에 연결하여 E급 증폭기의 효율을 결정하는 값들을 측정하였다.

또, 증폭기 출력단의 공진기를 구성하는 바랙터 다이오드를 삽입하여, 이것을 제어하기 위해 바이어스 전압을 인가하기 위한 레이아웃을 확인 할 수 있다.

드레인 전류를 측정하기 위해 삽입된 저항 값은  $10\Omega$ 이며 저항의 뒷단에 인가되는 전압값을 A/D 변환기로 측정하여 드레인 전압 차이를 저항 값으로 나누어 트랜지스터에 흐르는 직류 전류를 수치적으로

연산할 수 있도록 MCU를 사용하였다.

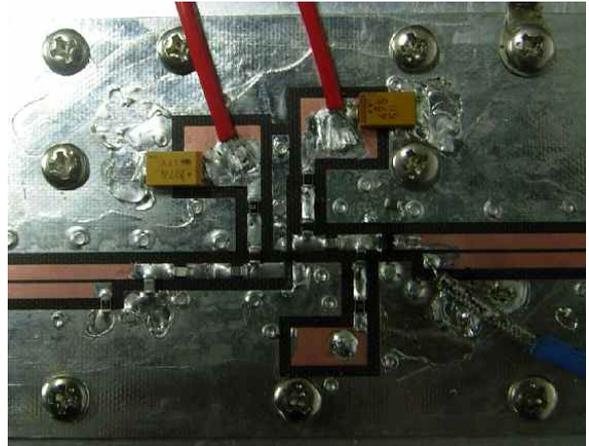


그림 6. 적응형 E급 증폭기 제작 사진  
Fig. 6. Fabricated photograph of adaptive class-E amplifier

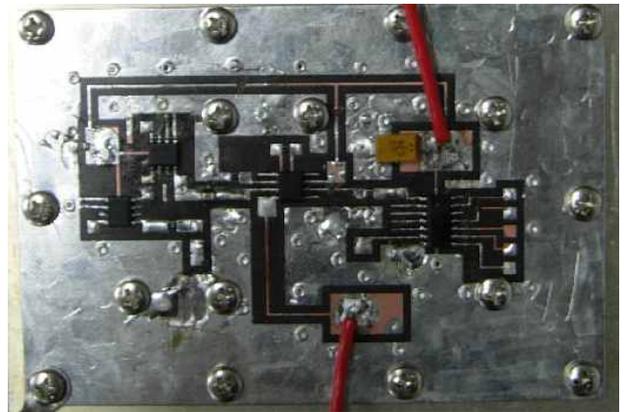


그림 7. 주파수 검출 회로  
Fig. 7. Fabricated photograph of frequency detector circuit

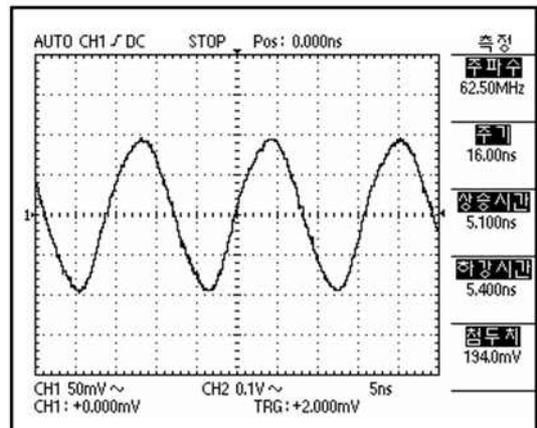


그림 8. MC12093에 의해 분주된 입력 신호파형  
Fig. 8. Dividing input waveform using MC12093

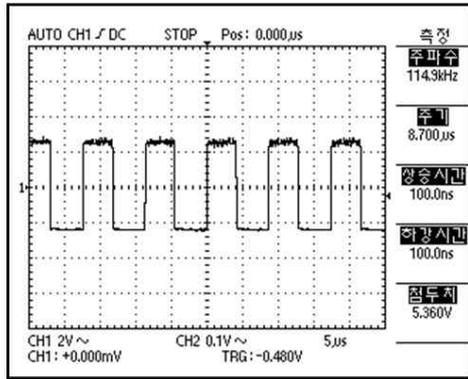


그림 9. 74HC393으로 분주된 파형  
Fig. 9. Dividing waveform using 74HC393

그림 7은 구현된 주파수 검출회로의 사진이며, 프리스케일러는 MC12093 과 리플 카운터인 74HC393 을 이용하여 구현되었다.

그림 8은 프리스케일러인 MC12093에 500 MHz 입력을 신호를 인가하였을 경우의 출력파형을 오실로스코프를 통해 측정 한 것으로 8 분주된 62.5 MHz의 주파수 측정 결과를 나타내었다.

그림 9는 리플 카운터 74HC393을 통해 4번의 8분 주 과정을 거쳐 확인된 114.9 kHz 주파수 측정 결과를 나타낸 것이다. 이것을 통해 MCU가 인식할 수 있는 레벨의 주파수와 첨두치를 갖는 신호를 얻을 수 있었고 400MHz에서 500MHz까지의 입력신호가 97.656KHz에서 97.9KHz까지의 출력신호로 변환된 것을 확인 할 수 있다.

단위 시간 동안의 계수되는 클럭수를 확인 하기위해 코드를 통해 400MHz에서 500MHz의 주파수 변화에 대한 클럭 수를 측정하였고 그 결과를 표 1에 나타내었다[6]-[8]. 이 표를 통해 주어진 대역폭 내에서 1 MHz의 분해능을 갖는 주파수 검출기의 특성을 확인하였고, 입력 주파수 변화를 감지하여 공진기의 주파수를 제어할 수 있는 적응형으로 동작하는 E급 증폭기의 구현이 가능함을 입증하였다.

표 1. 측정된 입력 주파수에 대한 내부 클럭수  
Table 1. Internal clock number of measured input frequency

주파수 [MHz]	클럭수
400	5120
405	5057
410	4994

415	4937
420	4879
425	4821
430	4764
435	4707
440	4654
445	4603
450	4552
455	4500
460	4454
465	4407
470	4356
475	4311
480	4252
485	4210
490	4161
495	4101
500	4058

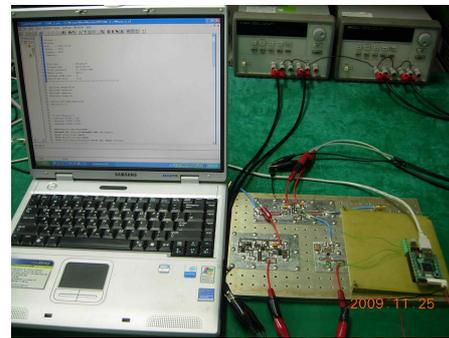


그림 10. 적응형 E급 증폭기의 실험 환경  
Fig. 10. Photograph of adaptive class E amplifier test environment

그림 10는 구현된 E급 증폭기와 주파수 검출회로 및 출력 전력 측정회로 그리고 디지털보드가 조합된 적응형 E급 증폭기 시스템과 실험환경을 나타낸 사진이다.

Disconnect	Hex Code:	Send	BxFile	IxFile	Hex	Clear
400.00000 [MHz]	12.89750 [dBm]	31.02340 [mA]	62.75120 [percent]			
410.00000 [MHz]	13.05430 [dBm]	31.56320 [mA]	64.08229 [percent]			
420.00000 [MHz]	13.42240 [dBm]	32.65000 [mA]	68.63829 [percent]			
430.00000 [MHz]	13.87120 [dBm]	34.00120 [mA]	71.72319 [percent]			
440.00000 [MHz]	13.92120 [dBm]	35.56700 [mA]	70.13230 [percent]			
450.00000 [MHz]	13.45210 [dBm]	31.10010 [mA]	71.39080 [percent]			
460.00000 [MHz]	13.19640 [dBm]	32.23410 [mA]	65.13999 [percent]			
470.00000 [MHz]	14.75130 [dBm]	50.00120 [mA]	59.71030 [percent]			
480.00000 [MHz]	14.01560 [dBm]	41.81220 [mA]	61.41440 [percent]			
490.00000 [MHz]	12.97430 [dBm]	33.34210 [mA]	60.05320 [percent]			
500.00000 [MHz]	13.34780 [dBm]	38.23120 [mA]	56.78000 [percent]			

그림 11. 직렬 통신으로 확인된 증폭기 특성  
Fig. 11. Representation of amplifier characteristic with serial communication

또, 그림 11은 입력 주파수, 출력 전력, 드레인 전류 그리고 그때의 최고 효율을 표시한 것으로 실제 측정된 화면을 캡처하여 나타내었다.

직렬 통신은 8비트 MCU 컴파일러인 HP info사의 codevision AVR을 사용하였고 하이퍼터미널을 통하여 9600 bps의 보레이트를 갖는 송수신 기능을 활용하였다. 수신 모드에서 구현된 E급 증폭기의 출력 레벨과 전류 소모량 그리고 연산된 효율값을 실시간으로 감시할 수 있고 통신 속도의 개선을 위하여 USB(Universal Serial Bus)을 사용하였다.

또한, 그림 12는 주파수 변화에 따른 E급 증폭기의 출력 전력 레벨의 크기를 출력 단 공진기의 직렬 캐패시턴스 값을 변화시킨 시뮬레이션과 측정 실험 결과를 제안된 적응형 E급 증폭기에 의한 결과와 비교하여 나타내었다. 이 결과를 보면 적응형 증폭기와 캐패시터 변화에 의한 증폭기의 결과가 동일함을 알 수 있다.

그림 13은 연산된 효율 결과를 시뮬레이션과 측정 결과를 제안된 적응형 E급 전력증폭기에 의한 결과를 비교한 데이터이다. 이 결과도 역시 적응형 증폭기의 효율이 기존 캐패시터 변화에 의한 증폭기 결과가 동일함을 알 수 있다.

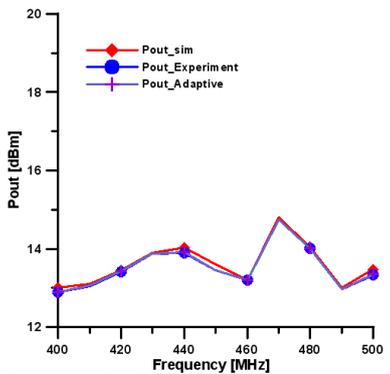


그림 12. E급 증폭기의 출력 레벨 비교 결과  
Fig. 12. Comparison output level of class E amplifier

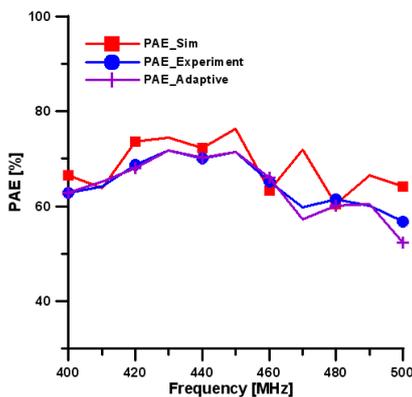


그림 13. E급 증폭기의 효율 비교 결과  
Fig. 13. Comparison PAE of class E amplifier

## V. 결 론

본 논문에서는 E급 증폭기의 출력 단에 위치하는 직렬 공진기의 구성 소자를 바랙터 다이오드로 대체하여, 바이어스 전압 변화에 대한 가변 캐패시턴스 성분을 이용하여 입력 신호의 주파수 변화에 따라 최고의 효율값을 갖도록 적응형 구조를 제안하였다.

중심 주파수 450 MHz, 대역폭은 100 MHz인 적응형 E급 증폭기를 제작하여 이 주파수 구간에서는 60% 이상의 효율을 유지하였고, 최대 효율은 74.8%를 얻었다.

본 논문에서 제시한 적응형 고효율 증폭기 구조를 통해 RFID와 같은 저 전력 고효율 시스템에 적용을 기대하며, 이 구조를 원 칩으로 구현하면 소형화와 고효율 특성을 갖는 시스템의 구현이 가능하다고 판단된다.

## 감사의 글

본 연구는 금오공과대학교 학술연구비에 의해서 연구된 논문입니다.

## 참 고 문 헌

- [1] Cripps, RF Power Amplifiers for Wireless Communications, Artech House, 2006.
- [2] Nathan O. Sokal, Switchmode RF Power Amplifier, Newnes, 2007.
- [3] Scott D.kee, Ichiro Aoki, "The Class-E/F Family of ZVS Switching Amplifiers", *IEEE Trans. Commum., Vol.51, NO.6*, pp.1677-1690, 2003.
- [4] Andrew J.Wilkinson, "Transmission-Line Load-Network Topology for class E Power Amplifier", *IEEE Trans. Commum., Vol.49, No.6*, pp.1202-1210, 2001.
- [5] Siu-chung Wong and Chi K, "Design of symmetrical class E power amplifiers for very low harmonic-content applications", *IEEE Trans. Commum., Vol.52, No.8*, pp.1684-1702, 2005.

- [6] Amos giat, Matlab an introduction with application, Wiley, 2005.
- [7] Sammir palnitkar, Verilog HDL aguide to digital design and synthesis, Pearson education, 2005.
- [8] Barnett. cox, Embedded C programming and the atmel AVR, Thomson, 2005.

권 상 근 (權相根)



1987년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)  
 1993년 8월: 한국과학기술원 전기 및 전자공학과 (공학박사)  
 1990년 9월 ~ 현재: 금오공과대학교 전자공학부 교수

관심분야 : 영상통신, 디지털 통신 시스템, 신호 처리

손 강 호 (孫江浩)



2008년 2월 : 금오공과대학교 전자공학부 전자공학과(공학사)  
 2010년 2월 : 금오공과대학교 대학원 전파통신공학과 졸업  
 2010년 1월 ~ 현재 : LS전선(주) 연구원  
 주관심분야 : 광대역 증폭기 및 선형화기, 수동 필터 설계

김 영(金英)



1988년 2월: 서강대학교 전자공학과 (공학석사)  
 2002년 8월: 서강대학교 대학원 전자공학과 (공학박사)  
 1988년 1월 ~ 1993년 5월: 이즈텔시스템즈(주) 연구소 선임연구원  
 1993년 6월 ~ 1998년 2월: 삼성전자

(주) 정보통신사업본부 선임연구원

1998년 3월 ~ 2003년 2월 : 두원공과대학 정보통신과 조교수

2003년 3월 ~ 현재: 금오공과대학교 전자공학부 부교수

관심분야 : RF 및 Microwave 회로해석 및 설계, 전력 증폭기 및 선형화기 설계

윤 영 철 (尹永哲)



1978년 2월: 서강대학교 전자공학과 (공학사)  
 1982년 2월: 서강대학교 대학원 전자공학과 (공학석사)  
 1989년 2월: 서강대학교 대학원 전자공학과 (공학박사)  
 1987년 9월 ~ 현재 관동대학교

전자정보통신공학부 교수

관심분야 : RF 및 Microwave 회로설계