

7 GHz 대역 100 mW 주파수 3체배기의 제작

Design of 100mW Frequency Tripler Operating at 7 GHz

노희정*, 주재현*, 구경현*

Hee-Jung Roh*, Jae-Hyun Joo* and Kyung-Heon Koo*

요약

본 논문에서는 PHEMT 소자를 이용하여 100mW급 중전력 주파수 3체배기를 설계하였다. 이 주파수 3체배기는 목적하는 주파수 7.2 GHz를 얻기 위하여 2.4 GHz 입력주파수를 정수 체배하여, 3차 고조파를 발생시키는 비선형 소자를 이용하였다. 이 3체배기는 로드-풀 시뮬레이션을 이용하여 설계하였고 출력단에서 기본파와 2차 고조파를 억압하기 위하여 노치필터를 이용하였다. 설계된 3체배기는 출력전력이 21 dBm, 체배 이득이 6 dB이며 기본파는 약 20 dBc, 2차고조파는 약 30 dBc의 고조파억압특성을 나타내었다.

Abstract

In this paper, a frequency tripler has been designed with 100mW medium-power using P-HEMT. It is designed to obtain 7.2 GHz frequency at the output that is an integer multiple of 2.4 GHz input frequency by using nonlinear device that produces 3rd harmonic. The frequency tripler is designed by using load-pull simulation. To suppress the 2nd and fundamental, notch filter is used for the frequency tripler. The tripler is designed to obtain about 21dBm output power with 15 dBm input, i.e., 6 dB conversion gain and the suppression of 20 dBc at fundamental, and 30 dBc at the second harmonics.

Keywords : frequency tripler, high efficiency, load pull

I. 서론

정보량의 증가에 따라 주파수 자원이 포화되어 통신 주파수의 부족현상이 발생되어 지고 있으며, 이를 해소하기 위하여 주파수 대역의 상승하여 필요한 대역폭을 확보하고 있다. 마이크로파 통신 시스템은 높은 안정성과 저 잡음특성을 가지는 신호원을 요구하지만 주파수가 높아질수록 이러한 신호원을 제작하기 어렵다. 이를 해결하기 위한 방안으로 낮은 잡음특성을 갖는 신호원을 구현한 후 주파수 체배기

(Frequency Multiplier)를 이용하여 정수배의 높은 신호원을 구현하는 방법이 활용된다. 주파수 체배기는 소자의 비선형 특성을 이용하여 입력 신호를 왜곡시켜 정수배의 고조파를 발생시킨 후 목적하는 주파수만 선택하고, 다른 고조파는 필터를 이용하여 제거하는 회로를 의미한다.

발진기를 이용하여 주파수를 발생시키는 경우의 단점은 주파수가 높아질수록 잡음이 증가하여 저 잡음 신호원을 제작하기 어렵게 된다. 이런 단점을 해결하기 위한 방법으로 주파수 체배기를 사용하면,

* 인천대학교 전자공학과(Dept. of Electronics Engineering, University of Incheon.)

· 제1저자 (First Author) : 노희정 · 교신저자 : 구경현

· 투고일자 : 2009년 12월 22일

· 심사(수정)일자 : 2009년 12월 23일 (수정일자 : 2010년 1월 26일)

· 게재일자 : 2010년 2월 28일

낮은 주파수를 높은 주파수로 체배하여 고안정의 저잡음 신호원을 얻을 수 있다[1-5].

따라서 본 논문에서는 주파수 체배기의 기본이론을 검토하고 PHEMT를 사용하였으며, 증폭기에 사용하던 이론인 로드-풀 이론을 체배기에 적용하였고, 또한 노치필터를 이용한 시뮬레이션을 통하여 높은 효율의 7.2 GHz대의 100 mW급 출력을 얻기 위한 주파수 3배기를 설계 제작하였고 특성을 살펴보았다. 본 논문의 3배기는 중전력을 갖는 체배기로 후단의 증폭기의 설계시에 증폭단을 줄이 수 있는 장점이 있다. 효율이 최대 22%를 보여 효율을 좀더 향상시킬 수 있는 방안과 선형화 기법과 대전력 체배기에 대한 추가적인 연구가 필요할 것으로 보인다.

II. 주파수 체배기 기본이론

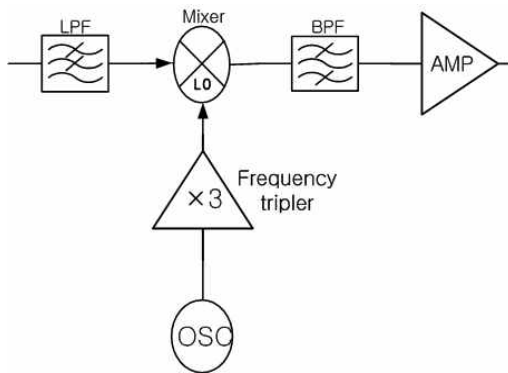


그림 1. 주파수 3배기를 이용한 국부발진기 응용
Fig. 1. Frequency tripler application of LO driver.

그림 1은 마이크로파 송신시스템에서 주파수 3배기 이용의 예를 나타내고 있다. 저잡음의 신호원을 얻기 위한 방법 중 발진기와 주파수 체배기를 이용하여 단일 발진 소자를 이용하여 얻은 신호원의 위상잡음 특성보다 더욱 좋은 특성의 신호원을 얻는 것이 가능하다는 연구 결과가 보고되고 있다[1]. 또한 그림1에서 사용되는 주파수 체배기는 사용되는 소자에 따라 다이오드 주파수 체배기와 능동 주파수 체배기로 나눌 수 있다. 다이오드 주파수 체배기는 리액티브(reactive)체배기와 저항성(resistive)다이오드 체배기가 있다. 일반적으로 리액티브 체배기는 높은

효율과 저잡음 특성을 갖지만 동작 대역폭이 좁은 단점이 있다. 저항성다이오드 체배기는 주파수 대역폭은 넓으나 효율이 떨어진다. 그러나 능동 주파수 체배기는 FET와 BJT를 이용한 다이오드 주파수 체배기보다 설계가 어려운 단점이 있지만 설계에 따라 넓은 동작 대역폭과 변환이득을 가질 수 있다[2].

주파수 체배기는 소자의 비선형성에 의해 발생하는 고조파 성분을 이용한다. 능동 주파수 체배기는 FET나 BJT에서 기본주파수에 의해 발생하는 2차 또는 3차 고조파 성분을 이용하여 주파수 체배를 한다. FET의 입출력 바이어스 점 선정에 의한 전도 각 (conduction angle)의 변화에 따라 기본파(I_d)와 고조파 주파수의 출력 전류(I_{dn})는 변화한다. 전도 각은 바이어스 점의 선정에 의해 제어될 수 있으며 그림 2는 바이어스 전압을 변화시키는 경우에 변화하는 전도 각에 따른 정규화된 전류 값을 나타내고 있다.

FET를 pinch-off점에서 동작시킬 경우 출력전류의 클리핑(Clipping)을 가정하여 전류를 푸리에 변환하면 아래 (1)식과 같이 쓸 수 있다[9,10].

$$I_d = \frac{I_p}{\pi} \left[\frac{\pi t_0}{T} - \frac{\sin(2\pi t_0/T)}{2} \right]$$

$$I_{dn} = \frac{I_p}{\pi} \left[\frac{\sin((n-1)\pi t_0/T)}{n-1} + \frac{\sin((n+1)\pi t_0/T)}{n+1} - \frac{2}{n} \cos(\pi t_0/T) \sin(2\pi t_0/T) \right] \quad (1)$$

위의 식에서 I_d 와 I_{dn} 은 드레인 전류이며 I_p 는 핀치오프전류를 의미한다.

사인파의 게이트 전압에 의해 코사인파형의 피크 드레인 전류가 흐르는데 이것을 푸리에 시리즈로 나타내면 다음 (2)식과 같다. 여기서 I_{max} 는 피크 드레인 전류이고 입력 신호의 전도 각은 $\theta = 2\pi(t_0/T)$ 으로 정의된다[4,7].

$$I_d(t) = I_0 + I_1 \cos(\omega_0 t) + I_2 \cos(2\omega_0 t) + \dots + I_n \cos(n\omega_0 t) \quad (2)$$

여기에서 $n=0$ 일 때

$$I_0 = \frac{2I_{max}}{\pi} \frac{t_0}{T} \quad (3)$$

$n \geq 1$ 일 때는

$$I_n = I_{\max} \frac{4t_0}{\pi T} \cdot \frac{\cos(n\pi \frac{t_0}{T})}{1 - (2n \frac{t_0}{T})^2} \quad (4)$$

$n=(T/2t_0)$ 일 때

$$I_n = I_{\max} \frac{t_0}{T} \quad (5)$$

식 (1)로부터 피크 드레인 전류로 정규화된 전도각과 체배비의 관계를 나타내면 그림 2와 같다.

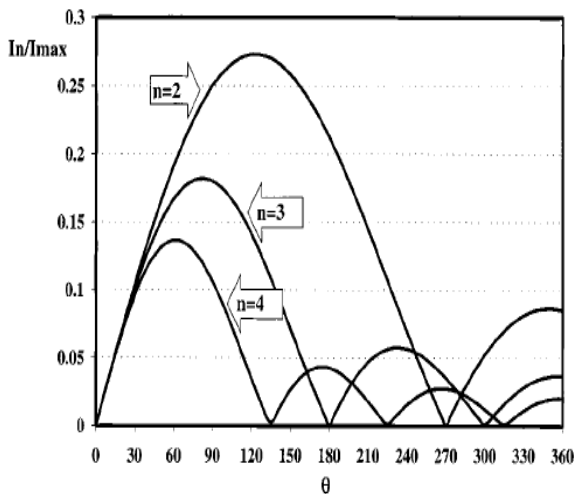


그림 2. 전도각에 따른 정규화된 하모닉 전류
Fig. 2. Normalized harmonic current as function of conduction angle[4].

그림 2에서 2차 고조파의 전류비가 최대가 되는 전도각($n=2$)은 120° 이고 3차 고조파의 전류비가 최대가 되는 전도각($n=3$)는 $2\phi_{opt} = 240^\circ/n$ 로 근사되므로, 주파수 3 체배기의 경우 최적의 전도각은 $2\phi = 80^\circ$ 가 된다.

주파수 3체배기의 기본구조는 입력단에 발생된 3차 고조파 신호가 체배기의 입력의 신호원 방향으로 나가는 것을 막기 위해 3차 고조파 주파수($3f_0$)에서 $\lambda/4$ 의 전기적 길이를 갖는 개방 스텐브를 연결하고, 입력신호(f_0)의 반사를 최소화하기 위한 입력정합 회로를 구성한다. 출력단은 3차 고조파 신호를 제외

한 다른 고조파를 억압하기 위한 노치필터와 출력 정합회로를 구성한다.

III. 로드풀 기법을 기용한 고효율 주파수 체배기 설계

7.2 GHz 출력 신호를 갖는 주파수 3 체배기를 ADS 시뮬레이션을 이용해 설계하고 FR4 기판에 구현하였다. 주파수 체배기의 스위치 능동소자로 PHEMT를 사용하였다. 2.4 GHz 입력 및 7.2 GHz 출력에서의 입출력 임피던스는 입력과 출력의 가능한 모든 임피던스를 변화시켜 가면서 출력 특성을 측정하여 최적의 부하 조건을 얻는 기법인 소스풀, 로드풀 시뮬레이션을 이용하여 값을 구하였다. 그리고 로드풀 시뮬레이션에 의해 구한 부하 임피던스 값을 ADS를 이용하여 기본파 주파수인 2.4 GHz 신호에 대한 억압특성이 큰 값을 갖도록 하고, 높은 변환이득 특성을 갖도록 하기 위해 출력단 반사손실을 최소화 하여 부하 임피던스 값을 최적화하였다.

본 논문에서 설계하고자 하는 주파수 체배기의 목표치는 무선 랜용 주파수 체배기를 목표로 했기 때문에, 설계 목표치의 설정은 IEEE 무선 랜 표준을 참고로 하여 설정하였다. 그리고 기존에 나와 있는 주파수 체배기의 설계 값과 비교하여 설계 목표를 정하였으며, 설정 값은 아래 표 1과 같다.

표 1. 주파수 체배기의 설계 목표
Table 1. Design target of frequency Tripler.

요구 항목	기존 논문[1]	설계 목표
주파수	5.1~6.75 GHz	7.1~7.43 GHz
출력 (3차 하모닉)	-7.6 dBm	15 dBm
이득	-5.6 dB	5 dB
하모닉 억압	13 dBc	30 dBc

3-1 로드풀 시뮬레이션

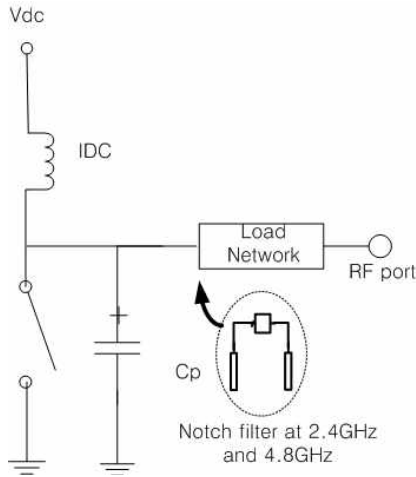


그림 3. 노치 필터를 포함한 주파수 체배기 블록 다이어그램

Fig. 3. Block diagram of the frequency tripler with input $\lambda g/4$ notch filter.

동작 바이어스를 선정하고 본 논문에서 제안한 고효율 주파수 체배기를 설계하기 위해 그림 3과 같이 출력단 회로를 구성하였다.

또한 주파수 체배기의 동작을 위해 입력주파수인 2.4 GHz와 2차 고조파인 4.8 GHz에서의 노치 필터를 출력단 회로에 추가하였다. 노치 필터는 입력된 기본파와 2차 고조파 주파수를 억압하고 3차 고조파를 출력 신호로 전달하기 위해 필요한 회로이다. 노치 필터의 특성 임피던스 값이 높아지면 입력 신호의 억압 특성이 좋아지고 기본파 저지대역이 좁아지는 특성을 보인다. 고효율 주파수 체배기로 동작하기 위한 부하단 임피던스 값을 갖는 회로에 2.4 GHz와 4.8 GHz 노치 필터를 추가한 후의 부하단 임피던스의 값을 7.2 GHz에서 고효율 주파수 체배기의 부하단 임피던스 값과 같도록 정합회로를 구성하였다.

출력 정합회로에서 주파수 체배기의 최대 전력전송을 위한 부하의 임피던스 점을 찾기 위해 로드풀 시뮬레이션을 하였다. 로드풀 시뮬레이션에서 입력 전력 크기의 변화는 최대 전력 전송 부하점이 변동하는 특성으로 인하여 시뮬레이션 할 때 최대 입력크기를 알아보기 위한 것이다. 그림 4는 로드풀 시뮬레이션 결과로서 35.9-j55.3 근방의 임피던스에서 약

25.6%의 효율과 27.3 dBm의 출력전력을 나타낸다.

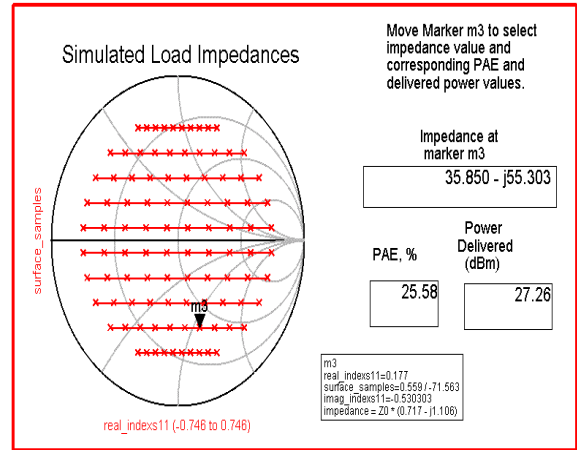


그림 4. 로드풀 시뮬레이션 결과
Fig. 4. simulation result of load-pull.

3-2 주파수 3체배기 회로 설계

로드풀 시뮬레이션을 통해서 입력신호가 트랜지스터에 최대한 전송될 수 있는 부하의 임피던스 점을 결정하기 위해 트랜지스터 소스에서 바라본 반사계수를 구한 후, 공액 정합을 이용하여 입력 정합 회로를 설계하였다. 그림 5는 로드풀 시뮬레이션 결과로 얻어진 임피던스로 입출력 정합한 주파수 3체배기 회로도 보여준다. 회로 구현은 마이크로스트립선을 이용하였다.

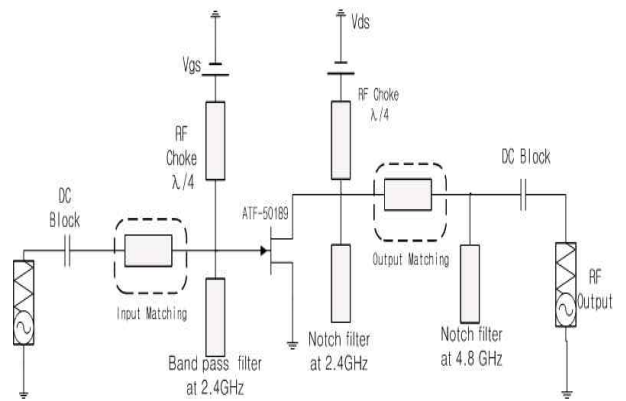


그림 5. 주파수 3체배기 회로도
Fig. 5. Overall schematic of frequency tripler.

그림3과 그림 5에 포함된 노치필터의 시뮬레이션 결과는 아래의 그림6과 같다. 주파수 억압이 m1, m2에

서 약 40 dB 값을 가지며, 7.2 GHz의 S21의 이득이 약 -1.8 dB가 되도록 설계하였다.

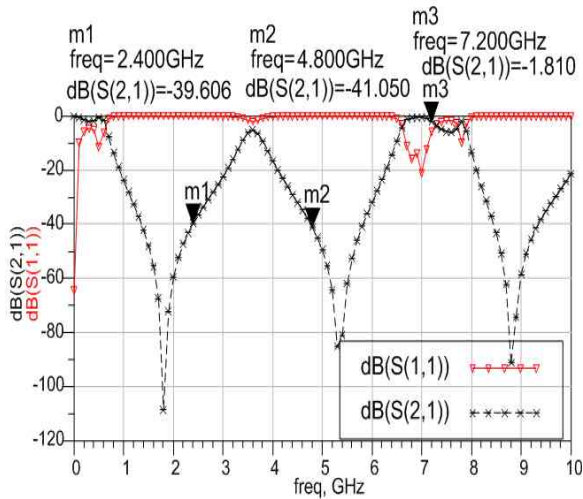


그림 6. 노치필터의 시뮬레이션 결과
Fig. 6. simulated result of notch filter.

3-3 설계된 주파수 체배기 시뮬레이션

그림 7은 주파수 체배기의 출력 전력을 시뮬레이션한 결과로 최대 출력전력은 입력전력 15 dBm에 대해 20 dBm 이상이며 20 dBc 이상의 기본주파수 억압 특성을 갖는다. 그림 8은 주파수 체배기의 전력부가 효율 시뮬레이션 결과로 20%의 효율 특성을 갖는다. -5 dBm와 1 dBm의 입력전력에서 효율은 거의 변화가 없다가 1 dBm부터 상승하여 17 dBm 입력전력에 대하여 제3고조파의 변환전력효율이 25%를 보이고 있다.

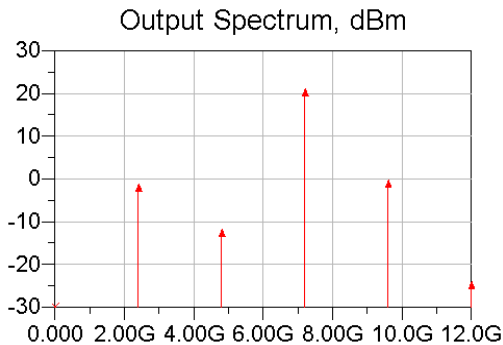


그림 7. 주파수 3체배기의 출력전력 시뮬레이션
Fig. 7. Output simulation of frequency tripler.

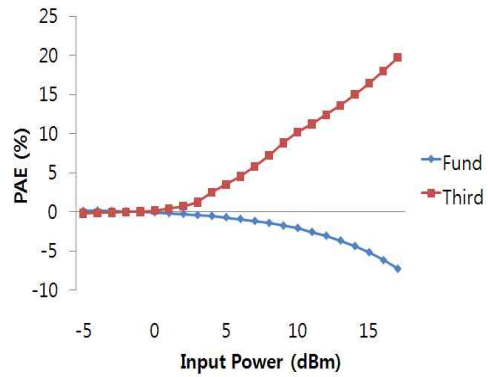


그림 8. 주파수 3 체배기의 PAE 시뮬레이션
Fig. 8. PAE simulation of frequency tripler.

IV. 주파수 체배기 제작 및 측정

그림 9에 유전율 4.4의 FR4 기판에 마이크로스트립 선로를 이용하여 제작한 7.2 GHz 주파수 3 체배기의 제작사진을 제시하였다.

제작한 주파수 3 체배기에 입력전력을 인가하여 출력전력을 측정한 결과를 그림 10에 나타내었다. 전력효율은 입력전력에 따라 증가하고 15 dBm입력에 대해 출력전력 21 dBm 및 6 dB의 변환 이득, 최대 22%의 효율 특성을 보이는 주파수 3체배기로 동작하는 것을 확인할 수 있다.

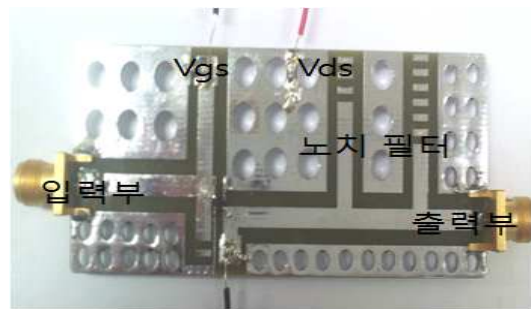


그림 9. 제작된 주파수 3체배기
Fig. 9. The fabricated frequency tripler.

이 때 기본파 성분의 크기는 -9dBm으로서 출력신호보다 30dBc 억압된 특성을 나타내고 있다.

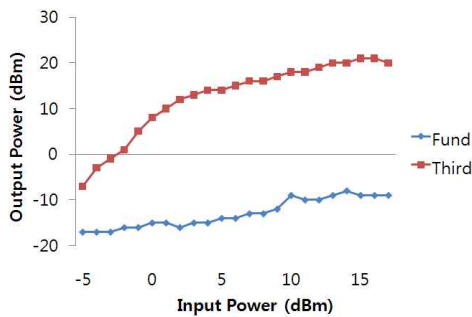


그림 10. 출력전력과 기본파 성분의 측정결과
 Fig. 10. Measured result of third harmonic and fundamental frequency.

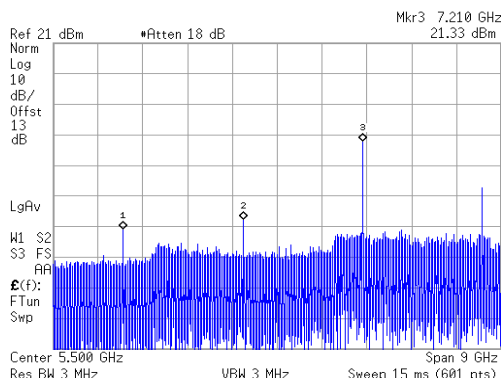


그림 11. 출력 스펙트럼 측정결과(15dBm 입력)
 Fig. 11. Output at 15dBm input power.

표 2. 설계된 주파수 3체배기의 측정결과
 Table 2. Measured results of the designed frequency tripler

항목	주파수 3 체배기
기본파 출력	-9 dBm
출력 전력	21 dBm
변환 이득	6 dB
하모닉 억압	30 dBc

V. 결 론

본 논문에서는 7 GHz대역에서 100 mW급으로 동작하는 주파수 3 체배기를 설계하였다. 회로는 2. GHz 입력신호에 대하여 주파수 3 체배 방식을 사용해 7 GHz 출력신호를 얻도록 로드풀 시뮬레이션을 이용하여 설계하였다.

7 GHz 주파수 체배기는 능동소자로 PHEMT 및 마이크로스트립 선로를 이용하여 제작하였으며, 출력 전력은 21 dBm으로 6 dB의 변환 이득을 가지며 최대 22%의 PAE 특성을 보이는 중전력 주파수 체배기로 고출력과 고이득의 특성을 갖는 것을 확인할 수 있었다.

다만 최대22%의 효율을 보여 좀 더 효율을 개선해야 하며, 또한 주파수 왜곡특성을 보상하기 위한 선형화 기법에 대한 추가적 연구가 필요할 것으로 보이며 또한 대전력 3체배기에 대한 추가적인 연구가 필요할 것으로 보인다.

참 고 문 헌

- [1] You Zheng and Carlos E. Saavedra, "A broadband CMOS frequency tripler using a third-harmonic enhanced technique," *IEEE Journal of Solid-State Circuits*, Vol. 42, No. 10, October 2007.
- [2] Stephen A. Mass, *Nonlinear Microwave and RF Circuits*, second edition, Artech House, 2003.
- [3] 정미경, 홍성용 "8GHz 대역 국방발전기용 주파수 3체배기 설계 및 제작," *한국전자과학회논문지 제13권 제4호*, 2002. 4, pp. 379 ~ 385.
- [4] Ali Boudiaf, Didier Bachelet, and Christian Rumelhard, "A high efficiency and low phase-noise 38GHz pHEMT MMIC tripler," *IEEE Microwave Theory Tech.* vol. 48, no.12, pp. 2546-2553, Dec. 2000.
- [5] 전중환, 강성민, 최재홍, 구경현 "PHEMT를 이용한 광대역 12 GHz 능동 주파수 체배기 설계," *한국전자과학회논문지 제15권 제6호*, 2004. 6, pp. 560 ~ 566.
- [6] 전현진, 구경현, "Load-pull 시뮬레이션을 이용한 주파수 체배기 특성 개선," *2008년도 한국 항행학회 학술발표회 논문초록집*, p. 219, 2008년 10월.
- [7] R. Mott, "High performance frequency doublers for the COMSTAR beacon," in *COMSTAR Technical Review*, 1977, vol.7.
- [8] J. H. Choi, S. M. Kang, and K. H. Koo, "Digital predistortion of frequency multiplier for dual band wireless LAN transmitter," *2005 IEEE MTT-S Int. Microwave Symp. Dig.*, 2005.

- [9] Steve C. Cripps, RF Power Amplifiers for Wireless Communications, Artch House.
- [10] M. Weiss, M. Crites, E. Bryerton and J. Whittaker, "Time-domain optical sampling of switched-mode amplifiers and multipliers," *IEEE Microwave Theory Tech.*, vol. 47, no.12, pp. 2599-2604, Dec. 1999.

노 희 정 (盧熙正)



2000년 2월 : 김포대학교 교수
 2009년 현재 : 인천대학교
 전자공학과 박사과정
 관심분야 : 마이크로파 회로 및
 모듈 설계, 주파수 체배기 설계

주 재 현 (朱哉炫)



2009년 2월 : 인천대학교 전자공
 학과 졸업예정 (공학사)
 관심분야 : 마이크로파 회로 및
 모듈 설계, 주파수 체배기 설계

구 경 헌 (具京憲)



1981년 : 서울대학교 전자공학과 (공학사)
 1991년 : 서울대학교 전자공학(공학박사)
 1999년~2000년 : UC San Diego 방문학자
 2003년 ~ 현재 : 한국항행학회 논문
 편집위원, 학술이사, 국제 이사, 부회장,
 차세대항행 통신연구회 위원장
 1987년 ~ 현재 : 인천대학교 전자공학과 교수
 관심분야 : 마이크로파 회로 설계, 무선통신시스템,
 차세대 항행시스템 등