

상변화 메모리 소자 동작 특성에 미치는 열처리 온도 효과

이승윤^{a*} · 박영삼^b

^a한밭대학교 신소재공학부, 대전 305-719

^b한국전자통신연구원(ETRI), 대전 305-350

(2010년 1월 29일 받음, 2010년 2월 10일 수정, 2010년 2월 11일 확정)

상변화 메모리 소자 제작 공정의 단위 스텝인 최종 열처리의 온도가 상변화 메모리 소자 특성에 미치는 영향을 고찰하였다. Ge₂Sb₂Te₅ (GST) 박막을 활성 물질로 하는 기공(pore) 구조의 단위 상변화 메모리 소자를 제작하고, 160°C에서 300°C까지의 온도 범위에서 최종 열처리를 실시하였다. 상변화 메모리 소자의 SET 저항에서 RESET 저항으로의 셀 저항 변화 양상은 최종 열처리 온도에 따라 큰 차이를 나타내었다. 정상적인 상변화 메모리 동작 특성을 얻을 수 있는 임계 열처리 온도가 존재하며, 열처리 온도가 그 온도에 비해 상대적으로 높거나 낮은 경우에는 소자가 오동작하거나 불안정하게 동작하는 것을 확인하였다. 이러한 열처리 온도의 효과는 열에너지에 따른 상부전극-GST 박막-발열층 다층 구조의 열적 안정성과 밀접한 관련이 있는 것으로 보인다.

주제어 : 칼코겐화물, 상변화 메모리, 열처리, 온도, 레이아웃

I. 서 론

상변화 메모리(phase-change memory)는 전류 또는 전압 펄스 입력에 따라 발생하는 줄(Joule) 열에 의하여 상변화 재료의 상이 결정과 비정질 간에 가역적으로 변이하는 성질을 이용하는 비휘발성 메모리이다. 우수한 스케일링(scaling) 특성 때문에 상변화 메모리는 자기 메모리 [1], 고체 전해질 메모리 [2] 등과 함께 장차 플로팅(floating) 게이트 기반의 비휘발성 메모리를 대체할 것으로 예상되는 후보 중의 하나이다. 상변화 메모리의 활성 물질(active element)에 해당되는 상변화 재료는 주기율표 상의 IVA족부터 VIA 족까지에 해당되는 원소들로 구성된다. S, Se, Te 등의 칼코젠(chalcogen) 원소를 포함하는 칼코겐화물(chalcogenide)이 대표적인 상변화 재료이며, 이러한 상변화 재료는 결정구조에 따라 비정질 또는 결정 상을 가진다. 각 상에 따라 광학적 반사도 및 전기 저항이 다르기 때문에 상변화 재료는 광학 저장 매체나 메모리의 구성 요소로 응용이 가능하다.

우수한 성능의 상변화 메모리 구현을 위해서는 다음과 같은 기술적인 접근이 필요하다. 첫째, 비정질 상을 얻는데 필요한 전류 펄스의 진폭을 작게 하여 상변화 메모리 소자의 소모 전력을 감소시켜야 한다. 이미 널리 사용되고 있는 플로팅

게이트 기반 메모리의 구동 전류와 비교할 때 상변화 메모리의 전류 펄스 진폭은 매우 크기 때문에 그 해결 방안으로 신규 재료를 도입하거나 소자 구조 및 구동 회로 설계를 최적화하는 방법 등이 고려되고 있다. 둘째, 결정 상을 얻는데 필요한 전류 펄스의 지속 시간을 줄여서 상변화 메모리 소자의 동작속도를 높여야 한다. 단, 지속 시간이 너무 단축되면 결정 상이 안정적으로 얻어지지 않으므로 결정화 유도 펄스를 정교하게 조절하는 작업이 병행되어야 한다. 셋째, 상변화 메모리 소자의 신뢰성(reliability)을 확보하여야 한다. 신뢰성이란 특정 조건에서 그 소자의 기능이 정상적으로 동작하는 능력을 의미하는데, 상변화 메모리에 있어서 소자 신뢰성은 소자 제작 공정과 밀접한 관련이 있다고 알려져 있다 [3].

이상에서와 같이 소모전력, 동작속도, 신뢰성을 포함하는 상변화 메모리 소자의 성능을 개선하기 위해서는 최우선적으로 소자 제작 공정을 최적화 하여야 한다. 적용되는 공정 기술에 따라 상변화 메모리 소자의 성능은 크게 좌우되는데, 이제까지 공정 변수에 따른 소자 특성의 변화에 관한 보고는 거의 이루어지지 않았다. 이에 본 연구에서는 단위 상변화 메모리 소자의 최종 열처리 온도가 소자 특성에 미치는 영향을 고찰하였다. Ge₂Sb₂Te₅ (GST) 칼코겐화물 합금을 상변화 메모리의 활성 물질로 하여 기공(pore) 구조의 단위 상변화 메모리 소자를

* [전자우편] sy_lee@hanbat.ac.kr

제작하고, 전류에 따른 저항 변화 특성을 측정하고 비교 분석함으로써 최종 열처리 온도의 효과를 조사하였다.

II. 실험방법

실리콘 웨이퍼 위에 650 nm 두께의 열산화막을 형성하였다. 산화막 위에 200 nm 두께의 TiW 박막과 50 nm 두께의 TiN 박막을 스퍼터링(sputtering)을 이용하여 증착하였다. 포토 리소그래피 공정 및 건식 식각을 이용하여 TiN 발열층과 TiW 하부전극을 형성하였다. PECVD (plasma enhanced chemical vapor deposition)를 이용하여 100 nm 두께의 SiO₂ 박막을 증착하고 포토 리소그래피 공정 및 건식 식각을 이용하여 SiO₂ 박막 내에 0.5×0.5 μm²의 단면적을 갖는 기공을 형성하였다. 300 nm 두께의 GST 박막 및 100nm 두께의 텅스텐 박막을 스퍼터링을 이용하여 증착하고 리프트오프(lift-off)를 이용하여 패터닝하였다. SiO₂ 박막을 증착하고 습식 식각을 이용하여 SiO₂ 박막 내에 비아 홀(via hole)을 형성하였다. 스퍼터링과 리프트오프를 이용하여 텅스텐 상부전극을 형성한 후 N₂ 분위기의 RTA (rapid thermal annealing) 장치에서 10분 동안 160~300°C의 온도 범위에서 최종 열처리를 실시하여 Fig. 1의 기공 구조를 갖는 단위 상변화 메모리 소자를 완성하였다.

제작된 소자의 특성을 평가하기 위하여 전압 펄스를 인가하였을 때 소자를 통해 흐르는 전류와 전압 펄스 인가 후의 소자 저항 값을 측정하였다. 전압 펄스는 HP8110A 펄스 제너레이터를 이용하여 인가하였고, 소자를 통해 흐르는 전류는 Tektronics TCP312 전류 프로브(probe)와 LeCroy 7100 디지털 오실로스코프를 사용하여 직접 측정하였다. 전류 값을 부하 저항에서의 전압강하로부터 환산하지 않고 전류 프

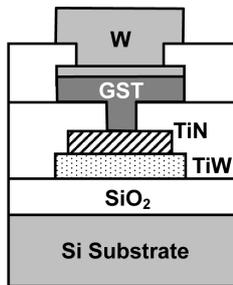


Figure 1. Cross-sectional view of a fabricated PCM device.

로브를 이용하여 직접 측정하는 것은 중요한 의미를 갖는데, 왜냐하면 전류 계산 시 기생 성분에서의 전압강하 항이 포함되어 발생할 수 있는 오류를 차단하는 것이 가능해지기 때문이다. 상변화 메모리 소자의 저항 값은 0.5V의 측정전압에서 HP4145B 반도체 파라미터 분석기를 사용하여 측정하였다.

III. 결과 및 고찰

최종 열처리 온도가 소자 특성에 미치는 효과를 명확히 밝히기 위하여 Fig. 2와 같이 두 종류의 소자 레이아웃(layout)을 사용하였다. 소자 1은 소자 2에 비해 GST 박막 및 하부전극의 면적이 훨씬 크고 서로 겹치는 영역 또한 넓은 구조이다. GST 박막의 면적은 소자 1의 경우 230×230 μm², 소자 2의 경우 15×15 μm²였다. 이러한 두 종류의 상변화 메모리 소자에 대하여 지속 시간은 200 ns로 고정되고 진폭은 서로 다른 다수의 전압 펄스를 인가한 후 발생하는 상변화 거동을 관찰하였다. Fig. 3은 레이아웃이 다른 두 종류의 소자를 260°C에서 열처리 한 후 얻은 저항 변화 대 프로그래밍 전류 그래프이다. 프로그래밍 전류는 인가되는 전압 펄스에 비례하는 값으로서, 앞에서 언급하였듯이 특정 전압 펄스를 인가하였을 때 소자를 통해서 흐르는 전류를 전류 프로브를 이용하여 직접 측정한 값이다. 소자 레이아웃과 상관없이 프로그래밍 전류가 낮을 때에는 낮은 저항 값이 유지되다가 특정 전류 값에서 저항이 크게 증가하는 현상이 관찰되었다. 이것은 높은 프로그래밍 전류 인가 시 GST를 용해시키기에 충분한 줄 열이 발생하여 GST의 상이 낮은 저항의 결정 상에서 높은 저항의 비정질 상으

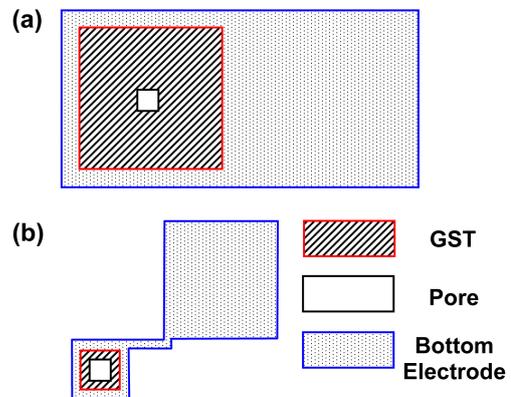


Figure 2. Layouts of two kinds of PCM device. (a) Device 1 and (b) Device 2.

로 변화하여 나타난 현상이다. 소자 1에 비해서 소자 2의 경우에 낮은 프로그래밍 전류에서 저항 값이 증가하였다. Fig. 2에서 볼 수 있듯이 소자 1은 GST 박막 및 하부전극이 겹치는 면적이 상대적으로 크다. GST 박막 및 하부전극이 겹치는 부분은 GST 박막-SiO₂ 박막-TiW 하부전극 구조로 이루어진 기생 커패시터(parasitic capacitor)가 되므로 전압 펄스 인가 시 GST 박막에 전달되는 에너지의 일부를 소모하여 GST 박막의 내부 온도가 효과적으로 상승하는 것을 방해하게 된다. 따라서 소자 1에 비해서 소자 2의 경우 상대적으로 낮은 프로그래밍 전류에서 상변화가 이루어지는 것으로 판단된다. 한편, 열처리 온도가 200°C인 경우에는 소자 1과 소자 2 사이에서의 상변화 거동 차이가 상대적으로 적었다(Fig. 4). 이에 더하여 열처리 온도가 260°C인

경우와 비교할 때 저항 값이 높은 RESET 상태로 상변화 하는데 필요한 프로그래밍 전류가 큰 폭으로 증가하였다. 이러한 결과는 200°C의 열처리 온도가 상변화를 유발하는데 있어서 불충분한 온도란 사실을 의미한다. 200°C의 열처리 온도로는 효과적인 줄 발열이 이루어지지 못하기 때문에 소자 레이아웃에 따른 기생 커패시터의 효과가 두드러지게 나타나지 않는 것이다.

Fig. 5는 열처리 온도가 160°C부터 300°C까지 변화하였을 때의 소자 2의 상변화 거동을 나타낸 그래프이다. 열처리 온도가 증가함에 따라 상변화를 유발하는데 필요한 프로그래밍 전류가 증가하다가 감소하는 경향이 관찰되었다. 열처리 온도 160°C에서는 프로그래밍 전류 증가에 따라 셀 저항이 일정하게 증가하지 않고 불안정하게 오르내리는 현상이 발생하였다. 이것은 비정질의 GST가 결정 GST로 상변화 하는 온도가 160°C 근방인 것과 밀접한 관련이 있다. GST는 160°C 근방에서 비정질에서 비평형 면심입방 결정으로 상변화 하고 300°C 근방에서 조밀육방으로 그 결정구조가 바뀌는 것으로 알려져 있다 [4]. 본 연구에서 사용한 GST 박막은 Fig. 6에서 볼 수 있듯이 161°C에서 비정질에서 결정으로 상변화 하였다. 따라서 160°C에서 열처리한 소자에서는 GST의 결정화가 충분히 진행되지 않았기 때문에 인가된 전류에 의해 결정의 일부는 비정질로, 비정질의 일부는 결정으로 상변화 하는 것이 혼재되어 셀 저항이 불안정하게 오르내리게 되는 것으로 판단된다. 200°C에서 열처리한 소자의 SET 저항은 160°C에서 열처리한 소자의

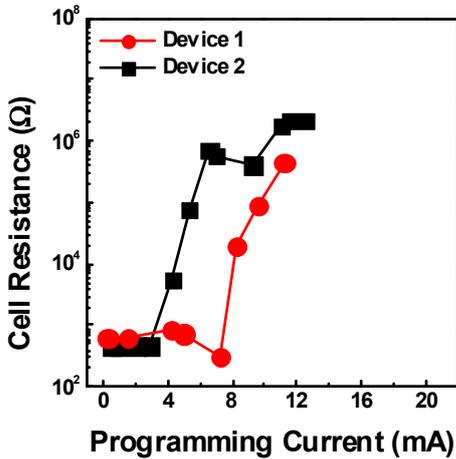


Figure 3. Cell resistance vs programming current for PCM devices annealed at 260°C.

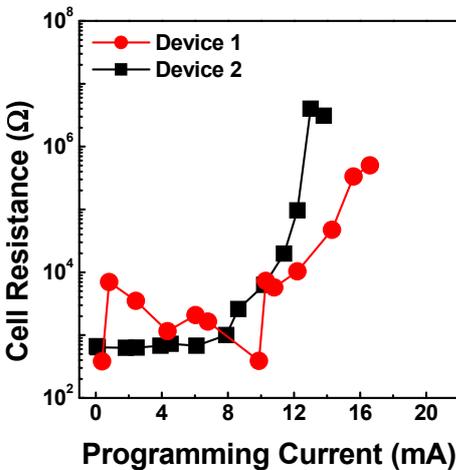


Figure 4. Cell resistance vs programming current for PCM devices annealed at 200°C.

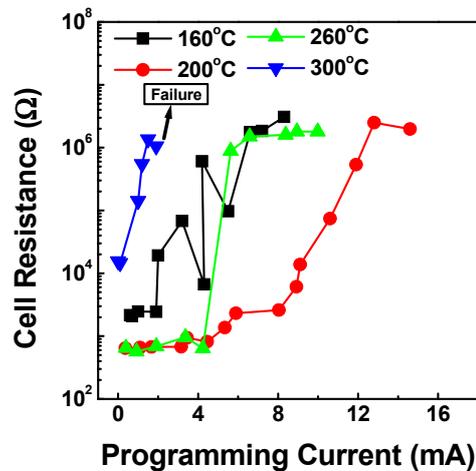


Figure 5. Comparison of cell resistance changes of PCM devices annealed at various temperature (Device 2).

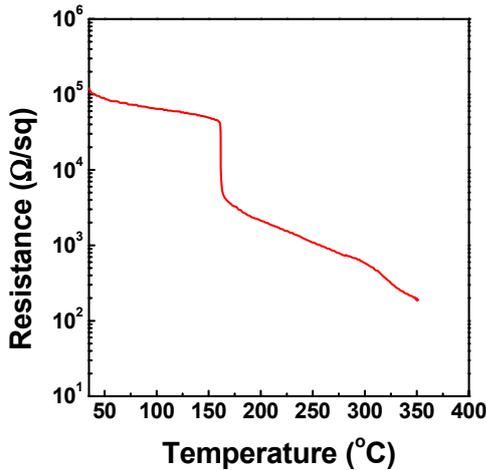


Figure 6. Sheet resistance change of a GST film as a function of temperature.

SET 저항에 비해서 훨씬 작은 값을 나타내었기 때문에 200°C의 열처리 온도는 GST의 결정화에 충분한 온도임을 알 수 있다. 한편, 200°C의 열처리 온도는 260°C의 열처리 온도에 비해 상변화에 필요한 프로그래밍 전류를 낮추는데에는 효과적이지 못하였는데 이것은 200°C의 열처리 온도가 GST와 TiN 발열층과의 접합(junction) 형성에 필요한 열 에너지를 제공하는데 충분하지 못한 온도였기 때문으로 추측된다. 일반적으로 상변화 메모리에서는 상변화층 자체의 줄 발열로는 상변화 재료의 온도를 녹는점 이상으로 올리기 어려운 경우가 많기 때문에 상변화 재료와 접촉하는 발열층을 별도로 삽입한다 [5]. 효과적인 전하의 이동 및 줄 발열을 위해서는 열처리를 통해 상변화 재료와 발열층의 접합을 형성하여야 한다. 200°C의 열처리 온도는 접합 형성에 불충분한 온도로 추측되며, 이에 따라 더 많은 프로그래밍 전류가 인가되어야 비로소 상변화 재료의 내부 온도가 상이 변화하는 온도에 도달하게 되는 것으로 보인다. 상변화 재료와 전극 사이의 계면이 불안정할 경우 반복 동작 시 계속해서 프로그래밍 전류 값이 바뀌는 RESET migration 현상이 발생한다고 알려져 있는데 [3] 200°C에서 열처리한 소자에서도 동일한 현상이 관찰되었다. 이상의 결과를 종합하면, 200°C의 열처리 온도에서는 정상 동작하는 상변화 메모리 소자의 구성에 필수적인 상변화 재료-발열층 접합이 제대로 형성되지 않는다고 판단된다. 열처리 온도가 300°C로 증가하면 정상적인 상변화 거동에서 벗어나는 셀 저항-프로그래밍 전류 곡선을 얻을 수 있었다. 작은 프로그래밍 전류로도 1Mohm에 이르는 RESET

저항이 얻어졌지만, 셀 저항을 RESET 저항에 도달하게 하는 프로그래밍 전류의 마진이 매우 작은 현상이 관찰되었다. 즉, 프로그래밍 전류 값이 임계치에서 조금만 증가하더라도 소자 저항이 급격하게 증가한 후 비정상 상태에서 결정상으로 상변화가 이루어지지 않는 고장(failure)이 발생하였다. Fig. 6의 결과에 의하면 300°C에서는 GST의 전기 저항 값이 특이하게 변하지 않으므로 위에서 언급한 비정상적인 상변화 거동은 GST 물질 자체의 안정성 문제에 의한 것은 아니다. 한편, 상변화 메모리 소자를 구성하는 상부전극-GST 박막-발열층의 다층 구조를 높은 온도에서 열처리하거나 전기 펄스를 반복적으로 입력하면 상부 전극과 GST 사이에서 Ge 분리(segregation)가 발생하게 된다 [6-7]. 즉, 열에너지가 인가되면 GST의 구성 물질 중에서 Ge이 확산하게 되는 것이다. 분리된 Ge이 정확히 어떤 메커니즘에 의해 비정상적인 상변화 거동을 유발하는지는 불분명하지만, 열에너지가 가해질수록 GST 내의 Ge이 확산되어 상변화 메모리 소자가 열화되기 때문에 결국 열처리 온도가 300°C인 경우에도 이러한 Ge 원소의 확산이 상변화 거동에 영향을 주었을 것이라고 추론할 수 있다.

IV. 결 론

상변화 메모리 소자 내에서의 상변화 거동은 160~300°C의 온도 범위에서 최종 열처리 온도 변화에 따라 큰 차이를 나타내었다. 제작된 소자는 260°C의 온도에서 최적의 동작 특성을 나타내었고, 열처리 온도가 이 온도에서 크게 벗어나는 경우 정상적인 상변화 메모리 동작 특성이 얻어지지 않았다. 한편, 열처리 온도의 효과는 소자 레이아웃의 영향을 받는 결과를 나타내었다. 상대적으로 큰 기생 정전용량을 포함하는 레이아웃의 소자는 그렇지 않는 소자에 비해 상변화를 위해 더 높은 프로그래밍 전류를 필요로 하였으며, 레이아웃에 따른 상변화 거동의 차이는 열처리 온도가 낮을 때에는 상대적으로 미미하였다. 본 연구를 통해 열에너지를 공급하는 열처리 공정은 소자 내의 상부전극-GST 박막-발열층 다층 구조의 열적 안정성에 직접적인 영향을 미치기 때문에 우수한 성능의 상변화 메모리를 구현하기 위해서는 최종 열처리 공정의 최적화가 반드시 필요하다

참고문헌

- [1] 정성웅, 김현정, 정수옥, 전자공학회지 **34**, 817 (2007).
- [2] 박영삼, 이승윤, 윤성민, 정순원, 유병곤, 한국진공학회지 **17**, 253 (2008).
- [3] A. Pirovano, A. Redaelli, F. Pellizzer, F. Ottogalli, M. Tosi, D. Ielmini, A. L. Lacaita, and R. Bez, IEEE Trans. Device Mater. Reliab. **4**, 422 (2004).
- [4] N. Yamada, K. Nishiuchi, S. Sanai, K. Nagata, M. Takao, and N. Akahira, National Technical Report, Matsushita Electric Industry Co. **35**, 110 (1989).
- [5] S.-Y. Lee, S.-M. Yoon, Y.-S. Park, B.-G. Yu, S.-H. Kim, and S.-H. Lee, J. Vac. Sci. Technol. B, **25**, 1244 (2007).
- [6] S.-M. Yoon, K.-J. Choi, N.-Y. Lee, S.-Y. Lee, Y.-S. Park, and B.-G. Yu, Appl. Surf. Sci. **254**, 316 (2007).
- [7] S.-Y. Lee, Y. S. Park, S.-M. Yoon, S.-W. Jung, and B.-G. Yu, J. Electrochem. Soc. **155**, H314 (2004).

Effect of Annealing Temperature on the Operation of Phase-Change Memory

Seung-Yun Lee^{a*} and Young Sam Park^b

^a*Division of Advanced Materials Engineering, Hanbat National University, Daejeon 305-719*

^b*ETRI, Daejeon 305-350*

(Received January 29, 2010, Revised February 10, 2010, Accepted February 11, 2010)

The effect of process temperature of a final annealing step in the fabrication of phase change memory (PCM) devices was investigated. Discrete PCM devices employing Ge₂Sb₂Te₅ (GST) films as an active element were made in a pore-style configuration, and they were annealed at various temperatures ranging from 160 to 300°C. The behaviors of cell resistance change from SET resistance to RESET resistance were totally different according to the annealing temperatures. There was a critical annealing temperature for the fabrication of normal PCM devices and abnormal operations were observed in some devices annealed at temperatures lower or higher than the critical temperature. Those influences of annealing temperature seem closely related to the thermal stability of a top electrode/GST/heating layer multilayer structure in the PCM devices.

Keywords : Chalcogenide, Phase-change memory, Annealing, Temperature, Layout

* [E-mail] sy_lee@hanbat.ac.kr