

광통신용 10Gbps CMOS 수신기 회로 설계

Design of 10Gbps CMOS Receiver Circuits for Fiber-Optic Communication

박성경^{1*}, 이영재², 변상진³
 Sungkyung Park^{*}, Young Jae Lee, Sangjin Byun

Abstract

This study is on the design of 10Gbps CMOS receiver circuits for fiber-optic communication. The receiver is made up of a photodiode, a transimpedance amplifier, a limiting amplifier, an equalizer, a clock and data recovery loop circuit, and a demultiplexer or demux with some auxiliary circuits including I/O circuits. Various wideband or high-speed circuit techniques are harnessed to realize a feasible, effective, and reliable receiver for a SONET fiber-optic standard, OC-192.

요약

본 연구는 광통신을 위한 10Gbps CMOS 수신기 회로 설계에 관한 것이다. 수신기는 포토다이오드, 트랜스임피던스 증폭기, 리미팅 증폭기, 등화기, 클락 및 데이터 복원 회로, 디멀티플렉서, 기타 입출력 회로 등으로 구성되어 있다. 여러 광대역 혹은 고속 회로 기법을 써서 SONET OC-192 표준용 광통신에 적합한, 효과적이고 신뢰성 있는 수신기를 구현하고자 하였다.

Key words : transimpedance amplifier, limiting amplifier, equalizer, clock and data recovery, fiber-optic

1. 서론

광케이블은 케이블 무게와 규모, 전자기적간섭 (electromagnetic interference or EMI)과 누화 (crosstalk) 및 감쇄(attenuation)의 측면에서 구리 도

선에 비해 우월하다. 최근에는 신호 전송 속도를 수십 Gbps 이상으로 높이면서 고성능, 고집적도 및 저비용의 광통신용 수신기를 구현하고자 하는 노력이 활발히 진행되고 있다. 본 연구에서 목표로 하는 광통신용 CMOS 수신기 표준은 SONET OC-192로서 입력 데이터의 속도는 9.95328Gb/s이다. 목표로 하는 민감도(sensitivity) 수준은 10^{-12} 목표 BER에서 포토다이오드(photo diode or PD) 입력의 광전력을 기준으로 -19dBm 이다. 수신기는 포토다이오드(photodiode or PD), 트랜스임피던스증폭기(transimpedance amplifier or TIA), 리미팅증폭기(limiting amplifier or LIA), 등화기(equalizer), 클락및데이터복원(clock and data recovery or CDR) 회로, 디멀티플렉서(demultiplexer or demux) 등으로 구성돼 있다.

PD는 광케이블을 거쳐서 들어온 송신 광신호를 전류 신호로 바꿔주는 역할을 한다. TIA는 $10\mu\text{A}_{pp}$ 에서 1mA_{pp} 수준의 작은 PD 출력 전류 신호를 전압 신호로 바꿔주는 역할을 하는 저잡음 증폭기이다. LIA는 가변적인 TIA 출력 전압 신호를 일정 크기의 진폭을

¹ 釜山大學校 電子電氣工學部

(School of Electrical Engineering, Pusan National University)

² 韓國電子通信研究院 시스템半導體 硏究部

(System-on-Chip Research Department, Electronics and Telecommunications Research Institute)

³ 東國大學校 電子電氣工學部

(Division of Electronics and Electrical Engineering, Dongguk University)

★ 교신저자 (Corresponding author)

※ (Acknowledgment) 이 논문은 부산대학교 자유과제 학술연구비(2년)에 의하여 연구되었음.

接受日:2010年 12月 3日, 修正完了日: 2010年 12月 28日

갖는 전압 신호로 바뀌주는 증폭기로서 큰 이득대역곱(gain bandwidth product)을 가져야 한다. 등화기는 광케이블에서 생기는 분산(dispersion)에 의한 심볼간 간섭(intersymbol interference or ISI)과 결정론적(deterministic) 지터(jitter)를 보상해주는 블록이다. CDR 집적회로는 클락과 수신 데이터를 복원해주는 회로로서 본 논문에서는 이중루프에 기반을 두고 다상 LC 전압조절발진기(voltage-controlled oscillator or VCO)를 이용하여 설계했다. Demux는 저전압차동 신호전송(low-voltage differential signaling or LVDS)에 기반을 두고 설계되었고 1:16 병렬화에 의해 622.08Mbps 보드율(baud rate) 혹은 전송률을 출력에서 얻을 수 있다.

II. 본론

수신기 전체 구조를 직렬 연결 풀의 체인(chain)으로 표현하면 그림 1과 같다. PD에서는 광신호가 전류 신호로 바뀌고, TIA에서는 전류 신호가 전압 신호로 바뀐다. 그림 1에서는 등화기(equalizer) 앞에 LIA가 있으나 실제로는 자동 이득 및 오프셋(offset) 조절을 이용한 가변이득증폭기(variable-gain amplifier)를 쓸 수도 있다. 등화기에 의해 분산이 보상된 데이터 신호가 CDR 회로로 들어가고, 이 CDR 회로에서 복원된 클락이 demux의 준거 신호로 쓰인다. 이상의 각 고속 블록의 CMOS 집적회로 설계에 대해서는 다음의 1절부터 4절에 걸쳐 좀 더 구체적으로 설명하고자 한다.

1. 트랜스임피던스 증폭기 (TIA)

기존의 CMOS TIA는 속도와 기생 성분 측면에서 기존의 화합물 반도체나 SiGe HBT를 이용한 TIA에 비해 약점을 가지고 있었다[1]. 그러나 CMOS 기술이 비약적으로 발전하면서 타 소자 기술과의 갭(gap)이 줄어들어, 10Gbps 또는 40Gbps에서 동작하는 CMOS TIA의 상용화가 가능해졌다. 그림 2(a)에 나타나 있듯이 TIA는 PD와 함께 모듈로서 제작되어 성능 평가를 하기 때문에 PD와 TIA의 연결되는 부분의 기생 커패시턴스를 최대한 줄이기 위한 설계가 이루어져야 한다. 제작된 모듈의 PD 부분으로 입력된 광신호는 작은 전기적 전류 신호로 변환되고, 이어서 TIA에 의해 전류 신호가 전압 신호로 변환되어 차동 형태로 출력된다.

TIA의 설계에서 중요한 점은 입력단에서 PD와 연결 시 기생 커패시턴스가 최소가 되도록 해야 하고, 트랜스임피던스 이득을 선형성을 고려해 결정해야 하며, common-mode 잡음을 줄이기 위해 차동 출력을

얻기 위한 구조가 제안되어야 한다는 것이다. 그림 2(b)에 TIA의 블록도가 그려져 있다. TIA는 입력단, 싱글 입력을 차동 입력으로 변환시켜주는 광대역 능동(active) 밸런(balun), 그리고 차단 주파수 f_T 를 두 배로 만들어주는 출력 버퍼로 구성돼 있다. 본 설계에서는 상기의 유의사항을 고려하여 그림 2(c)의 입력단은 regulated cascode MOS 구조에 기반을 두었고, 이 구조의 이득향상(gain boosting) 기법을 통해 입력 임피던스를 줄였다. 차동 출력을 위해서 그림 2(d)와 같이 광대역 특성을 갖는 Cherry-Hooper 구조의 능동 밸런을 이용하였다. 이 구조는 shunt-shunt 피드백이 입출구 임피던스를 줄여주어 광대역을 달성한다는 원리에 입각한 것이다. 트랜스 임피던스 이득은 피드백 저항 R_F 를 이용하여 결정한다. 그림 2(e), (f), (g)는 각각 입구 전류가 10 μ A, 100 μ A, 1mA일 때의 입출력 파형, 그리고 PRBS(pseudo-random bit sequence) 데이터에 대한 아이다이아그램(eye diagram)을 보여주고 있다. s 변수 중 s_{22} 는 -10dB, 대역폭(bandwidth or BW)은 8.5GHz, 이득은 800 Ω 이었다.

2. 리미팅 증폭기 (LIA)

LIA는 TIA에서 출력되는 작은 전압 신호를 갖고, 뒷단에서 신호처리를 할 수 있을 정도로 충분히 큰 신호로 증폭하는 역할을 한다. 따라서 LIA에 입력되는 가변 신호 레벨에 대해 LIA의 출력은 항상 일정한 크기의 신호를 내도록 설계되어야 한다[2]. LIA가 10Gbps의 신호를 처리하기 위해서는 당연히 신호 대역폭이 커야 하고, 따라서 광대역 특성을 얻을 수 있는 부궤환(negative feedback)과 커패시터궤환(capacitive feedback) 등을 이용하여 10GHz 이상의 대역폭을 갖도록 설계하였다. 입력단과 출력단은 각각 50 Ω 저항으로 매칭(matching)이 되어야 하기 때문에 저항을 이용하여 광대역 매칭이 되도록 설계하였고, common-mode 잡음을 줄이기 위한 차동 구조에 인덕터를 이용한 피킹(inductive peaking) 기술을 써서 이득에서 조금 손해를 보더라도 대역폭을 키웠다.

LIA는 그림 3(a)에 도시된 것처럼 입력단, 다단의 이득 코어, 출력 버퍼단으로 구성되어 있으며, 코어 각 단마다 약 10dB의 이득을 갖도록 설계했기 때문에 대략 총 60dB의 이득을 갖게 된다. 입력 민감도를 4mV_{pp}로 키우다 보니 단의 개수가 증가하게 되었다. DC 오프셋(offset) 제거를 위한 RC 궤환 혹은 피드백 부분의 차단 주파수는 수십 kHz 정도로 설계되었다. 그림 3(b)와 (c)에 입력단 회로와 이득단 코어 회로가 도시돼 있다. 능동 부궤환, 인덕터 피킹, 광대역 구조 등을 차용하여 대역을 확장시켰다. 그림 3(d)는 LIA

의 AC 응답을 나타내고 있고, 차단 주파수 혹은 BW 가 11.4GHz임을 보여준다. 그림 3(e)는 50mV_{pp} 입력에 대한 출력 파형 및 아이 다이어그램을 보여주고 있다. s 변수 중 s11은 -12dB였다.

3. 등화기 (equalizer)

수 Gbps 이상에서 기존의 저가 광케이블을 쓰게 되면 전송된 광신호는 분산(dispersion)을 겪게 된다. 광학에서의 분산은 크게 편광모드분산(polarization-mode dispersion or PMD)과 색분산(chromatic dispersion or CD)으로 나뉜다. 여기서 색분산은 빛의 파장에 따라 전파 속도가 다르기 때문에 생긴다. 이러한 분산과 수신기의 제한된 대역폭 및 비선형성으로 인해 전송 신호에 심볼간간섭(intersymbol interference or ISI)이 나타난다. 전송 비트열이 더 고속이 될수록 신호의 왜곡 및 ISI 정도는 더 커지게 된다. 등화기(equalizer)는 ISI를 완화 및 제거하기 위해 필요하며, 광통신에서의 등화는 광분산인 PMD나 CD를 보상하는 의미로 쓰인다. 10Gbps에서 PMD 혹은 차동군지연(differential group delay or DGD)이 100ps 정도 되면 아이(eye)가 거의 닫히게 되므로 낮은 비트오류율(BER)의 신뢰성 있는 데이터 복구가 불가능해진다. 여기서 DGD는 두 개의 서로 직교하는 빛의 상태 간의 지연차를 의미한다. 그림 4(a)에는 80% 정도의 높은 ISI를 갖는 전기적 비트 수열(stream)(위쪽)과 이에 대응하는 광 비트 수열(아래쪽)이 나타나 있다. 아이(eye)가 많이 닫혀 있음을 알 수 있다. 한편, PMD는 시간에 따라 천천히 변화하므로 이를 추적하여 계속적으로 ISI를 제거해주는 적응적인 등화기가 필요하다.

ISI를 완화하거나 제거하여 광 분산을 보상하고, 데이터의 아이(eye)를 열어주면, BER 성능이 향상된 수신기를 얻을 수 있다. 그래서 증폭기와 클락 및 데이터 복원 회로 사이에 고속 동작이 가능한 적응적 등화기를 추가하였다. 등화기는 크게 피드포워드등화기(feedforward equalizer or FFE)와 피드백등화기(feedback equalizer)로 나뉘는데, 고속 동작과 안정성(stability)을 위하여 본 연구에서는 FFE를 채택하였다. ISI 완화의 효율성을 높이기 위해 복수 개의 탭(tap)을 두었고, 잡음 면역성(immunity)을 높이기 위해 회로는 차동 구조를 갖도록 설계하였다. 각 탭은 잡음 증폭을 방지하기 위해 한 비트폭(bit duration)(여기서는 100ps) 미만의 간격을 갖도록 하였다[3]. 그림 4(b)에 등화기 블록도가 간략히 나타나 있다. LIA나 가변이득증폭기로부터 들어온 신호는 지연 소자 및 탭 코어 회로를 거치면서 ISI가 보상된다. 탭 계수 C0, C1, C2의 크기를 적절히 선택하면 ISI가 효

과적으로 제거 될 수 있다. 그림 4(c)는 탭이 두 개라고 가정할 경우의 FFE 회로를 보여준다. (탭 적용 회로는 제외함.) 입력이 AC coupling 된 차동 증폭기 구조이고, tail 전류원 크기가 탭 계수의 크기에 대응된다. 고속 동작을 위해 전류모드회로(current-mode logic or CML)에 기반을 두고 있다.

등화기의 적응기능(adaptation)을 담당하는 회로부는 주 FFE 부분의 탭 계수들을 시간 영역에서 적응적으로 조절해준다. 적응 기능은 이론상 최적의 효과를 보이는 최소평균자승(least mean square or LMS) 알고리즘에 기반을 뒀 이루어지는데, 여기서는 고속 회로 구현을 용이하게 하기 위해 수정된(modified) LMS 알고리즘을 적용하였다. 즉, 비트 신호의 반전이 일어날 정도로 ISI가 매우 크지는 않다는 전제 하에 다음의 수식 (1)을 그대로 회로적으로 구현하여 탭 계수를 주기적으로 업데이트(update)한다.

$$c(n+1)=c(n)+\mu*e(n)*(\text{등화된 비트 신호의 부호}) \quad (1)$$

수식 (1)에서 c(n+1)은 시간 n+1에서의 탭 계수 혹은 가중치(weight), c(n)은 시간 n에서의 탭 가중치, μ 는 매번 업데이트되는 탭 가중치의 스텝(step) 크기를 나타내는 상수, e(n)은 시간 n에서 판별기(decision circuit or slicer) 입력력 간의 차이를 나타내는 오차 신호이다.

그림 4(d)와 (e)에 등화기 입력과 출력이 도시돼 있다. DGD 혹은 ISI가 70%로서 높은 값을 갖고 있을 때의 PRBS 입력이 그림 4(d)에 나타나 있고, 분산이 보상된 후의 등화기 버퍼 출력이 그림 4(e)에 나타나 있다. 아이(eye)가 크게 확장된 비트열이 수신됨을 확인할 수 있다. 출력 진폭은 약 300mV_{pp}였고, 전력 소모는 25mW 정도였는데, 대부분의 전류가 출력 버퍼에서 소모됐다. 등화기 회로는 다른 모든 회로와 마찬가지로 0.13 μ m CMOS 공정을 써서 설계되었다. 등화기도 TIA, LIA와 마찬가지로 low-pin-count 고속 동작에 적합한 MLF 패키징을 하였다.

4. 클락 및 데이터 복원 (CDR) 회로

CDR 회로는 전압조절발진기(VCO)에서 복원된 클락의 지터(jitter)가 1ps_{rms} 이하라는 목표치 하에서 설계되었다. 그림 5(a)에 CDR의 블록도가 있다. CDR 회로는 초기 주파수 획득 루프와 클락복원(clock recovery or CR) 루프의 이중루프(dual loop)로 구성된다[4]. 초기 주파수 획득 루프는 위상및주파수검출기(PFD), 전하펌프(charge pump), 루프 필터, 4상(4 phase) LC VCO, 락검출기(lock detector) 및 락제어기(lock controller) 등으로 구성된다. 초기 주파수 획득 루프가 동작하여 lock detector가 400ppm 이내의

락(lock)을 선언하면 lock controller는 믹스(mux)에 신호를 인가하여 CR 루프의 동작을 개시하게 한다. CR 루프는 1/4 rate 선형 위상검출기(PD), 고속 Gm (or transconductance) 회로, 루프 필터, LC VCO 등으로 이루어진다[5]. PD는 데이터복원(data recovery or DR) 기능도 수행하는데, 복원된 데이터는 1:16 디믹스(demux)를 통해 622.08Mbps의 16 bit 신호로 병렬화 된다. 복원된 16 bit 병렬 데이터와 두 개의 복원된 622.08MHz의 클락들은 18개의 전치증폭기(preamplifier)와 18개의 LVDS 버퍼 쌍을 통해 출력된다. 각 블록들은 잡음에 둔감하게 하기 위해 가능한 한 차동 회로로 설계하였고, 고속 동작을 위해 역시 CML을 채용하였다.

그림 5(b)에 lock detector의 블록도를 도시하였다 [5]. 400ppm과 600ppm 주파수 허용오차(tolerance) 간 선택이 가능하다. 이 회로를 이용하여 초기 주파수 획득 루프를 동작시킨 결과, VCO 제어 전압의 settling behavior가 그림 5(c)와 같았다. 초기 주파수 획득 루프의 모의실험 시간을 줄이기 위하여 실제 루프 필터의 제로(zero)의 위치를 루프 안정성을 보장하는 범위 내에서 10배 크게 하였다. 초기 주파수 획득 루프가 동작한 후에, 확대그림(enlarged figure)에서 알 수 있듯이 정상적으로 CR 루프로 천이(transition)하였다. 이 천이 과정에서 VCO 제어 전압에 피킹 현상이 일어나는 이유는 다음과 같다. 초기 주파수 획득 루프는 입력 준거(ref.) 주파수에 LC VCO의 주파수를 동기화시킨다. Lock detector가 주파수 동기를 선언하더라도, LC VCO에서 생성된 클락 신호는 입력 데이터와 주파수 동기는 이루었지만 위상 차이는 존재하게 된다. 이러한 위상 차이가 VCO 조정 전압에 피킹 현상으로 나타나는 것이다. CR 루프에서는 PD를 이용하여 이 위상차를 줄이는 기능을 한다. 성공적으로 위상차가 줄어들었을 경우, 복원된 클락은 입력 데이터의 정중앙을 샘플링하게 된다.

그림 5(d)는 CR 루프가 정상 동작하고 있고 10Gbps 입력 데이터를 인가한 경우에, demux 출력에서 복원된 622.08Mbps의 16 bit 병렬 데이터 파형을 보여준다. 이 파형은 설계된 CDR 회로가 입력 데이터를 올바르게 복원하고 있음을 보여준다. CDR 회로는 9.4Gbps에서 11.3Gbps의 데이터를 복원할 수 있도록 설계되었다. LC VCO는 작은 VCO 이득과 넓은 주파수 동작 영역을 위하여 2 bit 디지털 튜닝(coarse tuning) 기능을 갖추고 있다. 전류 소모는 1.2V 공급 전압 하에서 LC VCO가 10mA이고, CDR 전체적으로는 100mA를 소모한다. 18개의 전치증폭기-LVDS 버퍼쌍은 2.5V 전원 전압에서 200mA를 소모한다. CDR-demux 다이(die) 칩 면적은 3.0*3.4mm²이

고, 8*8mm² body size와 0.5mm ball pitch를 갖는 128-ball CABGA로 패키징 하였다.

전체 수신기 모듈의 테스트 시나리오는 그림 6(a)와 같다. LD는 송신기용 레이저 다이오드를 의미한다. 그림 6(b)는 등화기의 PMD 보상 성능을 측정하기 위한 테스트 셋업(setup)이다. PMD emulator가 가변적인 PMD를 생성시켜 준다.

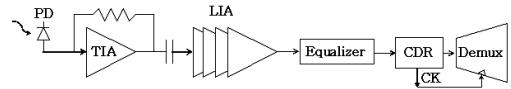


Fig. 1. Overall receiver architecture in a chain
그림 1. 체인 형태의 수신기 전체 구조

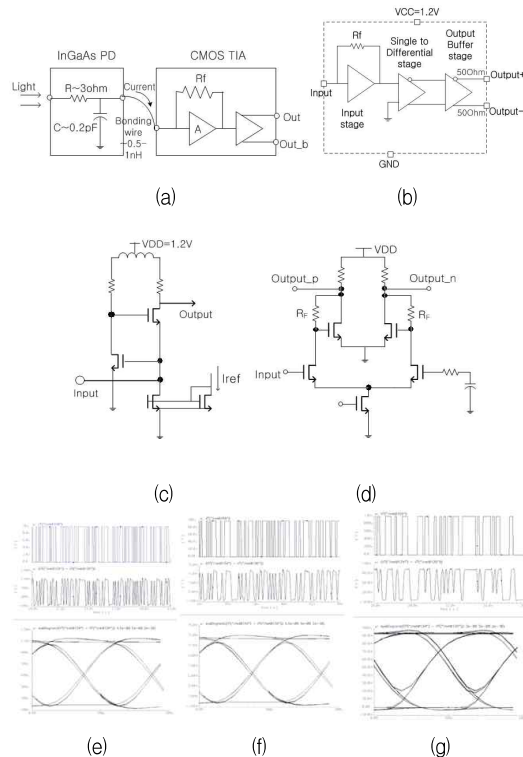


Fig. 2. (a) PD-TIA module, (b) TIA block diagram, (c) TIA input stage circuit, and (d) TIA single to differential stage circuit or wideband active balun circuit, followed by TIA transient input, output waveforms and eye diagrams when (e) $I_{in}=10\mu A$, (f) $I_{in}=100\mu A$, and (g) $I_{in}=1mA$

그림 2. (a) PD-TIA 모듈, (b) TIA 블록도, (c) TIA 입력단 회로, (d) TIA 광대역 밸런, 그리고 (e) $I_{in}=10\mu A$, (f) $I_{in}=100\mu A$, (g) $I_{in}=1mA$ 일 때의 TIA의 과도 입출력 파형과 아이 다이어그램

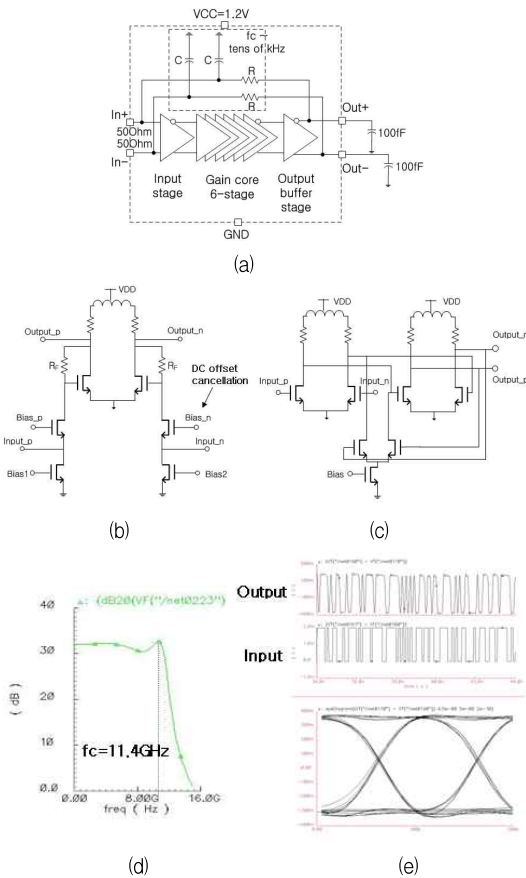
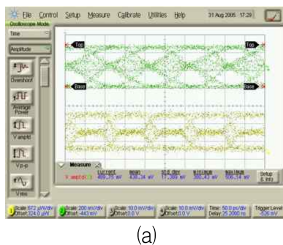


Fig. 3. (a) LIA block diagram, (b) LIA input stage circuit, (c) LIA core circuit of the gain stage, (d) LIA frequency response, and (e) LIA transient response and eye diagram ($V_{in}=50mV_{pp}$)

그림 3. (a) LIA 블록도, (b) LIA 입력단 회로, (c) LIA 이득단 코어 회로, (d) LIA 주파수 응답과 (e) LIA 과도 응답 및 아이 다이어그램 ($V_{in}=50mV_{pp}$)



(a)

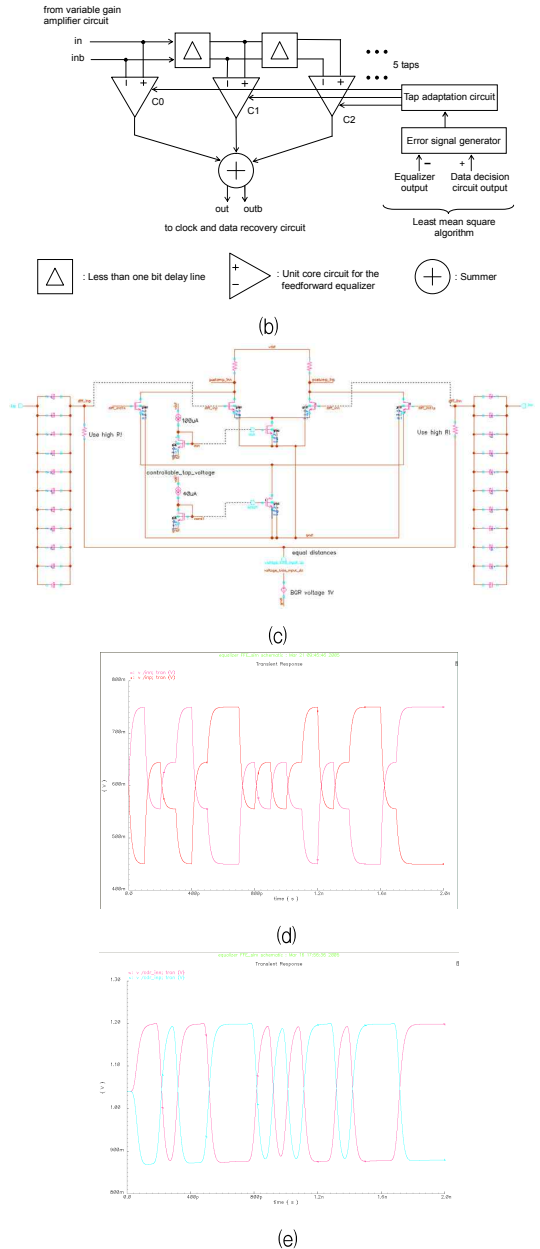


Fig. 4. (a) Electrical (upper) and optical (lower) bit stream when it suffered fiber dispersion, (b) block diagram of the adaptive equalizer, (c) two-tap FFE core circuit of the equalizer, (d) an equalizer input stream subject to 70% ISI, and (e) the corresponding output stream of the equalizer after the dispersion is compensated

그림 4. (a) 광케이블의 분산을 겪은 후의 전기적 비트 수열 (위쪽)과 광 비트 수열(아래쪽), (b) 적응적 등화기의 블록도, (c) 등화기의 두 탭짜리 FFE 코어 회로, (d) ISI 70%인 등화기 입력 수열, (e) 분산이 보상된 등화기 출력 수열

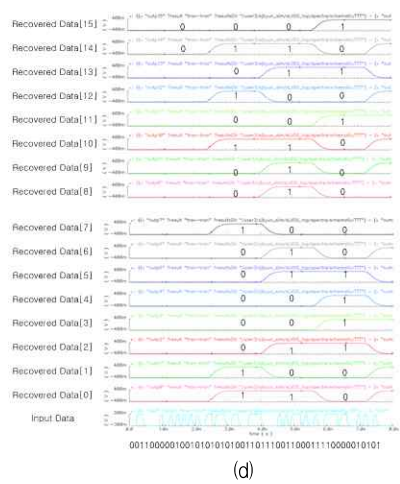
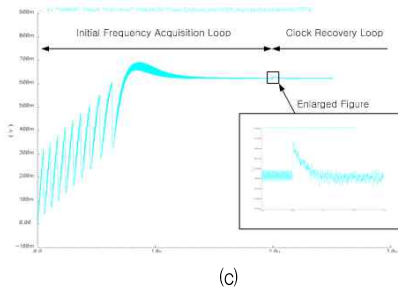
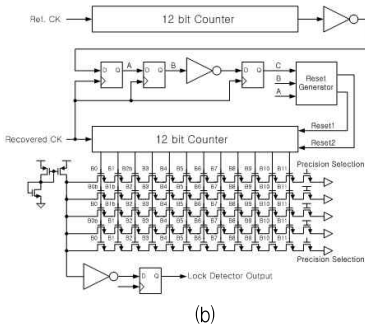
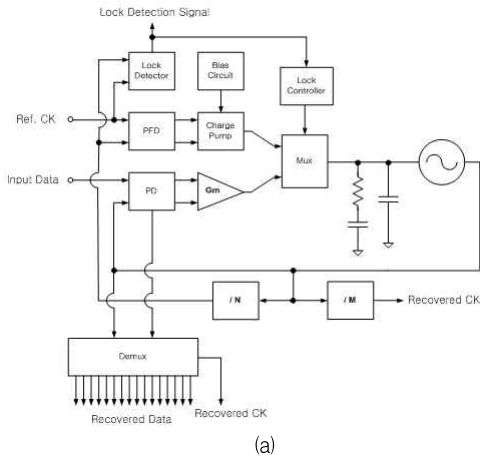


Fig. 5. (a) CDR and (b) lock detector block diagrams and (c) the transient settling waveform of the CDR oscillator control voltage, followed by (d) a recovered data stream at the demux output

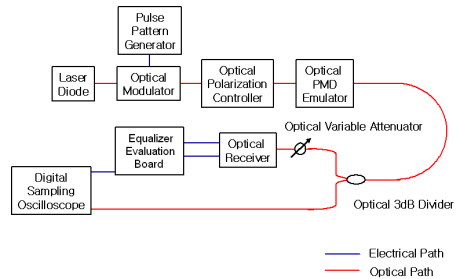
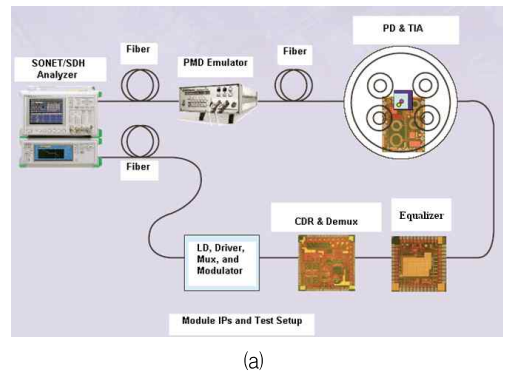


Fig. 6. (a) Test scenario of the receiver chips and (b) test setup on how to generate PMD values and evaluate the dispersion performance of the equalizer

그림 6. (a) 수신기 칩 테스트 시나리오와 (b) PMD 값을 생
성시키고 등화기의 분산 성능을 평가하는 방법을
보여주는 테스트 셋업

III. 결론

본 연구에서는 하나의 SoC 솔루션으로서 SONET OC-192 표준을 만족시키는 저비용 고집적도의 10Gbps 광통신용 deep sub-micron CMOS 수신기를 설계 및 구현하였다. 수신기 IP(intellectual property)인 TIA, LIA, 등화기, CDR 회로, demux, I/O 회로 등을 설계함에 있어 shunt feedback, equalization, inductive peaking, CML, regulated cascode 등의 고속 동작 기법을 넣어 동작의 신뢰성을 높였다. 설계된 수신기는 PD 입력 민감도 -19dBm 이하, 입력 속도 10Gbps 이상, BER 10^{-12} 이하, 출력 속도 622.08Mbps, rms jitter 1ps 이하, ISI 70% 허용 등의 성능을 보여 OC-192 표준에 부합한다.

참고문헌

- [1] Sung Min Park and Hoi-Jun Yoo, "1.25Gb/s Regulated Cascode CMOS Transimpedance Amplifier for Gigabit Ethernet Applications," *IEEE JSSC*, vol. 39, pp. 112-121, Jan. 2004.
- [2] Sherif Galal and Behzad Razavi, "10Gb/s Limiting Amplifier and Laser/Modulator Driver in 0.18um CMOS Technology," *IEEE JSSC*, vol. 38, pp. 2138-2146, Dec. 2003.
- [3] K. Azadet, et al., "Equalization and FEC Techniques for Optical Transceivers," *IEEE JSSC*, vol. 37, pp. 317-327, Mar. 2002.
- [4] J. Cao, et al., "OC-192 Transmitter and Receiver in Standard 0.18um CMOS," *IEEE JSSC*, vol. 37, pp. 1768-1780, Dec. 2002.
- [5] S. Byun, et al., "A 10-Gb/s CMOS CDR and DEMUX IC with a Quarter-Rate Linear Phase Detector," *IEEE JSSC*, vol. 41, pp. 2566-2576, Nov. 2006.

저 자 소 개

박 성 경 (정회원)



1995년 : 서울대학교 공과대학 졸업 (자원공학 전공, 전자공학 부전공, 학과 수석 졸업) (공학사)

1997년 : 서울대학교 전자공학과 (공학석사)

2002년 : 서울대학교 전기.컴퓨터공학부 (공학박사)

2002년~2004년: 삼성전자 정보통신총괄 책임연구원

2004년~2006년: 한국전자통신연구원 고집적 SoC 연구부 선임연구원

2006년~2009년: Ericsson, Inc., Research Triangle Park, NC, USA, Senior Staff HW Designer

2009년 9월~현재: 부산대학교 전자전기공학부 조교수 <주관심분야> 무선 이동 및 유선 통신용 혼성신호 반도체 회로 및 시스템 설계, 디지털 RF 프로세싱

이 영 재 (비회원)



1993년 : 한국과학기술원 전기 및 전자공학과 졸업 (공학사)

1995년 : 한국과학기술원 전기 및 전자공학과 (공학석사)

2000년 : 한국과학기술원 전기 및 전자공학과 (공학박사)

2000년~2004년 : 하이닉스반도체

2004년 5월~현재 : 한국전자통신연구원 시스템반도체 연구부

<주관심분야> RF & analog circuit design, digital signal processing

변 상 진 (비회원)

1997년 : 한국과학기술원 전기 및
전자공학과 졸업 (공학사)

1999년 : 한국과학기술원 대학원
전기 및 전자공학과 (공학석사)

2004년 : 한국과학기술원 대학원
전기 및 전자공학과 (공학박사)

2001년~2004년 : 버카나

와이어리스 코리아 선임연구원

2004년~2008년: 한국전자통신연구원 선임연구원

2006년~2007년: Georgia Tech. GA, USA 연구원

2008년 9월~현재: 동국대학교 전기전자공학부 조교수

<주관심분야> CMOS 아날로그/혼성신호 회로 설계 및
레이아웃 최적화 기술 연구