

# OFDM 시스템에 적합한 FFT 성능 평가 및 구현

## Performance Evaluation and Hardware Design of FFT for OFDM system

김 중 민\*, 박 인 갑\*\*, 조 용 범\*\*\*

Joong-Min Kim\*, In-Kap Park\*, Yong-Bum Cho\*\*

### Abstract

In this paper, performance comparison of FFT algorithms for OFDM system is shown and advantage of proposed SRFFT is verified through implementation. For the single input and output structure in the most OFDM communication systems, adaptation of SRFFT might be inefficient. In this paper, improved SRFFT with pipeline structured FFT/IFFT of single input and output is developed and verified with Matlab, VHDL, synthesis tool and simulation tool.

### 요 약

본 논문에서는 OFDM 시스템의 성능의 중요한 부분을 차지하는 FFT 알고리즘의 성능 비교와 제안된 SRFFT를 설계/구현 및 검증으로 우수성을 확인한다. 대부분의 OFDM 통신시스템에서는 단일 입력, 단일 출력형태를 사용하므로 SRFFT 적용이 매우 비효율적일 수 있다. 그러므로 OFDM 시스템에 적합한 구조의 필요성이 요구되고 기존에 나와 있는 SRFFT 구조를 변형하여, 단일 입력, 단일 출력의 Pipeline 구조를 갖는 FFT / IFFT 블록을 구현한다. 제안된 SRFFT는 Matlab과 Synthesis 및 Simulation Tool을 이용하여 유효성 확인과 기존 알고리즘과의 성능을 비교하고 동작을 검증하였다.

*Key words* : OFDM, FFT, IFFT, SRFFT, Pipeline, VHDL,

## 1. 서 론

OFDM 방식은 여러가지 전송기술이 복합된 복수 반송파 변조 방식으로서 일반적으로 무선 채널환경에서 일컬어지는 용어이며, 유선채널에 적용될 경우 DMT(Discrete MultiTone)라는 이름으로 ANSIT1E1.4 Working Group에서 ADSL(Asymmetric Digital Subscriber Loop) 표준으로 채택되었다.<sup>[1]</sup>

\* 建國大學校 電子工學科  
(School of Electronics Engineering, Konkuk University)

\*\* 교신저자 (Corresponding author)

接受日:2010年 12月 2日, 修正完了日: 2010年 12月 29日

현재 OFDM 방식은 디지털 방송, 무선 LAN(802.11a, 802.11g, 802.16 등), Beyond IMT-2000, ADSL HDSL 등에 활용되고 있다. OFDM 방식의 경우에는 하나의 탭(one-tap)을 갖는 간단한 등화기로 다중경로에 의한 심각한 주파수 선택적 페이딩 채널을 잘 대처할 수 있게 하므로 선로 등화기의 형태가 단일 반송파를 사용하는 방식에 비해 간단해지고, 각 부채널의 특성에 따라 보내는 정보량을 최적화 시킬 수 있으므로 주어진 전송대역을 보다 효율적으로 이용할 수 있는 장점이 있다.<sup>[2][3]</sup>

OFDM 시스템의 성능을 결정짓는 가장 중요한 모듈은 FFT/IFFT 블록으로써, 여러 가지 FFT 알고리즘에 의해서 구현된다. FFT 알고리즘에는 radix-2, radix-4, radix-8, SRFFT(Split-Radix Fast Fourier

Transform) 등이 있다[7]. SRFFT 알고리즘은 복소수 덧셈과 복소수 곱셈을 가장 적게 할 수 있음에도 불구하고 구현의 복잡함 때문에 잘 사용되지 않았으나, 최근 CAD 툴과 VLSI 공정의 발전으로 인해 많은 연구가 진행되고 있다.

현재 나와 있는 SRFFT의 구조는 여러 개의 입력을 받아서 여러 개의 출력을 동시에 내보내는 Pipeline FFT의 방식을 취하고 있다. 이러한 방식은 OFDM 통신시스템과 같이 단일 입력, 단일 출력형태의 구조에는 매우 비효율적으로써, OFDM 시스템에 적합한 구조의 필요성이 요구된다. 따라서 본 논문에서는 OFDM 시스템에 효율적으로 사용하기 위해서 기존에 나와 있는 SRFFT 구조를 변형하여,

단일 입력, 단일 출력의 pipeline 구조를 갖는 FFT / IFFT 블록을 구현한다.

## II. OFDM System

OFDM은 다수의 반송 주파수를 이용하는 방식이나 채널간 간섭없이 전송할 수 있도록 직교성의 특징을 사용하여 주파수 효율성을 높인 방식이다.[4]

### 2.1 OFDM 송수신 구조

그림 1은 OFDM 송신기의 기본 구조이다.[5] 입력되는 직렬 데이터 심볼들은  $\Delta t$  간격으로 떨어져 있다. 먼저 N개의 직렬 심볼들이 S/P(Serial-to-Parallel) 변환기에 의해 병렬 형태로 변환되고 N개의 부반송파를 변조시킨다. 변조된 부반송파들은 모두 더해진 후 주파수가  $f_c$ 인 RF 반송파에 실려 채널로 전송된다.

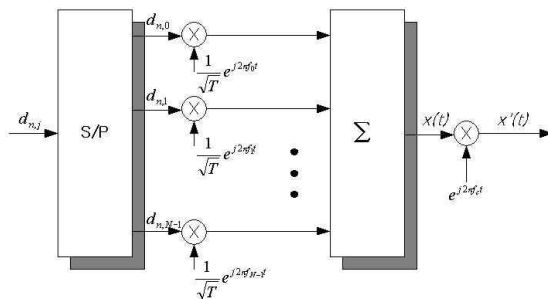


Fig. 1. OFDM Transmitter  
그림 1. OFDM 송신기 구조그림

그림 2는 OFDM 수신기의 구조이다.[5] 수신된 신호는 먼저 RF 반송파와 주파수와 곱해져서 기저대역으로 떨어진 후, 일련의 상관기와 적분기들을 통과한 후 P/S 단을 통과한 후 직렬 데이터 심볼로 출력된다.

호는 먼저 RF 반송파와 주파수와 곱해져서 기저대역으로 떨어진 후, 일련의 상관기와 적분기들을 통과한 후 P/S 단을 통과한 후 직렬 데이터 심볼로 출력된다.

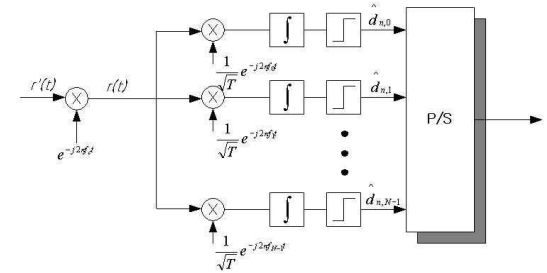


Fig. 2. OFDM Receiver  
그림 2 OFDM 수신기 구조

### 2.2 FFT / IFFT를 이용한 OFDM

OFDM 구현을 위해서는 많은 수의 발진기가 필요하기 때문에 시스템은 복잡해지고 가격도 비싸게 된다. 그러나 원래의 직렬 데이터에 IDFT를 수행함으로써 OFDM 신호를 생성할 수 있고 수신신호의 복조 역시 DFT에 의해 수행될 수 있다는 사실을 이용하면 OFDM 시스템을 간단하게 구현할 수 있다. 또한 IDFT/DFT는 IFFT/FFT를 함으로써 시스템 복잡도를 줄일 수 있다.

OFDM 신호가 원신호의 IDFT라는 사실을 다음의 수식들로 나타낼 수 있다. 시간 구간  $t = [nT_s + T_g, (n+1)T_s]$  에서의 OFDM 신호는 식(1)와 같이 표현된다.

여기서 N은 부반송파 수, C는 신호의 전력과 관계된 상수, T는OFDM 심볼의 길이,  $d_{n,j}$  는 n번째 신호 구간  $[nT, (n+1)T]$  에서 i번째 부채널을 통해 전송되는 심볼,  $f_i$ 는 i번째 부반송파의 주파수, OFDM 심볼 하나의 전체 길이를  $T_s$ , 보호구간의 길이를  $T_g$  이다.

$$x(t) = \sum_{k=0}^{N-1} \frac{C}{\sqrt{T}} d_{n,k} e^{j2\pi f_k t} \quad (1)$$

$f_k = k/T = k/(N \cdot \Delta t)$  라는 관계를 이용하면 시간 구간  $t = [nT_s + T_g, (n+1)T_s]$  동안  $t = m \cdot \Delta t$ 에서 샘플링된 시퀀스  $x(m)$ 은 식(2)과 같이 표현된다.

$$x(m) = \sum_{k=0}^{N-1} \frac{C}{\sqrt{T}} d_{n,k} e^{\frac{j2\pi km}{N}}, \quad (m=0,1, \dots, N-1) \quad (2)$$

그리고  $x(k) = \frac{C}{\sqrt{T}} d_{n,k}$ 을 대입하면 식(2)은 식(3)와 같이 표현된다.

$$x(m) = \sum_{k=0}^{N-1} X(k) e^{\frac{j2\pi km}{N}}, \quad (m=0,1, \dots, N-1) \quad (3)$$

그림 3은 FFT / IFFT를 이용해 간략화한 OFDM 송수신 블록도이다.

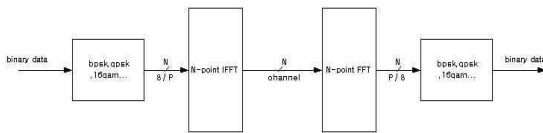


Fig. 3. OFDM transmitter blocks which use IFFT/FFT blocks  
그림 3 IFFT/ FFT 블록을 이용한 OFDM 송신기 블록도

### III. 기존의 FFT와 SRFFT 알고리즘

FFT 알고리즘은 DFT(Discrete Fourier Transform)를 고속으로 산출하기 위한 하나의 알고리즘으로 DFT의 반복적인 계산 부분을 제거함으로써 가능하게 되었다.<sup>[6]</sup>

#### 3.1 기존 알고리즘

FFT 연산을 할 입력 데이터의 수가 두 인수의 곱으로 표현될 수 있다고 가정하자. 즉,

$$N = A \cdot B \quad (4)$$

이 된다고 가정하면, FFT 연산을 하기 위한 첫 번째 단계는 입력 데이터를 두 그룹으로 분할하는 것이다. 입력데이터의 분할을 지표 매핑(index mapping)의 개념을 통해서 공식화 할 수 있다. 지표 n과 k를

$$n = A \cdot n_1 + n_2, \begin{cases} 0 \leq n_1 \leq B-1 \\ 0 \leq n_2 \leq A-1 \end{cases} \\ k = k_1 \cdot B + k_2, \begin{cases} 0 \leq k_1 \leq B-1 \\ 0 \leq k_2 \leq A-1 \end{cases} \quad (5)$$

로써 나타내자.  $n_1$ 과  $n_2$ 는 지정된 범위에서 모든 가능한 값을 가질 때, n은 0에서 N-1까지의 모든 가능한 값을 반복됨 없이 취할 수 있다. 이것은 주파수 지표 k에 대해서도 동일하다. 이런 지표 매핑을 사용하여 DFT를 두 지표  $k_1$ 과  $k_2$ 의 함수로 표현할 수 있다.

$$X_k = \sum_{n=0}^{N-1} x_n W_N^{kn}, \quad 0 \leq k \leq N-1 \quad (6)$$

이런 방법을 이용하여  $N = 2^c$ 일 때 Radix 2 FFT를  $N = 4^c$ 일 때 Radix 4 FFT를 사용할 수 있다.

#### 3.2 SRFFT 알고리즘

이 알고리즘은 DFT의 계산 시 홀수차와 짝수차를 다른 방식을 써서 계산하는 것으로, 짝수차 항은 Radix-2를 쓰고 홀수차 항은 Radix-4를 써서 계산을 하게 된다. radix-4나 radix-8의 구조는 기본적으로 기수의 지수형태에 대해서만 변환이 가능하므로 실현 불가능한 연산이 존재하게 된다. 그러나 SRFFT 알고리즘은 곱셈과 덧셈 연산이 타 알고리즘에 비해서 적고, 2의 지수승으로 표현된 모든 경우에 대해서 구현이 가능하므로 타 알고리즘에 비해서 매우 우수하다.<sup>[7][8]</sup>

#### 3.3 기존 FFT 프로세서

FFT 프로세서에는 어레이 FFT(Array FFT)와 SFG의 행(column)으로 열(row)을 공유하는 파이프라인 FFT,파이프라인 구조의 반대 개념인 column 구조의 FFT 등이 있다.<sup>[9][10]</sup>

##### 3.3.1 어레이 FFT

그림 4는 FFT와 SFG(Signal Flow Graph)를 하드웨어로 매핑한 형태로 systolic FFT라고도 한다. 이것은 버터플라이 연산기와 복소 곱셈기, 그리고 입력 테

이터의 동기를 맞추는 지연소자와 멀티플렉서로 구성되어 있다. 이러한 Array FFT 구조는 하드웨어 복잡도가 상당히 커서 FFT의 연산점(N)이 큰 경우 구현이 거의 불가능하다.

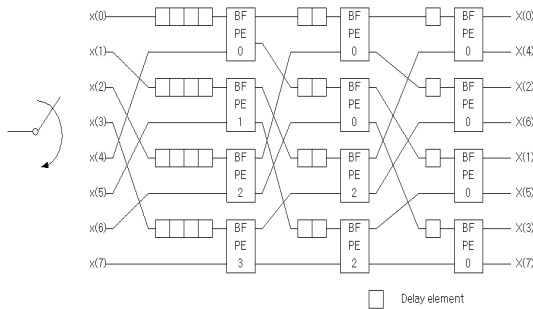


Fig. 4 Array FFT Structure  
 그림 4 어레이 FFT 구조

**3.3.2 파이프라인 FFT**

대표적인 파이프라인 FFT로는 R2MDC(Radix-2 Multi-path Delay Commutator), R2SDF(Radix-2 Single-path Delay Feedback), R4MDC(Radix-4 Multi-path Delay Commutator), R4SDF(Radix-4 Single-path Delay Feedback), R4SDC(Radix-4 Single-path Delay Commutator), R2SDC(Radix-2 Single-path Delay Commutator) 가 있다.

**3.3.3 Column FFT**

Column FFT 구조에서는 FFT의 SFG(Signal Flow Graph)에서 하나의 열(column)을 동시에 병렬로 처리하는 구조로서 일정한 형태(CG : Constant Geometry)의 FFT 알고리즘을 구현하는데 사용하며 그림 5와 같다.

Radix-2 Column FFT는  $\frac{N}{2}$  개의 버터플라이와 N 개의 멀티플렉서를 필요로 하는데, Array FFT 구조보다는 버터플라이 활용도가 좋지만 순차적으로 입력되는 구조에서는 빠른 버터플라이 처리 속도를 요구한다.

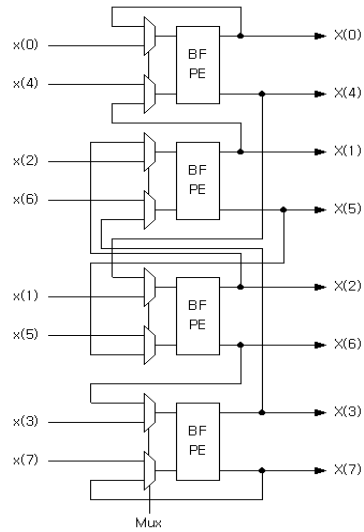


Fig. 5 8 Point Radix 2 CG DIT Column FFT Structure  
 그림 5 8 포인트 Radix 2 CG DIT Column FFT 구조

**IV. 직렬 Pipeline SRFFT를 이용한 구조 설계**

SRFFT는 연산의 수를 적게 사용할 수 있는 장점에도 불구하고 구현의 어려움이 있다. 이를 개선하여 사용한 구조가 Pipeline SRFFT이다. 버터플라이 입력을 받아 처리하는 구조인 MDC(Multi Delay Commutator)를 많이 사용하지만 OFDM은 직렬 구조이므로 적용시 효율이 떨어지게 된다. 그러므로 MDC 구조를 이용하는 대신 단일입력, 단일 출력의 구조로 변형하여 OFDM 시스템에 적용하였다.<sup>[11]</sup>

**4.1 직렬 Pipeline SRFFT 구조**

MDC를 이용할 경우 복소수 덧셈기 6개, 복소수 곱셈기 2개가 필요하지만 제한한 구조는 덧셈기 2개, 곱셈기 1개로 구성하여 회로를 간략화 하였다.

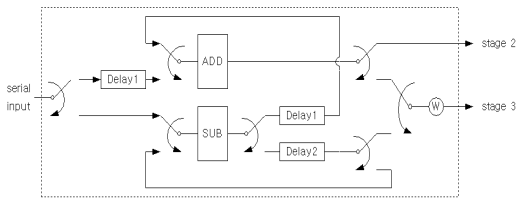


Fig. 6 Serial Pipeline SRFFT Structure  
그림 6 직렬 Pipeline SRFFT 구조

그림 7은 전체 FFT/IFFT회로의 블록도이며 2개의 출력 조절을 위해 Commutator Switch 블록이 있으며 최종 출력은 Symbol의 순서가 반대로 나오므로 뒤의 Bit Order Correct 통과하여 정상순서로 출력되게 된다.

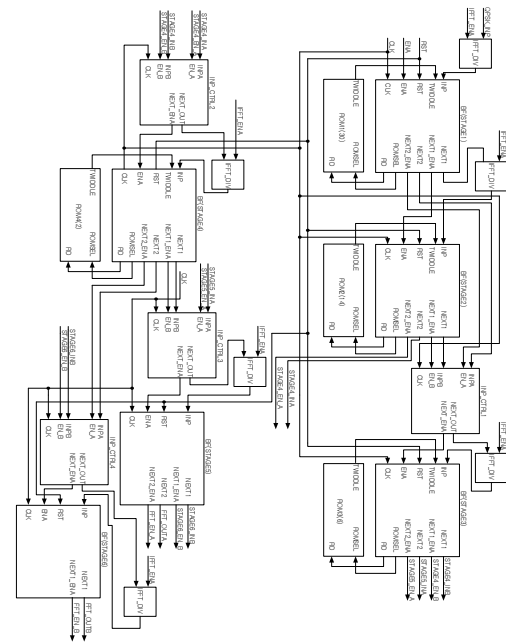


Fig. 7 64 Point FFT/IFFT Block  
그림 7 64포인트 FFT/IFFT 블록도

### V. OFDM 시스템 설계 및 검증

본 장에서는 직렬 Pipeline SRFFT 구조의 시뮬레이션과 Synopsys 사의 Design Analyzer를 이용해서 합성된 SRFFT에 대한 Gate Level 시뮬레이션 결과를 서술하였고 OFDM 시스템에 대한 테스트를 위해서 QPSK 변, 복조부를 설계하여 시뮬레이션 하였다.

#### 5.1 OFDM 시스템 설계 및 시뮬레이션

그림 8은 본 논문에서 제시된 SRFFT의 구조를 적용한 OFDM 변조부의 블록도이다.

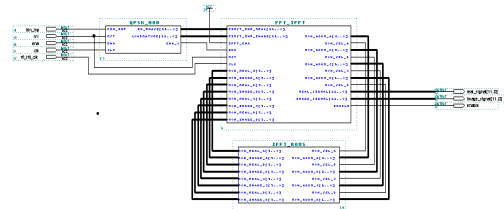


Fig. 8 OFDM Modulator Block  
그림 8 OFDM 변조부 블록도

그림 9는 OFDM 변조부의 시뮬레이션이며 블록이 IFFT블록으로 동작하도록 IFFT\_ENA 신호를 1로 고정했으며 그림 10은 IFFT로 변조되어 나오는 시뮬레이션 결과 파형이다.

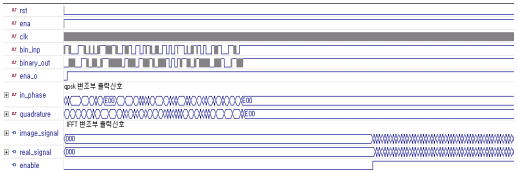


Fig. 9 OFDM Modulator Simulation  
그림 9 OFDM 변조부 시뮬레이션



Fig. 10 IFFT Modulator Simulation  
그림 10 IFFT 변조부 시뮬레이션

그림 11은 OFDM 복조부의 블록도이다.

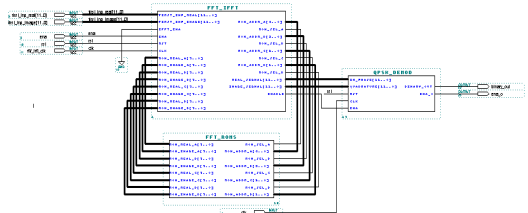


Fig. 11 OFDM Demodulator Block  
그림 11 OFDM 복조부 블록도

그림 12는 OFDM 복조부의 시뮬레이션이며 블록이 FFT블록으로 동작하도록 IFFT\_ENA 신호를 0으로 고정했으며 그림 13은 FFT로 복조되어 나오는 신호를 QPSK 복조부의 입력신호로 하여 2진 신호가 출력되는 시뮬레이션 결과 파형이다.

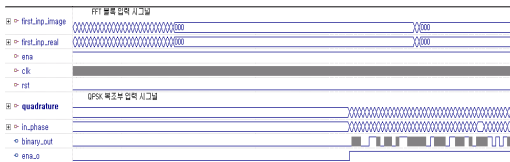


Fig. 12 OFDM Demodulator Simulation  
그림 12 OFDM 복조부 시뮬레이션



Fig. 13 QPSK Demodulator Simulation  
그림 13 QPSK 복조부 시뮬레이션

5.2 OFDM 시스템 구현 및 시뮬레이션

OFDM 시스템의 의 구조에 대한 구현은 Synopsys사의 Design Analyzer를 사용하여 합성하였다. 그림 14는 합성된SRFFT 블록의 Schematic과 합성된 QPSK 블록의 Schematic이다.

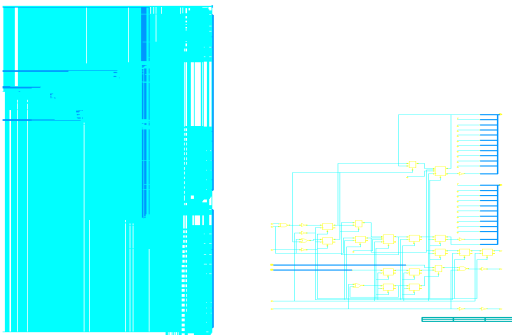


Fig. 14 SRFFT Block and QPSK Block Schematic  
그림 14 SRFFT 블록과 QPSK 블록의 Schematic

그림 15는 QPSK 복조부에 의해 복조되어 출력되는 최종 2진 신호를 보여주며 그림 13의 결과와 일치함을 보여준다. 그림 16은 CLK 입력과 출력사이의 딜레이를 보여준다.



Fig. 15 After Demodulation output wave  
그림 15 복조 후 출력 파형



Fig. 16 Input/Output Delay  
그림 16 입/출력사이 딜레이

IV. 결론

본 논문은 직렬 Pipeline 방식의 SRFFT를 제안하고 이를 OFDM에 적용하여 설계 및 검증을 하였다. 복소수 곱셈기 설계에서는 4개의 실수 곱셈기와 2개의 실수 가산기가 필요하나 하드웨어의 사이즈를 줄이기 위해 복소수 곱셈기의 식을 변형하여 3개의 실수 곱셈기와 5개의 실수 가산기를 사용하였으며 곱셈기 구현을 위해서 DSP 시스템과 다른 응용분야에서 가장 널리 사용되는 modified Booth 알고리즘을 사용한다. 이 알고리즘은 덧셈을 줄이는 알고리즘으로 성능을 향상 시켰다. OFDM은 다양한 무선 멀티미디어 서비스에 사용되고 있으므로 제안한 모듈 또한 다양한 분야에 적용이 가능하다.

참고 문헌

- [1] S.B Weinstein and P.M Ebert, "Data transmission by frequency-division multiplexing using the discrete Fourier transform,"*IEEE Trans. Commun. Technol.*, vol.Com-19,pp. 628-634, Oct.1971
- [2] J.A.C. bingham, "Multicarrier modulation for data transmission : an idea whose time has come,"*IEEE Commun.Mag* , vol.28,pp.17-25,Mar.1990.
- [3] H.Sari,G.Karam, and I.Jeanclaude,"Transmission techniques for digital terrestrial TV broadcasting,"*IEEE Commun.Mag* ,vol.33,pp.100-109,Feb.1995
- [4] R. W. Chang, "Synthesis of band-limited orthogonal signals for multichannel data transmission,"*Bell Syst. Tech. J.* ,vol. 46,pp.1775-1796,Dec.1966
- [5] O. Edfords, M. Sandell, J.Beek, D. Landsrom, F. Sjoberg. " An intruduction to orthogonal frequency-division multiplexing", *Lulea University of Technology*, Sep. 1996.
- [6] Cooley, J. W. , and Turkey, J. W. "An Algorithm for the Machine Comptation of Complex Fourier

Series," *Math. Comp.*, vol. 19, pp. 297-301, April, 1965

[7] P. Duhamel and H. Hollmann, "Split-radix FFT algorithm," *Electron. Lett.*, vol. 20, no. 1, pp. 14-16, Jan. 1984

[8] J. G. Proakis, D. G. Manolakis. " *Digital Signal Processing*", Third Edition, Prentice Hall, 1996.

[9] He S., "Concurrent VLSI Architecture for DFT Computing and Algorithms for Multi-Output Logic Decomposition," Diss. no 133, Lund University, Sweden, 1995.

[10] Sunada G., Jin J., Berzins M., and Chen T. "COBRA : An 1.2 Million Transistor Expandable Column FFT Chip," Proc. *IEEE Int. Conf on Computer Design-VLSI in Computers and Processor*, Cambridge, Ma, USA, pp. 546-550, Oct. 1994.

[11] J. Garcia, Juan A. Michell, and Angel M. Buron, "VLSI Configurable Delay Commutator for a Pipeline Split Radix FFT Architecture," *IEEE Trans. on SIGNAL PROCESSING*, Vol. 47, pp 3098-3107, Nov. 1999.

**조 용 범** (정회원)



1981년 : 경북대학교 전자공학과 학사 졸업 (공학사)  
 1988년 : University of South Carolina 석사 졸업 (공학석사)  
 1992년 : Case Western Reserve University 박사 졸업 (공학박사)  
 1992년 ~ 현재 : 건국대학교

전자공학과 교수  
 <주관심분야> VLSI 설계, 임베디드 시스템 등

**저 자 소 개**

**김 중 민** (정회원)



2000년 : 경기대학교 전자공학과 학사 졸업 (공학사)  
 2002년 : 건국대학교 전자공학과 석사 졸업 (공학석사)  
 2005년 : 건국대학교 전자공학과 박사 졸업 (공학박사)  
 2008년 3월~현재 : 건국대학교

전자공학과 강의교수  
 <주관심분야> 멀티미디어 네트워크, 라우팅, MoIP

**박 인 갑** (정회원)



1973년 : 고려대학교 전자공학과 학사 졸업 (공학사)  
 1975년 : 고려대학교 전자공학과 석사 졸업 (공학석사)  
 1986년 : 고려대학교 전자공학과 박사 졸업 (공학박사)  
 1980년 3월~현재 : 건국대학교

전자공학과 교수  
 <주관심분야> 컴퓨터네트워크, 병렬처리 등