

스위치 전도 손실을 개선한 인터리브 DC-DC 벅-부스트 컨버터 설계

A Design of Interleaved DC-DC Buck-boost Converter with Improved Conduction Loss of Switch

이 주 영*, 주 환 규**, 이 현 덕*, 양 일 석***, 구 용 서***

Joo-Young Lee*, Hwan-Kyu Joo**, Hyun-Duck Lee*, Yil-Suk Yang***, Yong-Seo Koo***

Abstract

The interleaved power management IC(PMIC) with DTMOS(Dynamic Threshold voltage MOSFET) switching device is proposed in this paper. The buck-boost converter used to provide the high output voltage and low output voltage for portable applications. Also we used the PWM(Pulse Width Modulation) control method for high power efficiency at high current level. DTMOS with low on-resistance is designed to decrease conduction loss. The interleaved PMIC to reduce output ripple. And step-down DC-DC converter in stand-by mode below 1mA is designed with LDO in order to achieve high efficiency.

요 약

본 논문에서는 DTMOS(Dynamic Threshold voltage MOSFET) 스위칭 소자를 사용한 인터리브 방식의 전원제어 장치(PMIC)를 제안하였다. 휴대기기에 필요한 높은 출력 전압과 낮은 출력 전압을 제공하기 위하여 벅-부스트 컨버터를 사용하였다. 또한, 높은 출력 전류에서 고 전력 효율을 얻기 위하여 PWM(Pulse Width Modulation) 제어 방식을 사용하였다. 낮은 온-저항을 갖는 DTMOS를 사용하여 도통 손실을 감소시켰으며 인터리브 방식을 사용하여 출력 리플을 감소시켰다. 1mA 이하의 대기모드에서도 높은 효율을 구현하기 위하여 LDO를 설계하였다.

Key words : DC-DC converter, PWM, DTMOS, Interleave

* 西京大學校 電子工學科 (Department of Electronics Engineering, Seokyeung University)

** 檀國大學校 電氣電子工學部 (Electronics and Electrical Engineering, Dankook University)

*** 韓國電子通信研究員 (Electronics and Telecommunications Research Institute)

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)

본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)[10035171, BLDC 모터용 고전압/대전류 파워모듈 및 ESD 기술개발]과 지식경제부와 한국산업기술진흥원의 지역산업기술개발사업으로 수행된 연구결과입니다.

接受日:2010年 09月 03日, 修正完了日: 2010年 09月 29日

1. 서론

정보통신 기술의 발전에 따라 그 수요가 늘고 있는 개인 휴대용 전자제품의 시장이 커지고 있다. 이와 동시에 전자제품의 충전기나 어댑터의 소형화 추세가 두드러지고 있다. 휴대단말기의 다양한 시스템은 대부분 배터리 전압보다 낮은 전원전압을 요구하지만 LED backlight처럼 높은 전압을 요구하는 경우도 있다. 이러한 경우에는 충전 펌프 회로 방식이나 부스트 컨버터를 주로 사용하게 되는데 이처럼 전원제어 장치를 추가적으로 사용하게 된다면, 면적에서 많은 손실을 감수 할 수 밖에 없게 된다. 이러한 문제점을

해결하기 위해 벡-부스트 컨버터를 사용하여 면적을 줄이게 되는데 벡-부스트 컨버터는 벡 컨버터나 부스트 컨버터에 비하여 효율이 많이 떨어지는 단점을 가지고 있다.[1]

본 논문에서는 벡-부스트 컨버터의 스위칭소자로 사용되는 CMOS 소자를 대신하여 전도 손실이 적은 DTMOS(Dynamic Threshold voltage MOSFET) 소자를 사용하여 손실을 줄였으며 출력단의 전류리플을 줄임으로써 전압 잡음을 줄일 수 있는 인터리브 방식을 사용하였다. 또한, 휴대단말기의 대기모드에서 높은 효율을 보장하기 위하여 대기모드에서는 LDO를 이용하여 전원을 공급, 낮은 부하 조건에서 효율이 급격히 떨어지는 SMPS의 단점을 보완하였다. 제한한 벡-부스트 컨버터는 0.13um CMOS 공정 파라미터를 이용하여 설계하였다.

II. 본론

1. DTMOS(Dynamic Threshold voltage MOSFET)

SMPS(Switching Mode Power Supply)는 반도체 소자를 스위치로 사용하여 직류 입력 전압을 일단 구형파 형태의 전압으로 변환한 후, 필터를 통하여 제어된 직류 출력 전압을 얻는 장치로서 반도체 소자의 스위칭을 이용하여 전력의 흐름을 제어하므로 선형 방식의 전원 공급 장치에 비해 효율이 높고 내구성이 강하며, 소형 경량화에 유리하다. 그러나 스위치가 온-오프(on-off) 하면서 스위치 소자의 기생 커패시턴스(capacitance)에 의해 스위칭 손실(Switching loss)와 도통 손실(Conduction loss)이 발생한다. 스위칭 손실은 스위치의 기생 커패시턴스와 스위칭 주파수에 비례하며 스위칭 주파수는 SMPS를 PWM(Pulse Width Modulation) 방식으로 제어했을 때 고정된다. 이와 같이 스위칭 손실은 고정된 요인이지만 스위치의 온-저항에 의한 도통 손실은 출력 전류가 커질수록 증가하게 된다. 따라서 스위칭 소자의 온-저항 값을 낮추기 위한 방법이 필요하다.[1][2]

소자의 문턱 전압(V_{th})을 줄일 수 있다면 전류구동능력이 커져서 온-저항 값을 줄일 수 있게 된다. 그러나 작은 V_{th} 값은 대기상태에서의 누설전류를 발생시킬 수 있기 때문에 V_{th} 값을 줄이기만해서는 좋은 특성을 얻을 수 없다. 이 문제의 해결책으로 DTMOS(Dynamic Threshold voltage MOSFET)가 있는데 이 방법은 소자의 게이트와 몸체(Body)를 직접 연결하여 몸체의 전압이 게이트 전압에 의해 제어되도록 하였다.

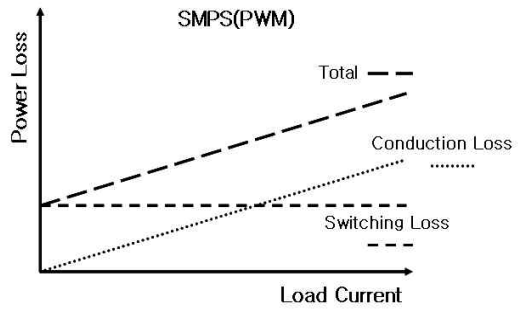


Fig 1. Analysis of SMPS efficiency

그림 1. SMPS의 효율 분석

일반적으로 몸체효과와 몸체-소스 간 역바이어스에 의한 문턱전압의 상승으로 알려져 있는데 이를 반대로 몸체-소스 간 정바이어스를 가하여 문턱전압을 줄어든게 하였다. 이는 몸체-소스 간 정바이어스에 의해 공핍영역의 전하가 줄어들고 채널 전하의 양이 늘어나게 되어 전류가 증가하여 문턱전압이 줄어든 효과를 내게 된다.[3][4] 이렇게 하여 낮아진 문턱전압으로 인해 동일한 면적과 게이트 전압에서 더 많은 전류를 흘릴 수 있게 되어 스위칭 소자에서 향상된 효율을 기대 할 수 있게 된다. 하지만 이 경우에 몸체로 흐르는 누설 전류가 CMOS 소자에 비해 커지게 된다. 따라서 몸체로 흐르는 전류를 제어하기 위해 [그림 2.]와 같은 회로구성을 택하였다.

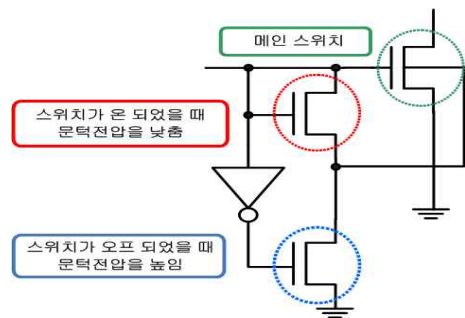


Fig 2. Leakage current control method

그림 2. 누설전류 제어기법

[그림 2.]의 회로에서 메인 스위치인 NMOS가 도통이 되었을 때, 다이오드 연결된 NMOS에 의해 스위치의 몸체전압을 낮추고, 스위치가 오프 되었을 때에는 메인 스위치의 몸체 전압을 접지로 만들어 문턱전압을 높임으로서 몸통으로 흐르는 누설전류를 제어한다.

2. 제어 회로 설계

DC-DC 컨버터의 제어모드는 인덕터의 연속/불연속 모드를 사용하는 PWM(Pulse Width Modulation) 방식과 불연속 모드만을 사용하는 PFM(Pulse Frequency Modulation) 방식이 있는데 PFM 방식은 높은 출력 전류에서는 PWM에 비해 낮은 전력효율을 가지고 있다. 본 논문에서는 PWM 방식을 사용하여 벡-부스트 컨버터를 설계하였다. PWM의 구성은 기준 전압 발생 회로(Voltage Reference Circuit), 오차 증폭기 (Error-Amp.), 삼각파 발생회로 (Saw-tooth Wave Generator), 비교기(Comparator)로 이루어진다.[5]

PWM을 통한 제어 방식은 DC-DC 컨버터의 출력전압을 전압분배회로를 거쳐 오차증폭기를 통하여 기준 전압과 비교하게 된다. 여기서 생기는 오차는 증폭기를 거치면서 일정한 증폭률로 증폭이 되며, 증폭된 신호와 삼각파 발생기에서 생성된 삼각파가 비교기를 통해 일정한 듀티비(Duty Cycle)을 갖는 구형파를 만들어 내게 된다. 이 구형파가 DC-DC 컨버터의 스위치를 제어하는 제어 신호가 되어 드라이버 단을 제어 하게 된다. 결과적으로 출력오차에 상응하여 펄스폭이 조절됨으로서 출력 전압이 제어된다.[6],[7]

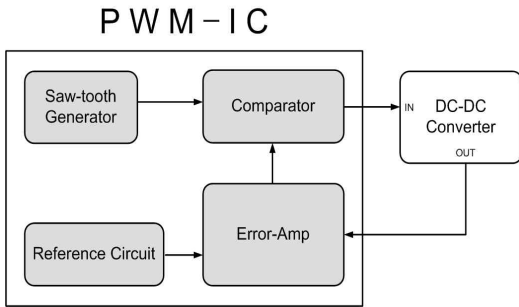


Fig 3. PWM block diagram
그림 3. PWM 블록도

3. 인터리브 벡-부스트 컨버터

본 논문에서 제안한 DT MOS를 사용한 인터리브 벡-부스트 컨버터의 시뮬레이션은 외부에서 컨트롤 신호를 스위치에 인가하여 수행하였다.

[그림 4.][8]와 같이 180도의 위상 차이를 보이는 신호는 두 개의 주된 스위치를 한 개의 스위치가 온(on) 상태 일때는 다른 스위치가 오프(off)가 되고 그 반대의 온-오프 동작이 계속 일어나게 되어 전류 리플을 서로 상쇄 시키게 된다. [그림 4.]는 L1과 L2에 흐르는 인덕터 전류 I_{L1} , I_{L2} 와 I_{L1} , I_{L2} 를 통한 부하 저항과 커패시터의 출력 전류 I_o , I_c 를 나타낸다. 인터리브

브 인덕터를 이용함으로써 전류 리플이 줄어들게 되어 기존 방식의 출력 리플 전류보다 제안된 인터리브 방식의 출력 리플 전류가 우수한 것을 알 수 있다. 또한 출력 커패시터 전류(I_c)의 리플감소는 전하량의 변화감소를 의미하므로 기생 커패시터의 크기를 저감시킬 수 있다.

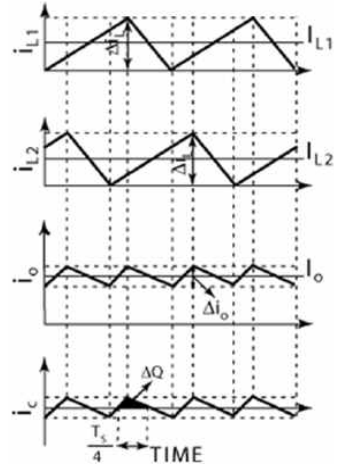


Fig 4. Interleave waveform of inductor current
그림 4. 인덕터 전류의 인터리브 파형

4. LDO 레귤레이터

PWM 방식의 SMPS는 높은 출력전류에서 높은 전력변환 효율을 갖지만 출력 전류가 낮아지면 효율이 떨어진다. 휴대용 기기들은 대기모드에서 매우 적은 전력 소모를 필요로 하기 때문에 PWM 방식의 SMPS로 전원을 공급하는 것은 비효율적 이다. LDO(Low Drop Out)는 로드 변화에 따라 효율이 크게 변하지 않기 때문에 낮은 대기전류에서도 일정 이상의 효율을 보장할 수 있다.

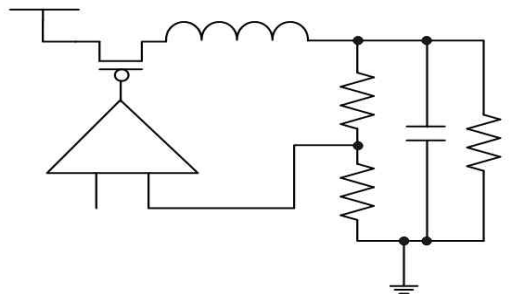


Fig 5. Block diagram of LDO
그림 5. LDO의 블록도

[그림 5.]는 LDO의 블록도이다. 분배 저항과 부하 커패시터, 기준 전압 발생기는 기존의 벡-부스트 컨버터에 있는 것을 그대로 사용하였고, 오차 증폭기만 추가하여 벡-부스트 컨버터에서 추가되는 외부 소자 없이 LDO 동작을 구현하였다.

5. 시뮬레이션 결과

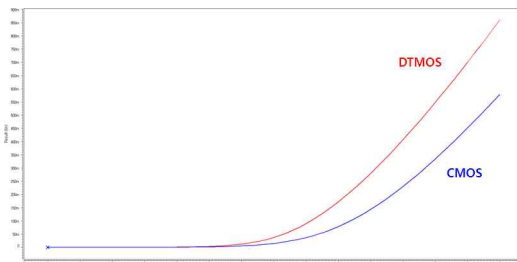


Fig 6. DT MOS vs. CMOS threshold voltage
그림 6. DT MOS와 CMOS의 문턱전압

[그림 6.]의 시뮬레이션 결과는 DT MOS와 CMOS의 문턱전압을 나타낸다. 동일한 면적과 동일한 게이트 전압에 대해 DT MOS의 문턱전압이 CMOS에 비해 약 80mV 낮음을 확인 할 수 있으며 같은 전압에서 더 많은 전류의 도통이 가능함을 확인 할 수 있다.

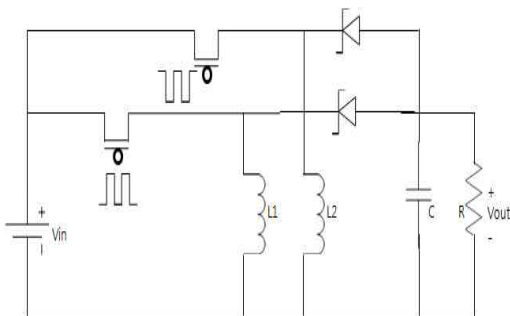


Fig 7. Block Diagram of DC-DC converter
그림 7. DC-DC 컨버터의 블록도

[그림 8.]은 벡 컨버터의 시뮬레이션 결과를 나타낸다. 입력전압 3.3V, 출력 전압 1.6V, 스위칭 주파수는 1.2MHz로 설정하였다. 출력 전압의 리플은 약 1mV로 일반 벡 컨버터의 리플 값 24mV에 비해 현저하게 줄어들었고, 효율은 부하 전류300mA에서 약 85% 이다. CMOS 스위치를 사용할 때보다 약 1%의 효율이 개선되었고 부하 전류가 커질수록 더욱 높은

효율을 도출하였다.

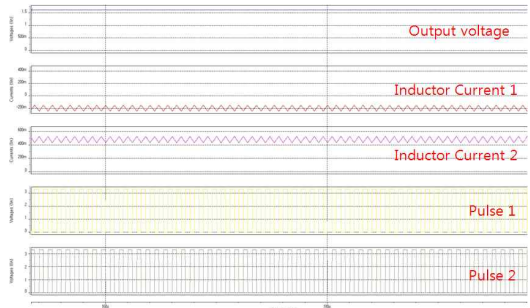


Fig 8. Buck converter simulation result
그림 8. 벡 컨버터 시뮬레이션 결과

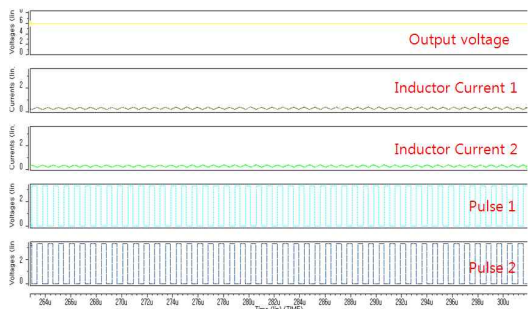


Fig 9. Boost converter simulation result
그림 9. 부스트 컨버터 시뮬레이션 결과

[그림 9.]은 부스트 컨버터의 시뮬레이션 결과를 나타낸다. 입력전압 3.3V, 출력 전압 6V, 스위칭 주파수는 벡 컨버터와 같은 1.2MHz로 설정하였다. 리플 전압은 약 2mV로 일반 부스트 컨버터에 비교할 때 약 17% 줄어들었고, 효율은 부하 전류가 300mA일때 92.4% 이었다. 벡 컨버터의 시뮬레이션 결과와 마찬가지로 CMOS 스위치를 사용할 때보다 약 1%의 효율이 개선되었고 부하 전류가 커질수록 더욱 높은 효율을 도출하였다.

III 결론

본 논문에서는 컨버터의 전도손실과 출력전류의 리플을 감소시키기 위해 낮은 온-저항을 갖는 DT MOS 스위치를 이용한 인터리브 벡-부스트 컨버터를 설계하였다. 제한한 컨버터는 고전류에서 고효율을 위해 PWM 제어 법을 이용하여 제어하였다. 동

일 면적에서 CMOS소자를 이용한 컨버터에 비해 효율이 높고 매우 적은 리플을 나타냈으며 LDO 레귤레이터를 사용하여 출력전류 1mA 이하의 대기모드에서도 60% 이상의 효율을 보장하였다. 제안된 컨버터는 적은 리플과 기존 CMOS 스위치보다 면적대비 효율이 우수하므로 노이즈에 민감한 RF 시스템에 적용과 더불어 효율 증대를 기대할 수 있다.

참고문헌

- [1] 김희준, "스위치 모드 파워 서플라이" 성인당, 1993
- [2] Sanjaya Maniktala, *Switching Power Supplies A to Z* Newnes, Burlington, 2006.
- [3] Chris Toumazou, "*Trade-Offs in analog Circuit Design*" Kluwer Academic Publishers, 2002
- [4] Fariborz Assaderaghi, "*A Dynamic Threshold Voltage MOSFET for Ultra Low Voltage Operation*", IEEE Electron Devices Meeting, 1994
- [5] K. Mark Smith, Jr., "*A Comparison of Voltage-Mode Soft-Switching Methods for PWM Converters*" IEEE Trans-Power Electronic, Vol. 12, No. 2, 1997
- [6] A. Djemouai, M. Sawan, M. Slamani, "*New CMOS Integrated Pulse Width Modulator for Voltage Conversion Applications*", IEEE, ICECS, vol. 1, 2000
- [7] Lu Chen, "*Design and Test of a Synchronous PWM Switching Regulator System*", IEEE, APCCAS, 2000
- [8] Siamak Abedinpour, Bertan Bakaloglu, and Sayfe Kiaei, "*A Multistage Interleaved Synchronous Buck Converter With Intergrated Output Filter in 0.18um SiGe*

Process", IEEE TRANSACTIONS ON POWER ELECTRONICS, Vol. 22, No.6, November 2007.

저자 소개

이 주 영 (정회원)



1990년 :한양대학교 전자공학과 졸업 (공학사)
 1992년 :한양대학교 대학원 전자공학과 (공학석사)
 2001년 한양대학교 대학원 전자공학과 (공학박사)
 2002년 3월~현재 : 서경대학교 전자공학과 조교수
 <주관심분야> 집적회로 및 초고주파 회로 설계, 네트워크 토폴로지

주 환 규 (학생회원)



2010년 : 서경대학교 전자공학과 졸업 (공학사)
 2010년 3월~현재 : 단국대학교 대학원 전자전기공학과 (석사과정)
 <주관심분야> DC-DC converter, Power Management IC, etc.

이 현 덕 (학생회원)



2009년 : 서경대학교 전자공학과 졸업 (공학사)
 2009년 3월~현재 : 서경대학교 대학원 전자컴퓨터공학과 (석사과정)
 <주관심분야> ESD 보호회로, Power Management IC, etc.

양 일 석 (정회원)



1989년 : 경북대학교
전자전기컴퓨터학부 졸업 (공학사)
1994년 : 경북대학교 대학원
전자전기컴퓨터학부 (공학석사)
2008년 : 경북대학교 대학원
전자전기컴퓨터학부 (공학박사)
1999년~현재 : 한국전자통신
연구원 책임연구원

<주관심분야> Low-power circuit design, High-energy efficiency circuit design, Low-power micro-processor design

구 용 서 (정회원)

전기 전자 학회 논문지

(Journal of IKEEE) Vol. 8, No. 1 참조