

# 열처리를 통한 HgSe 나노입자 기반 박막 트랜지스터의 전기적 특성 향상

## Improved Electrical Characteristics of HgSe Nanoparticle-based Thin Film Transistors by Thermal Annealing

윤정권\*, 조경아\*, 김상식\*\*

Junggwon Yun\*, Kyoungah Cho\*, and Sangsig Kim\*\*

### Abstract

In this study, we fabricated the HgSe nanoparticle-based thin film transistors (TFTs) of back gate structure with PVA gate dielectric. The fabricated TFTs show the improved electrical characteristics in the mobility of 16 cm<sup>2</sup>/Vs and the on/off ratio of 10<sup>4</sup> after annealing process at 100 °C for 5 min. AFM images demonstrate that the decrease in surface roughness according to annealing process leads to the improvement of electrical characteristics. The change in drain current caused from the conditions of flexible substrate is investigated under 0.6% strain.

### 요 약

본 연구에서는, PVA를 게이트 유전체로 이용하여 백 게이트 (back-gate) 구조의 HgSe 나노입자 박막트랜지스터를 플라스틱 기판위에 제작하였다. 제작된 박막트랜지스터는 100 °C 에서 5분 동안의 열처리 과정을 통하여 이동도 16 cm<sup>2</sup>/Vs, 전류 점멸비 10<sup>4</sup>의 우수한 특성을 나타내었다. 열처리에 따른 표면 거칠기의 감소가 소자의 전기적 특성향상의 원인이라는 것을 AFM 이미지를 통하여 확인 할 수 있었다. 0.6%의 strain을 기판에 인가하면서 기판의 휘어짐에 따른 전류변화를 관찰하였다.

*Key words : nanoparticle, thin film transistor, HgSe*

\* 高麗大學校 電子電氣工學科  
(Dept. of Electrical Engineering, Korea University)

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)

본 연구는 한국과학재단이 지원하는 나노원천기술개발사업 (CINS), 국가지정연구실사업 (NRL), 세계수준의 연구중심대학 육성사업 (WCU)과 한국학술진흥재단이 지원하는 중점연구소지원사업, 한국산업기술개발원이 지원하는 중기거점기술개발사업, 중소기업청이 지원하는 중소기업기술혁신개발사업, 지식경제부 및 한국산업기술평가위원회의 산업원천기술개발사업(정보통신) [10030559, 차세대 고성능 유기나노 소재 및 프린팅 공정기술 개발], 서울시 산학연 협력사업 (PA090914)에 의하여 수행되었습니다.

接受日:2010年 09月 02日, 修正完了日: 2010年 09月 27日

## 1. 서론

플렉시블 전자소자를 위한 박막트랜지스터에 대한 연구는 지금까지 주로 나노선, 나노입자, 탄소나노튜브, 유기물에 대해서 이루어져 왔다 [1-6]. 그 중 나노입자를 이용하는 방식은 벌크상태 일 때 뛰어난 특성을 가지는 무기물을 나노크기의 입자로 만들어 반도체 채널을 형성하는 방법으로써, 용액공정을 이용하기 때문에 대면적공정이 가능하며 원하는 위치에 채널을 쉽게 배열 할 수 있는 장점이 있다. 이 외에도 녹는점이 낮아지는 나노입자의 특성 때문에 저온 열처리가 가능하여 나노입자 박막의 특성을 플렉시블 기판에 적용 가능한 온도에서 향상 시킬 수 있다.

그에 따라 HgSe, HgTe, PbS등 다양한 반도체 나노

입자를 사용하여 박막트랜지스터를 제작하고자 하는 연구가 이루어 졌다 [2-4]. 그 중 HgSe는 n-type 반도체 물질로써, 벌크상태일 때  $13000 \text{ cm}^2/\text{Vs}$  라는 높은 이동도를 가지고 있으며 녹는점 또한  $799 \text{ }^\circ\text{C}$ 로 다른 물질들에 비해 낮아 플렉시블 기판에 적합한 특성을 지니고 있다. HgSe 나노입자를 이용한 연구는 게이트 유전체를  $\text{Al}_2\text{O}_3$ 로 이용하거나 C-PVP를 이용하여 이루어져 왔다. 그러나 보고된 최고 이동도와 전류점멸비는 각각  $4.0 \text{ cm}^2/\text{Vs}$  와  $10^2$  으로, 로직회로를 비롯한 다양한 분야로의 응용을 위해서는 향상된 전기적 특성을 지니는 소자의 개발이 필요하다 [3,4].

그에 따라, 본 연구에서는 PVA를 게이트 유전체로 사용하여 HgSe 나노입자 박막 트랜지스터를 제작하였다. PVA는 표면 거칠기 값이 낮고 화학적 안정성도 뛰어나며 경제적인 high-k 유기물이라는 특징을 가지고 있다 [7,8]. 이러한 장점을 가지는 유기물 유전체와 저온공정이 가능한 나노입자를 이용하여 소자를 제작함으로써, 저전압 동작을 가능하게 만들고 더 나아가 나노입자 박막의 열처리 공정을 이용하여 막질의 특성을 개선함으로써, 높은 이동도와 전류점멸비 등의 향상된 전기적 특성을 가지는 소자 제작을 시도하였다.

## II. 본론

### 1. 실험 방법

HgSe 나노입자 기반의 박막 트랜지스터를 poly(ether sulfone) (PES) 기판 위에 제작하였다. 먼저 수분 및 공기의 침투를 막고 전극과 기판의 접착력 향상을 위한 층으로 C-PVP박막을 PES 기판위에 형성 시켰다 [2]. PVP의 경화를 위해  $100 \text{ }^\circ\text{C}$ 에서 5분,  $200 \text{ }^\circ\text{C}$ 에서 15분의 열처리 공정을 거쳤다. 그 위에 기존의 포토리소그래피 공정으로  $10 \mu\text{m}$ 의 폭을 가지는 패턴을 형성하고 열증착 장비를 이용하여  $80 \text{ nm}$  두께의 금 게이트 전극을 PES 기판위에 형성하였다. 게이트 절연 물질로는 PVA (7 wt%, MWt=128,000, Sigma-Aldrich)에 빛 감응물질인 ammonium dichromate을 첨가 한 용액을 사용하였다. 이 용액을  $1000 \text{ rpm}$ 으로 55초 동안 스핀코팅하여 박막을 형성하고 UV를 1분동안 조사하여 교차결합시킨 후  $120 \text{ }^\circ\text{C}$  1시간 열처리를 통하여 남아있는 수분을 제거하고 막질을 향상시켰다. 형성된 막의 두께는  $700 \text{ nm}$ 정도로 알파스텝을 이용하여 확인하였다. 그 후 게이트 전극과 동일한 방법으로  $10 \mu\text{m}$ 의 채널 길이,  $200 \mu\text{m}$ 의 채널폭을 가지는 소스/드레인 골드전극을  $80 \text{ nm}$  두께로 형성시켰다. 채널로 사용되어지는 반도체 나노입자 박막은 콜로이달 방법으로 합성된

HgSe 나노입자를 스핀코팅하여 형성시켰다 [3]. 마지막으로  $100 \text{ }^\circ\text{C}$  5분의 열처리 과정을 통하여 형성된 나노입자 박막을 열처리 하였다. 이렇게 제작된 박막 트랜지스터를 HP4155C를 이용하여 상온 공기 중에서 측정하였다.

### 2. 결과

나노입자 박막의 형성 후 열처리를 하지 않은 상태에서 박막트랜지스터의 전기적 특성을 측정하여 그림 1에 나타내었다. 그림 1(a)는  $\pm 5 \text{ V}$ 의 게이트 전압에서 작동하는 전형적인 n-type TFT의 특성을 보여주고 있다. 이는  $\text{Al}_2\text{O}_3$ 를 게이트 유전체로 이용한 소자의 동작전압 ( $\pm 15 \text{ V}$ )과 C-PVP를 게이트 유전체로 이용한 소자의 동작전압 ( $\pm 20 \text{ V}$ )보다 낮은 동작 범위이다 [3, 4]. 이 소자에 대한 출력특성이 그림 1(b)에 나타나있다. 기본적으로 박막트랜지스터의 포화전류를 나타내는 식은 다음과 같다

$$I_D = \frac{1}{2} \mu C_{oxide} \frac{W}{L} (V_{GS} - V_{Th})^2 \quad (1)$$

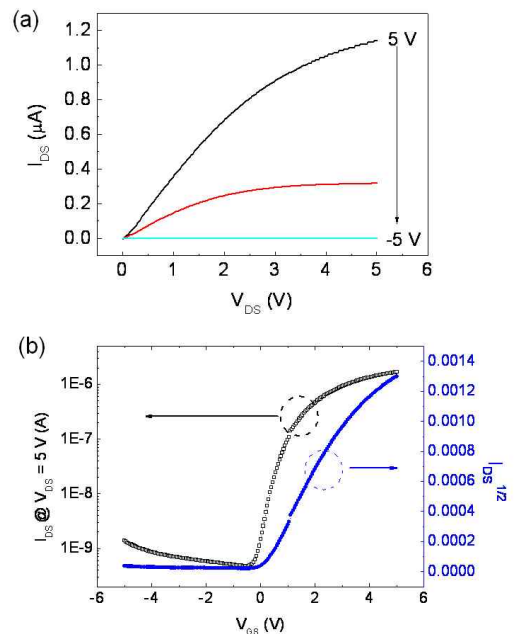


Fig. 1. The electrical characteristics before annealing: (a) VDS-ID<sub>S</sub> curve, (b) VGS-ID<sub>S</sub> curve

그림 1. 열처리 전의 전기적 특성: (a) 드레인전압에 따른 전류 곡선, (b) 게이트 전압에 따른 전류 곡선

여기서  $\mu$ 는 이동도,  $C_{oxide}$ 는 게이트 유전체의 정전 용량으로 PVA는  $1.06 \times 10^{-8} \text{ F/cm}^2$ 의 값을 가지며,  $V_{Th}$ 는 문턱전압을 나타낸다. 이 식에서 부터  $I^{1/2}$ 에 해당하는 그래프를 그린 후 그 기울기를 통해 소자의 이동도를 구하여 보았다. 그 결과 열처리 과정을 거치지 않은 소자는 이동도  $1.8 \text{ cm}^2/\text{Vs}$ , 전류점멸비  $10^3$ 의 특성을 나타내는 것으로 확인되었다.

다음으로 이 소자를  $100^\circ\text{C}$ 에서 5분의 열처리 과정을 통하여 HgSe 나노입자를 소결하는 공정을 거친 후 그에 따른 전기적 특성 곡선을 그림 2에 나타내었다. 그림에서 확인할 수 있듯이 소결을 통한 입자간 전자이동이 원활해져 on전류가 증가했음을 확인할 수 있었다. 이에 따라 전류점멸비 또한 소결전보다  $10^4$ 으로 높아졌고 소자의 이동도 역시 크게 증가한  $16 \text{ cm}^2/\text{Vs}$ 를 나타내었다. 이는 HgSe 나노입자를 이용한 기존의 TFT연구에서 보여줬던 전류점멸비  $10^2$ , 이동도  $3.9 \text{ cm}^2/\text{Vs}$ (게이트 절연체:  $\text{Al}_2\text{O}_3$ )와 전류점멸비  $10^2$ , 이동도  $1.8 \text{ cm}^2/\text{Vs}$ (게이트 절연체: C-PVP)보다 우수한 특성을 나타내는 것이다 [3, 4].

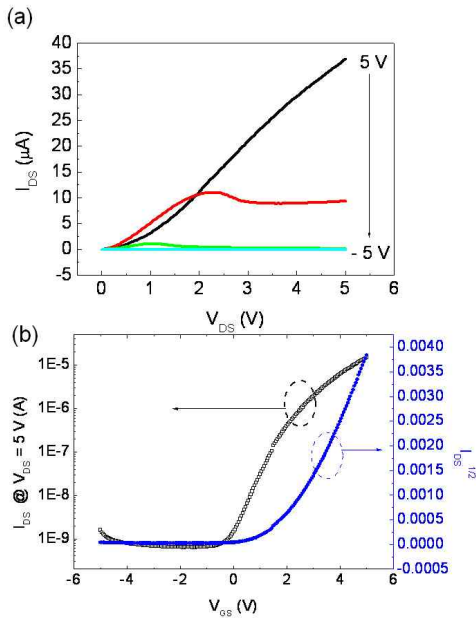


Fig. 2. The electrical characteristics after annealing: (a)  $V_{DS}$ - $I_{DS}$  curve, (b)  $V_{GS}$ - $I_{DS}$  curve  
 그림 2. 열처리 후의 전기적 특성: (a) 드레인전압에 따른 전류 곡선, (b) 게이트 전압에 따른 전류 곡선

나노입자 박막의 열처리에 따른 전기적 특성 향상의 원인을 분석하기 위해 각 단계에서의 AFM이미지를 측정해 보았다. 그림 3은 각 단계별로 표면 거칠기를 분석한 AFM이미지이다. PVA 절연체만 코팅된 소자는 root mean square (RMS) 값이  $0.29 \text{ nm}$ 였지만 HgSe 나노입자 박막 형성 후에는 RMS 값이  $0.19 \text{ nm}$ , 열처리 후에는 RMS 값이  $0.17 \text{ nm}$ 로 점차 낮아지는 현상이 관찰되었다. 그러므로 열에 의해 나노입자가 소결되면서 표면 거칠기가 감소하여 전류의 흐름이 원활해져서 제작된 소자의 전기적 특성이 증가하였음을 확인할 수 있다.

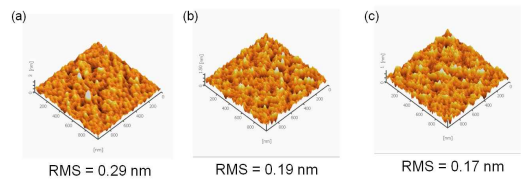


Fig. 3. AFM images of (a) PVA film, (b) HgSe NPs before annealing, (c) HgSe NPs after annealing  
 그림 3. (a) PVA, (b) HgSe 열처리전, (c) HgSe 열처리 후에 대한 AFM 이미지

다음으로 기판의 휘어진 상태에 따른 전류변화에 대한 실험을 진행하였다. 기판에 가해진 힘은  $0.6\%$ 의 strain으로 아래의 식을 사용하여 계산되어진 값이다

$$Strain = \frac{thickness\ of\ substrate + thickness\ of\ films}{2 \times Rc} \times 100 \quad (2)$$

여기서  $Rc (= 15 \text{ mm})$ 는 곡률반경을 나타낸다. 플라스틱기판을 위로 휘거나 아래로 휘었을 때 그림 4에서 보여 지듯이 전체적인 전류가 감소하는 것을 확인할 수 있었다. 이에 따라 이동도 또한 위로 휘었을 때  $1.01 \text{ cm}^2/\text{Vs}$ , 아래로 휘었을 때  $1.2 \text{ cm}^2/\text{Vs}$ 로 초기의 평평한 상태일 때 보다 감소하는 것을 확인할 수 있었다. 기판의 두께는  $200 \mu\text{m}$ 로 전극이나 채널의 두께 보다 월등히 커서 휘어짐에 의한 힘이 채널이나 전극에 미치는 영향은 적다고 생각되어 질 수 있다. 그럼에도 불구하고 전류의 감소가 나타나게 되는 원인은 기판의 휘어진 상태에 따라서 전극과의 접촉 불량이나 채널의 갈라짐 현상에 의한 것으로 사료된다.

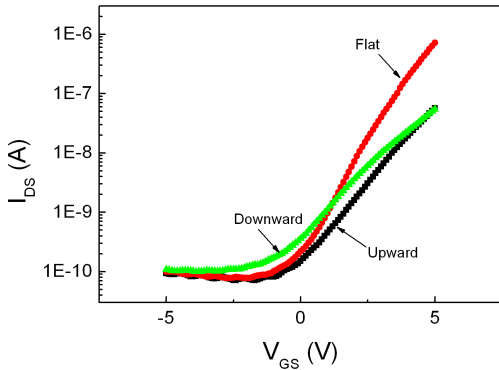


Fig. 4. The  $V_{GS}$ - $I_{DS}$  curve at flat, upward and downward conditions of substrate

그림 4. 기판의 휘어진 상태에 따른 전류변화 그래프

### III 결론

높은 성능을 가지는 박막 트랜지스터를 만들기 위해 HgSe 나노입자를 채널로 사용하는 백 게이트 구조의 박막트랜지스터를 PVA 게이트 절연물질을 이용하여 제작하였다. 제작된 박막트랜지스터는 100 °C에서 5분의 열처리 공정을 거쳐 모빌리티 16 cm<sup>2</sup>/Vs, 전류점멸비 10<sup>4</sup> 이라는 높은 특성을 보였다. 열처리에 의한 표면 거칠기의 감소가 소자 특성향상에 영향을 미쳤음을 AFM 이미지들을 통하여 확인 할 수 있었다. 이렇게 제작된 박막 트랜지스터는 120 °C 이하의 저온공정이 가능하여 차세대 플렉시블 전자소자로서의 응용이 기대되어진다.

### 참고문헌

[1] Yugang Sun, Hoon-Sik Kim, Etienne Menard, Seiyon Kim, Ilesanmi Adesida, and John A. Rogers, "Printed Arrays of Aligned GaAs Wires for Flexible Transistors, Diodes, and Circuits on Plastic Substrates," *Small*, Vol. 2, pp.1330-1334. 2006

[2] Jaewon Jang, Kyoungah Cho, Sang Heon Lee and Sangsig Kim, "Transparent and flexible thin-film transistors with channel layers composed of sintered HgTe nanocrystals," *Nanotechnology*, Vol. 19, 015204, 2008

[3] Jaewon Jang, Kyoungah Cho, Junggwon Yun, Sangsig Kim, "N-channel thin-film transistors constructed on plastic by solution processes of HgSe

nanocrystals," *Microelectronic Engineering*, Vol. 86, pp. 2030-2033, 2009

[4] Junggwon Yun, Kyoungah Cho and Sangsig Kim, "Flexible logic circuits composed of chalcogenide-nanocrystal-based thin film transistors," *Nanotechnology*, Vol. 21, 235204, 2010

[5] Qing Cao, Hoon-sik Kim, Ninad Pimparkar, Jaydeep P. Kulkarni, Congjun Wang, Moonsub Shim, Kaushik Roy, Muhammad A. Alam & John A. Rogers, "Medium-scale carbon nanotube thin-film integrated circuits on flexible plastic substrates," *Nature*, Vol. 454, pp. 495-500, 2008

[6] Jong Ho Na, Masatoshi Kitamura, and Yasuhiko Arakawa, "Complementary Two-input NAND Gates with Low-voltage-operating Organic Transistors on Plastic Substrates," *Applied Physics Express*, Vol. 1, 021803, 2008

[7] Jung Hoon Seo, Jae-Hong Kwon, Sang-II Shin, Kyung-Soo Suh and Byeong-Kwon Ju, "Organic thin film transistors with polyvinyl alcohol treated dielectric surface," *Semiconductor Science and Technology*, Vol. 22, pp. 1039-1043, 2007

[8] Tomohiro Oyama, Rongbin Ye, Mamoru Baba and Koji Ohta, "High Performance Pentacene Thin Film Transistors with a PVA Gate Dielectric," *Molecular Crystals and Liquid Crystals*, Vol. 471, pp. 205-211, 2007

### 저 자 소 개

윤 정 권 (학생회원)



2007년 : 고려대학교 전기전자전  
과공학과 졸업 (공학사)

2007년 3월~현재 : 고려대학교  
전자전기공학과 재학

(석박사 통합과정)  
<주관심분야>

나노입자를 이용한 전자소자

**조 경 아** (정회원)

1993년 : 성신여자대학교 화학과  
졸업 (이학사)  
1995년 : 성신여자대학교 대학원  
화학과 졸업 (이학석사)  
2000년 : 동경대 대학원 화학과 졸  
업 (이학박사)  
2002년 1월~현재 : 고려대학교  
전기전자전파공학과 연구교수

<주관심분야> 나노입자를 이용한 전자소자

**김 상 식** (정회원)

1996년 : Columbia University,  
Ph. D (반도체 물리)  
1996 ~ 1998년: University of  
Illinois at Urbana-Champaign  
박사후 연구원  
1998 ~ 1999년 : University of  
Illinois at Urbana-Champaign  
전문연구원

1999년 3월~현재 : 고려대학교 전기전자전파공학과 교수  
<주관심분야>

나노입자 및 나노선을 이용한 전자소자