

# 디지털카메라의 자동초점제어를 위한 피에조 구동회로의 설계

## A Design of Piezo Driver IC for Auto Focus Camera System

이 준 성\*

Jun-sung Lee\*

### Abstract

This paper describes a auto focus piezo actuator driver IC for portable digital camera. The 80[V] DC voltage is generated by a DC-DC converter and supplied to power of piezo moving control circuit. The voltage of piezo actuator needs range  $-20[V]$  to  $80[V]$  proportional to  $1[V_{p-p}]$  input control voltages. The dimensions and number of external parts are minimized in order to get a smaller hardware size. IIC(Inter-IC) interface logic is designed for data interface and it makes debugging easy, test for mass productions. The power consumption is around  $40[mW]$  with supply voltage of  $3.6[V]$ . This device has been fabricated in a  $0.6[\mu m]$  double poly, triple metal  $100[V]$  BCD MOS process and whole chip size is  $1600*1500 [\mu m^2]$ .

### 요 약

피에조소자를 구동하여 자동카메라의 초점을 자동으로 제어하는 시스템에서 피에조를 구동하는 집적회로를 설계하였다. 가공된 피에조에 변위를 만들기 위해서는 고전압 DC가 필요하다. 휴대형기기에서 사용하는  $3[V]$ ~ $4.2[V]$  정도의 낮은 전원전압을 약  $80[V]$ 로 승압하여 피에조 구동전압으로 제공하는 한편 입력되는  $1[V_{p-p}]$ 의 제어신호를  $-20[V]$ 에서  $+80[V]$ 까지 조절되도록 설계하였다. 또한 IC 외부에 적용되는 소자가 최소가 되도록 하여 시스템의 전체 크기를 줄일 수 있도록 하였다. 제어용 프로세서로 IIC(Inter-IC) 인터페이스를 적용하기 위하여 구동회로 내부에 IIC 인터페이스 디지털 로직을 내장하였는데, 이는 제품의 검증, 양산시 양품판정을 쉽게 해주는 장점이 있다. 제작공정은 AMIS 사의 I2T100 2P\_3M 공정을 사용하였는데  $0.6[\mu m]$ ,  $100[V]$ 급 BCD공정이며, 6INCH 웨이퍼를 사용하였다. 전원전압  $3.6[V]$ , 소비전력은 약  $40[mW]$  정도이다. 칩 사이징은  $1600*1500 [\mu m^2]$ 이며, 칩을 소형패키지에 내장하여 조립하였기 때문에 휴대형기기에 적용이 편리하게 되어있다.

*Keywords: Auto Focus Driver, Piezo Driver, Auto Focus Camera.*

## 1. 서 론

자동 초점기능을 가지는 디지털 카메라는 적외선 등을 이용하

여 거리를 측정하고, 측정된 데이터를 이용하여 렌즈를 이동 시킴으로써 초점을 맞춘다.<sup>[1]</sup> 렌즈를 이동시키는 수단으로는 모터나 보이스코일, 액체 렌즈 또는 피에조 등을 이용한 제품이 출시되어 있다. 모터나 보이스코일을 이용한 초점조절 방식<sup>[2][3][5]</sup>은 상대적으로 부피와 무게가 많이 나가며 전력 소모가 많다는 단점이 있다. 이를 개선하기 위하여 액체렌즈<sup>[7]</sup>나 피에조<sup>[4][6][10]</sup> 등을 사용한 방식이 활발히 연구되고 있다.

\* 인덕대학 컴퓨터전자과 (Department of Computer Engineering and Electronics, Induk University)

接受日: 2010年 9月 5日, 修正完了日: 2010年 9月 30日

특히 핸드폰, PDA등에도 카메라가 내장되는 추세이며, 고화소화에 따라 자동초점제어가 필수적인 기능으로 부각되었다. 이 때문에 기기의 소형화, 저전력화 요구에 부응할 수 있는 부품이 필요하게 되었다. 본 연구에서는 소형이면서 자동카메라의 초점을 자동으로 제어하여 적은 소비전류로 피에조를 구동하기 위한 집적회로(IC)를 설계하였다. 기존에 피에조 소자를 구동하기 위한 회로가 [2],[8],[9]등에서 연구되었다. 이 들 연구의 회로는 개별소자와 개별 IC를 사용하여 간단하며 기본적인 기능만을 수행하는 수준이었다. 본 연구에 의해 설계된 디지털 카메라 초점조절용 피에조 구동 IC는 Mobile phone, PDA, Laptop 등 다양한 영역에서 사용가능 하도록 설계하였다. 본 설계에서 중요한 사항은 다음과 같다. 피에조를 활용한 초점제어를 위해서는 우선, 피에조의 변위를 만들어 원하는 거리만큼 렌즈를 이동시키기 위한 수십[V]~수백[V] 고전압을 인가해 주어야 한다.<sup>[9]</sup> 보통 휴대용 디지털카메라는 알카라인전지나 리튬전지를 전원으로 이용한다. 이 때문에 3[V]~ 4.2[V]의 전원전압을 약 80[V]로 승압하여 제어신호를 -80[V]에서 80[V]까지 조절되게 제어하였다. 또, PWM구동을 위한 OSC를 내장하였으며 DC 전압 부스트용 트랜지스터의 게이트전압을 승압하여 스위칭 효율을 높였다. 설계된 회로는 소비전력이 약 40[mW] 정도로 적고, 패키지 외형이 작으며 응용회로에 사용되는 부품의 숫자가 아주 적어서 기기의 소형화를 달성하는 데에도 매우 유리하다. 설계된 IC의 주요 특성은 다음과 같다.

- Low power - typically 40[mW]
- Low stand by power - typically 30[μW]
- Output Driving Current
  - 1mA at moving stage
  - 150μA at stop stage
- DC-DC boost delay time - 30[ms]~100[ms]
- Gain setting time - 30[ms]
- Small footprint - 12PIN MLF
- IIC bus control - 8 bit
- Max load capacitance - 300[nF]
- 3.0[V] to 4.5[V] operation
- IIC compatible 2 wire serial interface, address 92 hex.

## II. 본 론

설계된 피에조 구동회로의 전체 블록도를 그림 1에 나타내었다.

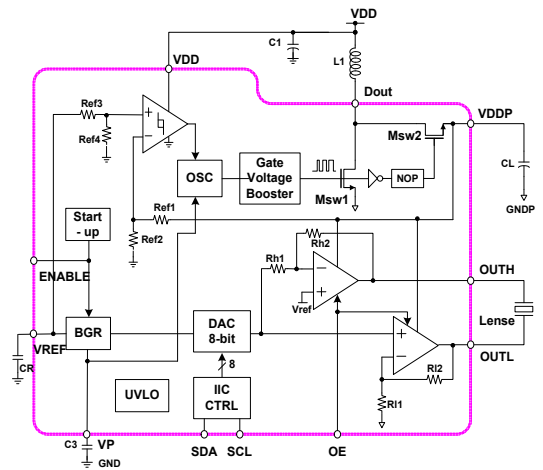


Fig 1. The Block diagram of Piezo actuator Driver  
그림 1. 피에조 구동회로의 전체 블록도

외부 핀은 모두 12개이며, 응용회로를 위한 외부 사용소자도 6개 정도로 최소화되어 있다. 설계된 IC는 OSC(Oscillator) 회로, Boost Converter 회로, NOP(Non Overlap Pulse Generator)회로, BGR (Bandgap Reference) & Reference Generator 회로, 8-bit DAC(Digital to Analog Converter)회로 그리고 1[Vp-p] 정도의 제어 신호를 약 ± 80[Vp-p]로 증폭한 후 외부 피에조를 구동하는 출력단 구동 회로 등으로 구성되어 있다.

### 2.1 BGR & Reference Generator

#### 2.1.1 Start-up 및 Bandgap Reference

그림 2는 설계된 Start-up 및 Bandgap Reference의 전체 블록도이며 주요 회로의 설계 내용은 다음과 같다.

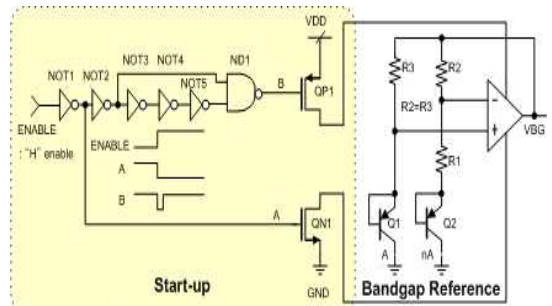


Fig 2. The Block Diagram of Start-up 및 Bandgap Reference

그림 2. Start-up 및 Bandgap Reference의 전체 블록도

왼쪽부분이 Start-up회로의 구조를 나타낸 것으로 NOT1~NOT5와 ND1, QP1, QN1으로 이루어져 있다. ENABLE 단자가 POWER ON 시 또는 강제로 "H"가 인가되면 QN1의 게이트 단자(A 단자)와 QP1의 게이트 단자(B 단자)에 그림에 표시된 short 펄스가 발생된다. 이 과정에 의해 Bandgap Reference 회로에서 기준 전압을 발생시키기 위해 사용한 OPAMP의 바이어스 회로가 Start-up이 되어 정상 동작이 되는 구조이다. 이후에 ENABLE 신호가 "L"로 바뀌더라도 동작이 유지된다. 이러한 Start-up회로의 장점은 시스템의 shutdown시 전류소모가 없다는 점이다. 다만, Start-up시 스타트 전류가 공급되는 시간이 충분하여 Start-up에 문제가 되지 않도록 주의해야 할 필요가 있다. Bandgap reference는 발생된 기준 전압(VBG)이 VDD 전압의 변화, IC 내·외부의 load 변화, 온도의 변동 등에도 변화하지 않고 일정한 전압을 각 block에 공급할 수 있어야 한다.<sup>[11]</sup> Bandgap reference의 core 소자는 Q1, Q2, R1~R3와 OPAMP 등으로 구성하여 설계하였다. Q1과 Q2는 동일한 물리적 dimension으로 디자인되어 있으나 에미터의 면적비만 n배를 유지하도록 설계하였다. 또한 R2와 R3는 동일한 저항값으로 설계하였다. 이렇게 하면 OPAMP의 (+)와 (-) 단자 전압이 동일하게 되도록 회로에 피드백이 걸려있으므로 R2와 R3저항에는 동일한 전류가 흐르게 된다. 이 전류는 Q1과 Q2에 각각 흐르게 되는데 두 전류는 같고 다이오드로 결선된 바이폴라 트랜지스터가 선형(ACTIVE) 영역에서 동작하게 된다. 따라서 OPAMP의 (+)단자와 (-)단자의 전압은 같아야하므로 아래의 식이 성립하게 된다.

$$V_{R1} = V_{BE1} - V_{BE2} = V_T \cdot \ln \cdot n$$

따라서

$$V_{BG} = V_{BE} + (1 + \frac{R_2}{R1}) V_T \cdot \ln \cdot n$$

이다. 여기서 VR1은 R1저항에 걸리는 전압, VBE1, VBE2는 Q1, Q2의 베이스-에미터간 전압, VT는 26[mV]를 의미한다. Q1과 Q2의 면적비와 R1값을 미세조정하면서 시뮬레이션을 통해 가장 최적의 VBG 값을 찾아낼 수 있다.

위 수식과 시뮬레이션 결과를 반영하여 결과를 보면 다음과 같다. VBE는 온도에 대해서 -1.42[mV/°C]이고 ΔVT는 0.085[mV/°C]이므로 최적의 값을 대입하면 VBG전압은 1.211[V](25[°C])정도의 값을 갖게 된다.

### 2.1.2 Gate Voltage Booster

모바일 기기에 적용되는 카메라의 초점조절을 위한 소자로써 피에조를 사용하는 경우에 있어서는 mobile기기의 battery 전원(3~4.5[V])을 이용하여 80[V] 내외의 고전압으로 승압

하여야 한다. 이를 위하여 DC-DC 변환기를 사용하여 Battery 전압을 boost-up 시킨다. Boost-up시에는 빠른 시간에 높은 전압과 전류를 구동하여 원하는 전원을 확보할 수 있어야 한다. 본 설계에서는 외부 코일을 스위칭하는 방식을 채용하여 DC-DC 회로를 설계하였다. 이때 DC-DC회로의 코일을 스위칭하는 트랜지스터의 드레인에 80[V] 이상의 전압이 걸리더라도 파괴되지 않아야하며, 트랜지스터의 외형 크기가 작으면서 게이트에 인가되는 High 전압이 낮더라도 코일에 흐르는 전류를 충분히 구동할 수 있어야 한다. 이러한 사항을 충족하는 제조공정을 선택하기 위하여 다양한 제조사를 조사하였다. 한편, MOS 트랜지스터의 드레인-소오스간 흐르는 스위칭 전류는 gate 전압값의 공급에 비례하기 때문에 스위칭 트랜지스터의 내압이 허용하는 한 게이트 전압은 높은 전압을 사용하는 것이 유리하다. 따라서 스위칭 트랜지스터(그림 1의 Msw1, Msw2)의 게이트 전압은 배터리 전압을 직접 사용하는 것보다 높은 전압으로 승압하여 사용할 필요가 있다. 이를 위해서 아래 그림 3과 같이 배터리 전압을 이용하여 만든 Vref (1.211[V])를 이용하여 2.5[V] 정전압으로 만들고 이를 다시 Charge pump 구조의 DC-DC 변환기를 사용하여 10[V]의 DC전압을 만들었다. 이 전압을 코일 스위칭 트랜지스터의 게이트전압으로 인가되도록 하였다. 다음 그림 3이 Charge pump 배전압(Voltage Doubler) 발생 회로의 구조를 표현한 것이다. Bandgap reference 회로에서 만든 2.5V의 DC 전압이 기준전압이다.

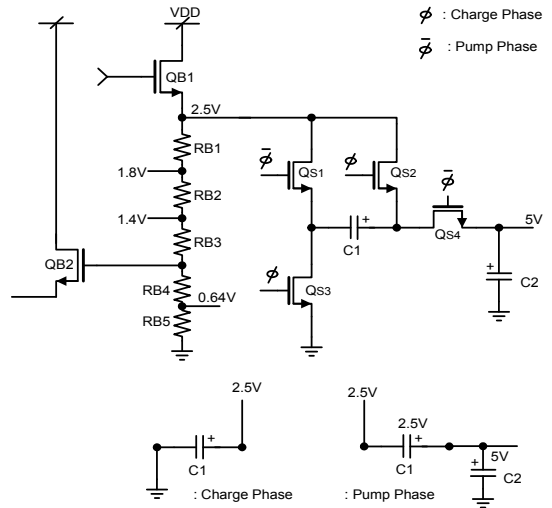


Fig 3. The Circuit structure of Charge-pump DC-DC converter

그림 3. Charge-pump DC-DC 변환기의 회로 구조

충전기간(charge phase : Φ 기간)에는 Qs2, C1, Qs3 가 연결되어 C1에 2.5[V]가 충전된다. 다음, 펌프기간 (pump

phase :  $\Phi$ (기간)에는  $Q_{S1}$ ,  $C_1$ ,  $Q_{S4}$ ,  $C_2$ 가 연결되는데  $C_1$ 의 왼쪽 단자가 2.5[V]전압에 연결되므로  $C_2$ 에는 5[V]로 충전된다.  $C_2$ 의 뒷 단에서 이러한 과정을 한 번 더 거치면 10[V]를 만들 수 있다.

### 2.1.3 Reference buffer circuit & Unit gain voltage buffer

Reference buffer block은 bandgap block에서 생성된 전원전압과, 온도에 안정된  $V_{ref}$  전압을 buffer단을 통하여 필요한 block에서 필요로 하는 다양한 Voltage reference를 제공하는 block이다. 이 회로에서 생성하는 전압은 2.5[V], 1.8[V], 1.4[V], 0.64[V]이다. 그림 3의 왼쪽부분인데 VBG를 만들기 위한 회로를 활용하여 전류버퍼와 저항 디바이드를 이용한 구조로 되어 있다. 이 buffer 구조에서는  $Q_{B1}$ 의 전류 구동능력이 뒷단에서 쓰는 전류에 비해 충분히 큰 사이즈로 설계되어야만 하는 점을 주의하여야 한다.

Unit gain voltage buffer는 위의 Reference buffer block과 동일한 동작원리를 갖는다. 앞단의 Reference buffer 회로 이외에 추가적인 Unit gain voltage buffer를 사용한 이유는 buffer 출력단에서 전압뿐만 아니라 전류를 사용하는 경우 저항 divider에 의한 전압값의 변동이 생기는데 이를 최소화하기 위함이다.

## 2.2 Power Booster

그림 4.는 Power Booster block의 전체 회로도로서 이를 나누어 설명하고자 한다.

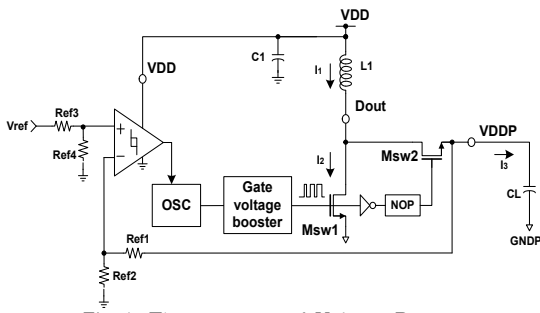


Fig 4. The structure of Voltage Booster  
그림 4. Voltage Booster의 회로 구조

### 2.2.1 Oscillator

Oscillator(OSC)는 battery 전원(VDD)을 이용하여 80[V]의 VDDP 전압을 만들기 위해서 필요한 클럭과 Charge pump DC-DC 변환기의 클럭을 만들기 위한 block이다. Oscillator

에서 boost up시키기 위한 동작은 뒷 절에서 설명하도록 하고 여기서는 oscillator의 동작원리를 설명하겠다. 그림 5는 Oscillator의 회로 구조를 나타낸다.

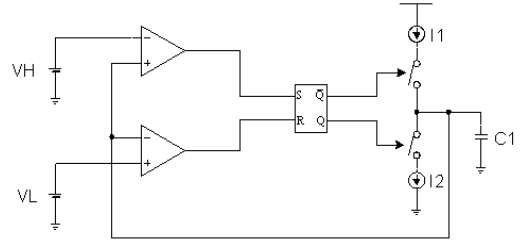


Fig 5. The structure of Oscillator  
그림 5. Oscillator의 회로 구조

$C_1$ 은  $I_1$ 에 의해서 충전되고  $I_2$ 에 의해서 방전되면서 oscillation하게 된다. 초기에  $C_1$ 의 전압은 0[V]에서 시작하여  $V_H$ 전압에 도달할 때까지 충전을 하게 되며  $C_1$ 전압이  $V_H$ 전압을 넘어서자마자  $I_2$ 전류에 의해 방전되는 과정을 반복하게 된다. 주파수를 결정하는 요인은 충전전류( $I_1$ )와 방전전류( $I_2$ ),  $C_1$ , 그리고  $V_H$ ,  $V_L$ 의 전압 차이이다. 충전시간( $T_1$ )은 수식으로 나타내면  $VH-VL$ 을  $V$ 라 하면  $T_1 = CV/I_1$ , 방전시간( $T_2$ )은  $T_1 = CV/I_2$ 가 되고  $T_1 + T_2$ 가 주기가 된다. 또한  $I_1$ 과  $I_2$ 의 비로 DUTY를 결정할 수 있게 된다. 이를 파형으로 나타내면 그림 6과 같다.

### 2.2.2 Boost up operation

그림 4의 OSC 블록에서 만든 발진신호의 진폭을 gate voltage booster에서 10[V]로 증폭한다.

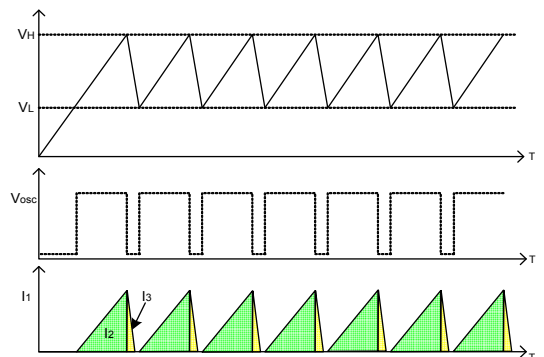


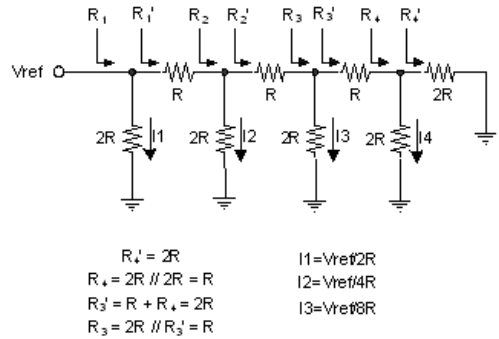
Fig 6. The operation waveform of Oscillator  
그림 6. Oscillator의 동작 파형

이 신호가 스위칭 트랜지스터 Msw1과 Msw2가 교대로 스위칭을 하면서 외부 콘덴서(CL)에 전류를 충전시키게 된다. Msw1의 게이트전압이 높게 인가되면 이 트랜지스터가 "ON" 되며, Msw2는 "OFF"된다. 이에 따라  $I_2 = \frac{V_{DD}}{L_1} T$  의 식에 따라 Msw1의 드레인-소오스를 통해 접지쪽으로 전류가 흐르게 되는데,  $V_{DD}/L_1$ 의 기울기를 가지고 증가하는 그래프를 갖는다. 이 후에 Msw1이 "OFF"가 되고 Msw2가 "ON"이 되면 음의 기울기를 가지고 L의 양단간에 걸리는 전압에 비례하는 기울기를 가지는 I3가 CL을 충전시키면서 전압을 boost up시키게 된다. 그러나 이 경우에 boost up되는 전압이 높을수록 인덕터(L1) 양단간의 음의 전압이 크게 걸리면서 I3의 기울기가 급격히 음의 방향으로 증가하여 효율이 떨어지게 된다. 이를 감안하여 초기에 흐르는 전류 I2와 그 기울기를 잘 설정해 주어야 한다.

그림 6의 세 번째 파형에 이를 나타내었다. 실제 회로에서는 스위칭 트랜지스터에 존재하는 저항성분 때문에 전류 파형이 포화되는데 이러한 현상 때문에 스위칭 레귤레이터를 설계할 때에는 전류를 제어하기 위한 입력 주파수와 duty, 인덕터 크기와 스위칭 트랜지스터의 W/L 비 등을 주의깊게 설정할 필요가 있다.

### 2.3 DA 변환기 (DAC)

그림 7은 DAC의 여러 구조 가운데서 4-bit R-2R based DAC의 기본 동작원리를 나타내기 위한 그림이다.<sup>[12]</sup> 기본 저항 R과 2R의 저항 배열을 통하여 2<sup>n</sup>배 만큼 전류를 더하는 방식이다. 아래 수식을 참고해서 보면 R4'=2R이고 R3'=2R이 된다. 즉 세로축의 2R저항은 그 오른쪽으로 보는 등가저항이 모두 2R이 되어서 항상 자신의 전류와 같은 전류가 오른쪽으로 흐르게 된다. 그림 아래쪽에 수식으로 정리하여 나타 내었다. 위의 원리를 이용하여 그림 8과 같이 회로로 구현하였다. OPAMP를 이용하여 OPAMP의 positive 입력단을 virtual GND로 잡는다. 이 후 하중(Weight) 스위치를 이용하여 2R에 흐르는 전류를 더할지 여부를 결정하게 된다. 설계된 최종 DAC 구조는 8bit D/A 변환기이다. 피예조의 위치 제어 신호(Focus 신호)는 IIC 블록에서 만들어 B<0>~B<7> 단자로 입력된다.



$$\begin{aligned}
 R_4' &= 2R & I_1 &= V_{ref}/2R \\
 R_4 &= 2R // 2R = R & I_2 &= V_{ref}/4R \\
 R_3' &= R + R_4 = 2R & I_3 &= V_{ref}/8R \\
 R_3 &= 2R // R_3' = R
 \end{aligned}$$

Fig 7. The structure of DAC  
그림 7. DAC의 구조

이와 같은 구조를 사용하는 이유는 gain boost단이 differential 구조이기 때문에 IIC에서 들어오는 디지털입력에 대해 서로 반대의 기울기를 갖는 아날로그 신호를 이용하기 위해서이다. 8-bit D/A 변환기에 의해 변환된 아날로그 신호값은 VDACB이고 이 신호를 뒤집은 것이 VDAC값이다.

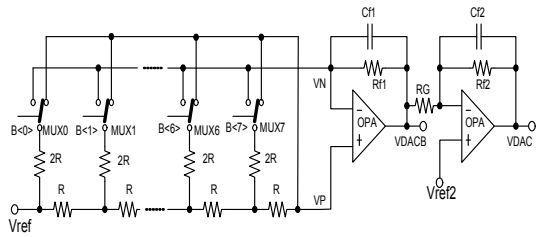


Fig 8. The schematic of 8-bit DAC  
그림 8. 8-bit DAC 회로

### 2.4 OUTPUT Driver

그림 9의 피예조 구동증폭기는 그림 8의 DAC에서 만든 위치 제어 전압(VDAC와 VDACB : DC 1.0V range)을 약 ±80[V] 정도로 증폭 하는 기능을 가지고 있다. 그런데 DAC 회로에서 전달되어 오는 신호의 전원은 battery에서 레귤레이트된 전압으로 약 3.0[V] 정도이고 driver 회로의 전원은 80[V]로 승압된 전압(VDDP)이다. 따라서 서로 다른 전원의 신호를 약 50여배 가량 증폭할 수 있도록 고려되어야 한다. 이는 아날로그 신호의 level shifting에 따른 파형의 왜곡에도 잘 동작하여야 하며 적절한 증폭도를 가지도록 해야 하는 어려움이 있다. 아래에 있는 그림 9는 이러한 어려움을 해결하기 위해 설계한 2단 증폭기 이다. 이 회로는 왼편의 저전압 증폭기로부터 1차 증폭된 두개의 출력 신호 V1, V2를 high voltage 전원을 사용하는 두 번째 증폭기에서 재차 증폭하는 구조이

다. 이러한 과정에서 level shift가 일어나면서 증폭을 한다. 왼쪽 회로의 전원전압은 3.0[V]이고 오른쪽 레벨변환 및 증폭 회로는 Voltage Booster 회로에서 승압한 80[V] 전원을 사용하고 있음을 알 수 있다. 특히 조심해야 할 것은 80[V]의 고전압에 의한 저전압 소자의 파괴가 일어나지 않도록 분리 및 차단에 유의해야 한다. 칩 내에서 접지 처리를 할 때도 서로 영향을 주고 받지 않도록 배치와 배선에 유의해야 할 것이다.

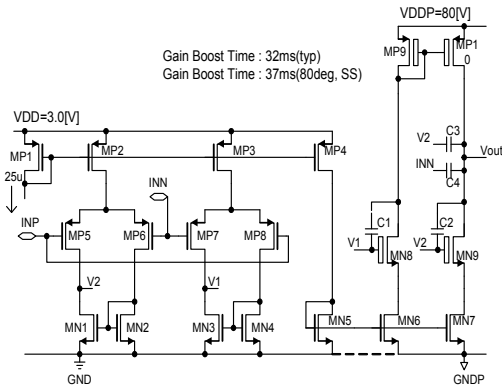


Fig 9. The detailed amplifier circuit of piezo actuator driver.

그림 9. 피에조 구동 증폭기의 회로

Output Driver 회로의 최종 구조는 그림 10과 같다.

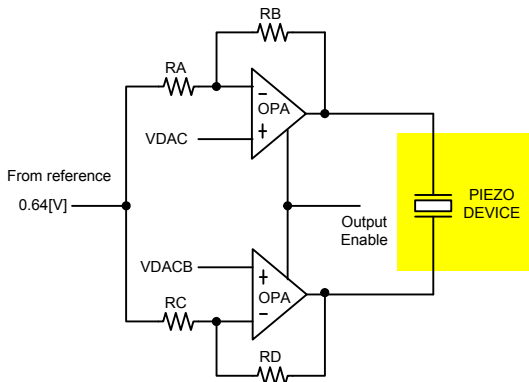


Fig 10. The BTL structure of piezo actuator driver.

그림 10. 피에조 구동 증폭기의 BTL 구조

이는 그림 9의 피에조 구동증폭기를 BTL(Bridge Tied Load) 구조로 만든 것이다. DAC에 만든 차동신호(Differential signal) VDAC와 VDACB 단자를 아래, 위 OPAMP의 (+) 단자에 각각 연결하였다. BTL로 묶인 각 OPAMP는 RA와 RB, RC와 RD 비를 조절하여 증폭율을 설정하고, 바이어스 전압은

Bandgap Reference 회로에서 발생시킨 0.64[V]를 연결하였다. DAC의 두 출력단자 (VDAC, VDACB)를 BTL의 입력으로 연결하여 증폭시킨 후 양단 출력에 피에조 소자를 연결하였다. 위치 제어 전압에 비례하는 출력전압에 의해 피에조가 변위되어 렌즈를 이동시킴으로써 초점이 조절되게 된다.

### 2.5 IIC (Inter-IC) interface

직렬(serial)버스는 비록 시간 대비 처리량에 있어서 병렬(parallel) 버스보다 뒤지지만 결선수 및 연결핀이 적어서 유리한 면이 있다. IIC버스는 버스에 연결된 장치간에 두 개의 선인 SDA(Serial Data)와 SCL 직렬클럭(Serial Clock)에 의해 정보가 전달된다. 각 장치는 자신만의 유일한 번지에 의해 인식이 되고 사용자가 의도하는 해당장치의 기능에 따라 수신단 또는 송신단 중의 하나로 작동될 수 있다. 장치의 데이터 전송시에는 주(master)인지 또는 종속(slave)인지를 고려하면 된다. 이때 주 장치는 버스상의 데이터 전송을 초기화하고 전송을 허용하는 클럭신호를 만들어주며 그때 지정되는 모든 장치는 종속장치로 간주된다. 또한 IIC버스는 다수의 주장치를 허용하는 (multi-master)버스인데, 이것은 두 개 이상의 버스제어장치가 연결이 가능하다는 것을 의미한다. 이번에 설계한 IC에서는 IIC 버스를 이용하여 포커스 구동단에 인가할 전압의 크기, 범위 등을 제어할 수 있도록 설계하였고, 특히 제작된 IC의 양품 여부를 손쉽게 확인할 수 있도록 제어 로직을 추가하였다.

### III. 실험

설계되고 HSPICE로 검증이 완료된 회로를 AMIS 사의 I2T100 2P\_3M 공정을 사용하여 도면으로 설계하였다 설계

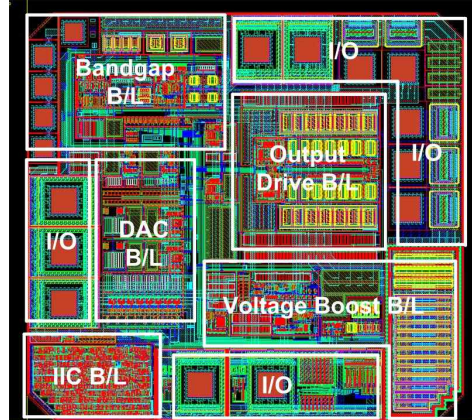


Fig 11. The plot of core chip

그림 11. 레이아웃 도면



된 전체 회로의 레이아웃도면이 그림 11에 나타나 있으며 PAD 부분은 빠져 있다. A(사)의 I2T100 2P\_3M은 최소 디지털 인-로이 0.6[um]이며, 최대 내압은 100[V]급 BCD공정이고, 6-INCH 웨이퍼로 칩이 제작된다.

그림 12는 가공된 웨이퍼를 조립하여 패키지로 만든 최종 제품의 사진이다. 설계된 모든 회로는 블록별, 기능별로 시뮬레이션을 통해 검증하였다. 또한 응용회로를 검토하여 실제 칩의 동작 상태를 고려한 전체 칩의 시뮬레이션 조건을 설정하여 전체 칩에 대한 시뮬레이션도 실시하였다.

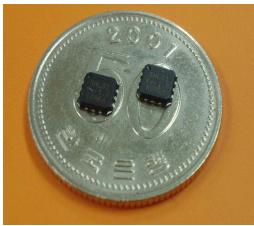


Fig 12. The package  
그림 12. 제작된 패키지

그림 13에는 Oscillator 회로를 검증한 시뮬레이션 파형이 나타나 있고, 그림 14는 Power boost 회로의 시뮬레이션 파형을 나타내었는데 그림 4에서 사용한 기호 I1, I2, I3와 비교하여 검토하였다. VH는 최종 boost 되는 DC 전압을 나타내며 외부 피에조에 충전된다. 이 파형을 전체 구간으로 확대해 보면 그림 15의 오른쪽 파형과 같다.

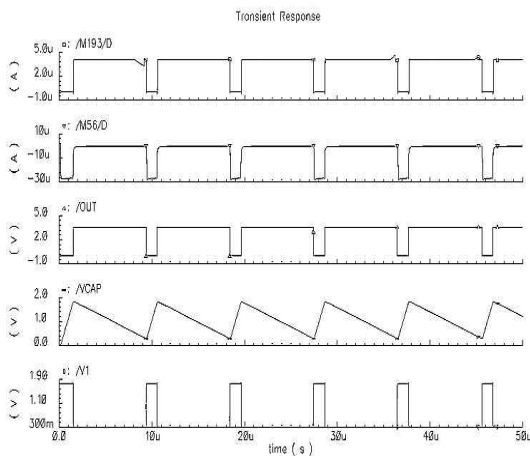


Fig 13. The simulation waveform of Oscillator  
그림 13. Oscillator 회로의 simulation 결과파형

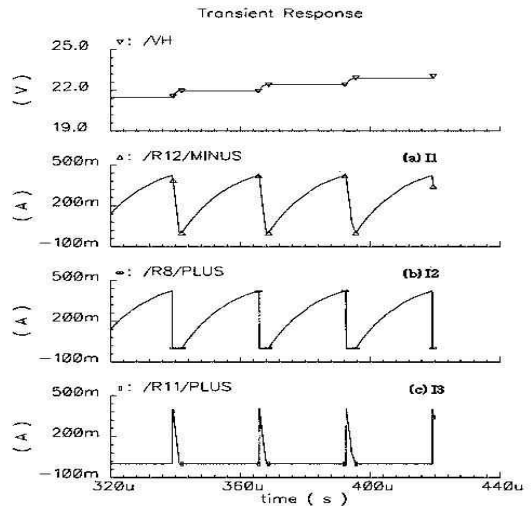


Fig 14. The simulation waveform of Power booster.  
그림 14. Power boost 회로의 simulation 결과파형

그림 15는 설계된 피에조 구동회로의 전체 칩을 동작시켜 gain을 boost하는 과정을 simulation 한 결과파형이다. 피에조 액추에이터의 등가 커패시턴스의 값은 300[nF]이다. 그림의 왼쪽 파형은 IIC에서 받는 디지털 입력이고 이러한 디지털 입력은 DAC를 거치면서 오른쪽 아래 그림처럼 VDAC/VDACB로 각각 아날로그 신호로 바뀌게 된다. 이 바뀐 아날로그 신호를 OUTPUT Driver단에서 적절히 증폭해 주면 피에조 구동이 가능한 DC전압이 나오게 된다. 이러한 결과가 오른쪽 위 파형에 나타나 있으며 IIC에서 8-bit 신호가 <00000000>부터 <11111111>까지 인가될 때 그에 해당하는 -20[V] ~ 80[V]에 해당되는 전압을 출력전압으로 내 보내게 된다. 피에조 출력 구동범위는 -80[V] ~ +80[V]이지만 시스템의 요구사항을 반영하여 범위를 조정한 결과이다.

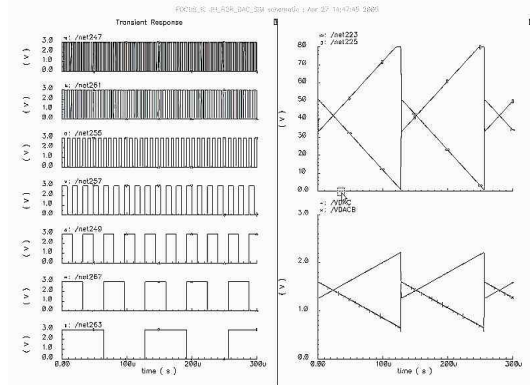


Fig 15. The simulation waveform of Boost  
그림 15. Boost 출력 전압 파형

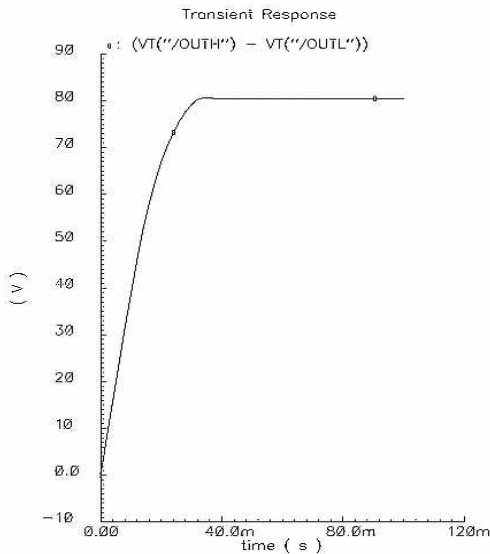


Fig 16. The waveform of Boost up time.  
 그림 16. Boost up 시간 검증 파형

또한, 그림 16은 디지털 입력 신호가 <00000000> 에서 <11111111>가 될 때 즉, 초기 상태에서 80[V]까지 gain boost하는데 까지 걸리는 시간을 simulation한 값이다. 초기 상태에서 80[V]까지 boost하는데 걸리는 시간은 대략 30[ms] 정도 걸리는 것을 확인하였다.

그림 17은 전원전압 3.6[V]를 boost-up하여 80[V]로 만들었을 때 전압의 선형성을 관찰하기 위하여 측정한 파형이다. 이와 같이 모든 비트에서 약 1.5[%]이내의 오차율을 보여 상품화하는데 전혀 문제가 없음을 확인하였다.

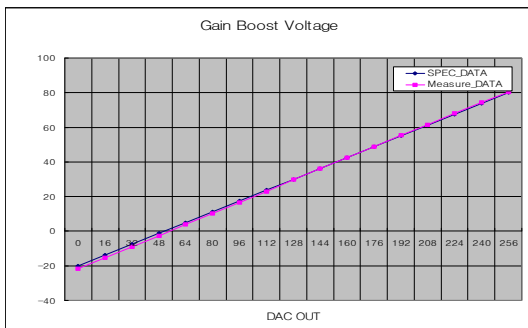


Fig 17. The measurement data for Linearity of 80[V] Boosted output Voltage

그림 17. 제작된 샘플에 대한 비트별 80[V] 승압 출력 전압의 선형성

#### IV. 결론

본 논문에서는 초소형 디지털카메라에 적용할 수 있는 자동초점조절제어용 피에조 액추에이터 구동IC를 설계하였다. 3[V] 내외의 낮은 전원 전압을 80[V]로 변환하는 Boost converter 회로, 렌즈와 피사체간 거리로 부터 추출한 약 1[Vp-p] 전압을 80[Vp-p] 전압으로 증폭하는 출력단 Amp 회로 등의 개별 동작을 확인하였다. Boost Converter는 코일과 스위칭 트랜지스터 그리고 쇼트키다이오드를 구성하여 만들게 되는데 본 설계에서는 외장소자인 쇼트키다이오드 대신에 스위칭 트랜지스터(그림1의 Msw2)를 IC 내부에 내장하여 그 기능을 대신하였는데 원하는 성능을 얻어 내었다. 출력단 Boost Converter는 전단증폭부, 후단 증폭부등 두 단(Two stage)으로 설계하였다. 3.6[V] 전원에서 동작하여 증폭된 전단증폭부의 신호를 80[V]의 전원에서 동작하는 후단 증폭부에서 재차 증폭하여 최대 ±80[V]까지 증폭할 수 있도록 설계하였고 시스템에서 피에조의 적정동작 영역인 -20[V]~80[V] 범위로 증폭하도록 조절하였다. VDDP 단자에 10[uF]를 연결한 상태에서 승압시간은 약 30[ms] 정도로 나타났다. 이로써 제품에 적용하는데 좋은 상태임이 확인되었다. VDD단자에서 공급되는 소비전류는 렌즈구동시 최대 전류와 대기상태의 전류소모량이 각각 11[mA]와 3[uA] 정도이다. NOP회로, UVLO 회로 등을 사용하여 전력변환손실의 축소, 저전압상태에서 시스템의 안정성을 피하였다. 설계한 전체 칩을 묶어서 시뮬레이션으로 검증하여 동작 특성을 확인하였다. 향후 칩으로 제작하여 실제 시스템 상에서의 특성을 확인 할 예정이다.

#### 참고 문헌

- [1] 김갑용, 김영길, "이동단말기 카메라 자동초점 조절 방식에 관한 연구," 한국해양정보통신학회 추계종합학술대회, 제 9권, 제2호, pp. 1003-1006, 2005.
- [2] 한찬호, 김태규, 권성근, "VCM을 이용한 휴대폰카메라에서의 렌즈 위치 오차 보상 고속 자동 초점 조절 알고리즘," 멀티미디어학회 논문지, 제 9권, 제 5호, pp. 585-1594, 2006.
- [3] 이승진, 안비오, 김현우, "백만화소급 카메라폰의 자동초점 시스템," 대한전기학회 하계학술대회 논문집, pp. 3078-3080, 2005.
- [4] Hyung-Kun Lee, et al, "Electroactive Polymer Actuator for Lens-Driver Unit in Auto-Focus Compact Camera Module," ETRI Journal, Vol. 31, No 6, pp. 695-702, Dec, 2009.



- [5] Chung Myung-Jin, Son Sung-Yong, " Development of Compact Auto Focus Actuator for Camera Phone by Applying New Electromagnetic Configuration, Journal of Mechanical Science and Technology (KSME int. J), Vol. 20, No. 12, pp. 2087-2093, 2006.
- [6] 윤용진, 권오덕, 강성화, 임기조, "휴대폰 카메라모듈용 초음파모터의 제작 및 특성분석, " 대한전기학회 하계학술대회 논문집, pp. 1853-1855, 2005.
- [7] 이준규, 박경우, 강현오, 김재건, 김학린, 공성호, "일렉트로웨이팅구동형 MEMS기반 액체렌즈, " 대한전기학회 하계학술대회 논문집, pp. 1537-1538, 2009.
- [8] 박재웅, "압전 motor의 구동회로에 관한 연구, " 대전산업대학교 논문집, 제 10권, 2집, pp. 115-128, 1993.
- [9] 천동필, 임종석, 안상윤, 김현수, 신승진, 유원준, "디젤 커먼레일 연료 시스템에서 피에조 인젝터 구동회로, " 한국자동차공학회 추계학술대회논문집, pp. 391-396, 2003.
- [10] B. L. Jiao and J. D. Zhang, "Torsional Modes in Piezo Helical Spring," IEEE Transactions on Ultrasonic , Ferroelectrics, and Frequency Control, Vol. 46, No. 1, pp. 147-151, Jan, 1999.
- [11] 구용서, 이강운, 하재환, 양일석, " CCD 이미지 센서용 Power Management IC설계, 전기전자학회 논문지, Vol. 13, No. 4, pp.63-68, 2009.
- [12] Allen. Phillip. E, Holberg. D.R, "CMOS Analog Circuit Design, 2/E", Oxford University Press, 2002.

---

저 자 소 개

---

**이준성** (정회원)

1985년 경북대학교 전자공학과 학사  
1997년 연세대학교 산업대학원 석사  
2003년 성균관대학교 전기전자컴퓨터공학부 공학박사

1984.12 ~ 1995. 9 삼성전자 반도체연구소 마이크로사업부 개발1실 선임연구원, 프로젝트리더

1995.10.~ 1998. 9 삼성전자 ASIC사

업무 기반설계팀 선임연구원, 파트리더

1999. 3 ~ 현재 인덕대학 컴퓨터전자과 부교수

<주관심분야>

아날로그집적회로설계, 오디오(디지털, 아날로그), 비디오 구동회로, 아날로그 비디오 프로세서, 전력용반도체, 센서구동회로,