
다중점 위상검출기를 이용한 클럭 및 데이터 복원회로 설계

Design of a Clock and Data Recovery Circuit Using the Multi-point Phase Detector

유순건*, 김석만**, 김두환**, 조경록***
(주)에이디텍*, 충북대학교 정보통신공학과**, 충북대학교 전자정보대학***

Sun-Geon Yoo(ozzy6@naver.com)*, Seok-Man Kim(smkim@hbt.cbnu.ac.kr)**,
Doo-Hwan Kim(dhkim@hbt.cbnu.ac.kr)**, Kyoung-Rok Cho(krcho@cbnu.ac.kr)***

요약

본 논문에서는 다중점 위상검출기(Phase detector: PD)를 이용한 1Gbps 클럭 및 데이터 복원(Clock and data recovery: CDR)회로를 제안한다. 제안된 위상검출기는 데이터의 천이 모서리와 클럭의 상승/하강 모서리 3점을 비교하여 up/down 신호를 생성한다. 기존의 위상검출기 회로는 클럭 주기의 배수 만큼의 up/down 펄스폭을 갖는 출력으로 전압제어발진기(Voltage controlled oscillator: VCO)를 조절하는 펄스폭변조(Pulse width modulation: PWM)방식을 사용한다. 제안된 위상검출기 회로는 클럭 반주기만큼의 up/down 펄스폭을 갖는 출력으로 전압제어발진기를 조절하는 펄스수변조(Pulse number modulation: PNM)방식을 사용하여, 전압제어발진기를 미세하게 조절함으로써 지터를 줄일 수 있다. 제안된 위상검출기를 이용한 클럭 및 데이터 복원회로는 1Gbps의 전송률을 갖는 231-1개의 랜덤 데이터를 이용하여 테스트되었고, 지터와 전력소비는 각각 7.36ps와 12mW로 저전력, 적은 지터의 특징을 보였다. 제안된 회로는 0.18um CMOS 공정에서 1.8V 전원으로 설계되었다.

■ 중심어 : | 클럭 데이터 복원 | PLL | 위상 검출기 |

Abstract

The 1Gbps clock and data recovery (CDR) circuit using the proposed multi-point phase detector (PD) is presented. The proposed phase detector generates up/down signals comparing 3-point that is data transition point and clock rising/falling edge. The conventional PD uses the pulse width modulation (PWM) that controls the voltage controlled oscillator (VCO) using the width of a pulse period's multiple. However, the proposed PD uses the pulse number modulation (PNM) that regulates the VCO with the number of half clock cycle pulse. Therefore the proposed PD can controls VCO preciously and reduces the jitter. The CDR circuit is tested using 1Gbps $2^{31}-1$ pseudo random bit sequence (PRBS) input data. The designed CDR circuit shows that is capable of recovering clock and data at rates of 1Gbps. The recovered clock jitter is 7.36ps at 1GHz and the total power consumption is about 12mW. The proposed circuit is implemented using a 0.18um CMOS process under 1.8V supply.

■ keyword : | Clock and Data Recovery(CDR) | Phase Locked Loop(PLL) | Phase Detector(PD) |

* 본 연구는 교육과학기술부와 한국산업기술재단의 지역혁신인력양성사업으로 수행된 연구결과임.

접수번호 : #100127-005

심사완료일 : 2010년 02월 17일

접수일자 : 2010년 01월 27일

교신저자 : 조경록, e-mail : krcho@cbnu.ac.kr

I. 서론

클럭 및 데이터 복원(Clock and data recovery: CDR)은 광통신, 백플레인(Backplane), 칩과 칩 사이의 통신 등 많은 곳에 사용되는 고속 송수신기의 매우 중요한 기능이다. 정보 및 데이터 통신 시스템인 Gbps급 광통신용 송수신기나 이더넷(Ethernet) 시스템은 고속의 동작 속도가 요구될 뿐만 아니라 대용량의 데이터를 처리, 저장 및 전송 할 수 있는 성능이 요구되고 있다. 이러한 시스템 사이간의 데이터 송수신에서는 클럭의 동기화와 정확한 데이터의 송수신을 위해 클럭 및 데이터 복원회로가 사용되고 있다. 고속으로 데이터를 전송할 때는 클럭을 혼합한 데이터를 수신단으로 보낸다. 이때 수신단은 수신된 신호에 동기화된 안정적인 클럭이 필요하고, 이는 전체 시스템의 성능을 좌우하는 중요한 요소이다. 클럭 및 데이터 복원회로를 통해 데이터에서 추출된 동기화된 클럭에 지터(Jitter)가 있더라도 데이터는 정확히 복원돼야 한다. 이러한 클럭 및 데이터 복원과정은 위상검출을 하는 위상검출기(Phase detector: PD)로부터 시작된다.

위상검출기는 일종의 비교기로써 2개의 주파수를 갖는 신호 입력을 받아서 2개가 얼마나 위상차가 있는지 알아내는 역할을 한다. 기존의 Hogge 위상검출기는 입력 위상차의 크기에 따라 출력의 크기가 변하는 선형 위상검출기이기 때문에 다중 위상을 사용할 수 없고, 입력 위상차의 크기가 작은 미세조절의 경우 굉장히 좁은 펄스폭을 만들어야 하는 어려움이 있다[1]. 또 다른 Alexander 위상검출기는 up 또는 down 신호가 항상 존재하고 up/down 조절신호의 펄스폭이 커서 지터가 크다[2].

본 논문에서는 위와 같은 단점들을 극복하기 위해 다중점 위상검출기를 제안한다. 제안된 위상검출기는 기존의 위상검출기보다 구조가 간단하여 저전력 특성을 갖고, 지터가 작다. II장에서는 클럭 및 데이터 복원회로의 구조를 설명하고, 세부적으로 각각의 블록들의 구조와 동작 및 설계를 보여준다. III장에서는 제안된 위상검출기를 이용한 시뮬레이션의 결과확인하여, IV장에서 결론을 맺는다.

II. 클럭 및 데이터 복원회로 구조

[그림 1]은 일반적인 클럭 및 데이터 복원회로의 구조이다. 설계된 클럭 및 데이터 복원회로는 그림과 같이 위상검출기, 전하펌프(Charge pump), 루프필터(Loop filter), 전압제어발진기(Voltage controlled oscillator: VCO)로 구성된다. 지터를 줄이기 위해 제안된 위상검출기를 이용했다. 전하펌프는 일반적인 전압/전류 변환기를 사용하였고, 저역통과필터(Low pass filter: LPF)인 루프필터로 연결된다. 전압제어발진기는 차동입력 지연소자와 버퍼를 이용하여 링타입으로 구성했다. 전송되어온 데이터와 복원된 클럭을 입력으로 하는 MUX를 이용하여 데이터를 복원하였다.

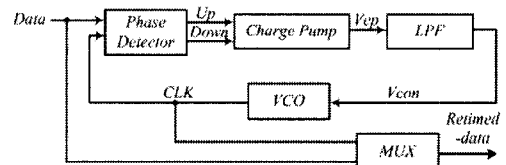
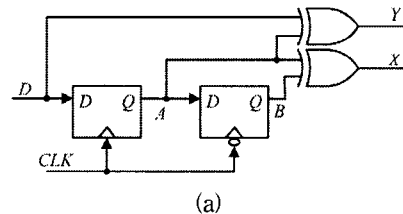
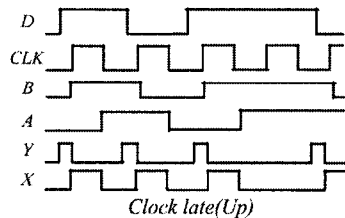


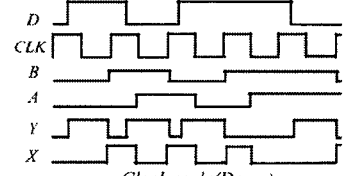
그림 1. 일반적인 클럭 및 데이터 복원회로의 구조



(a)



Clock late(Up)



Clock early(Down)

(b)

그림 2. Hogge 위상 검출기^[1] (a) 구조 (b) 타이밍도

1. 위상검출기

1.1 기존의 위상검출기

[그림 2]는 기존의 Hogge 위상검출기를 나타낸다 [1][3][4]. Hogge 위상검출기의 구조는 D플립플롭과 XOR 게이트로 이루어진 단순 위상검출기를 2개 이어 [그림 2](a)와 같이 구성된다. [그림 2](b)는 Hogge 위상검출기의 동작을 나타내는 타이밍도이다. Hogge 위상검출기는 선형 위상검출기로서 입력 데이터와 클럭의 위상차를 비교하여 그 차이에 비례하는 너비를 가지는 펄스를 생성한다. 이론적으로 클럭과 데이터의 위상이 맞춰진(Lock) 상태에서는 출력이 '0'이 되어 전압제어발진기의 조절전압이 움직이지 않아 지터가 거의 '0'이 된다. 그러나 위상검출기의 출력 펄스폭을 입력 위상차에 비례해 줄이는 것은 한계가 있고 회로의 구현이 매우 복잡하고 어려워진다. 또한, 위상검출기에 입력 데이터를 샘플링없이 직접 사용해야 하므로 데이터의 아날로그 전처리 블록에 노이즈가 적고 신호 왜곡이 적은 제한 증폭기(Limiting amplifier) 회로가 요구된다[5].

[그림 3]은 기존의 Alexander 위상검출기를 나타낸다 [2-4]. Alexander 위상검출기의 구조는 [그림 3](a)와 같이 Hogge 위상검출기에 D플립플롭 2개를 추가한 형태이다. [그림 3](b)는 Alexander 위상검출기의 동작을 나타내는 타이밍도이다. Alexander 위상검출기는 비선형 위상검출기로서 위상 오차의 크기에 대한 정보는 무시하고 위상 오차의 극성만이 출력에 영향을 준다. 따라서 up/down 신호의 최소 펄스폭은 클럭 주기와 같다. 즉, up/down 신호의 최소 주기는 클럭 주기의 2배이다. Alexander 위상검출기는 Hogge 위상검출기의 단점을 보완하여 극히 좁은 펄스를 만들 필요가 없다. 또한, 샘플링된 데이터를 이용하여 클럭과 데이터의 위상을 비교하기 때문에 입력 데이터를 직접 이용하는 Hogge 위상검출기와 다르게 다중 위상 클럭을 이용할 수 있고 제한 증폭기가 필요하지 않다. 그러나 Alexander 위상검출기는 데이터와 추출된 클럭이 동기화되어도 클럭 주기만큼 큰 펄스폭의 up 또는 down 신호가 계속 발생하므로 Hogge 위상검출기보다 지터 특성이 나쁘다[5].

1.2. 제안된 다중점 위상검출기

[그림 4]는 제안된 다중점 위상검출기이다. [그림 4](a)는 위상검출기의 up-down 검출 개념이다. 제안된 위상검출기는 클럭의 연속적인 두 모서리에서 샘플링된 데이터의 레벨 비교를 통한 천이의 발생 유무를 갖고 클럭의 빠름(Early : down), 느림(Late : up)을 판단한다. 즉, 클럭의 하강/상승 모서리 사이에 데이터의 천이가 있으면 up 신호가 발생하고, 반대로 상승/하강 사이에 데이터의 천이가 있으면 down 신호가 발생한다.

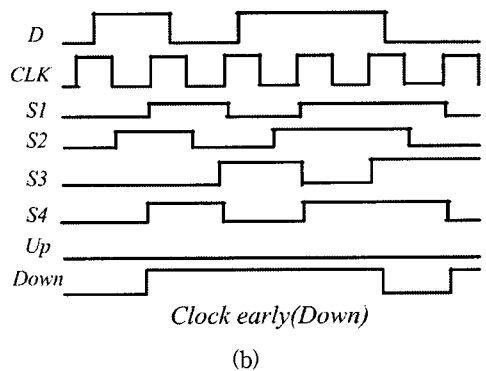
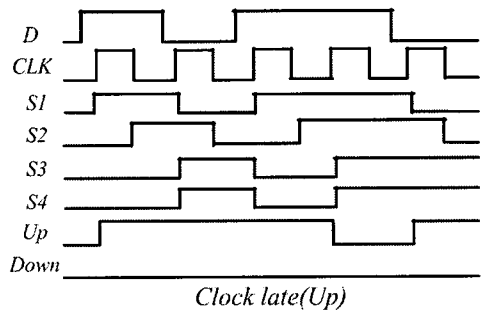
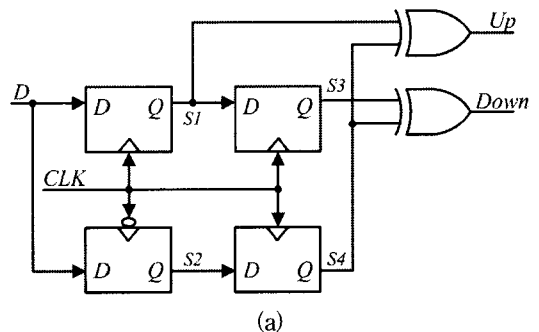


그림 3. Alexander 위상 검출기^[2]
(a) 구조 (b) 타이밍도

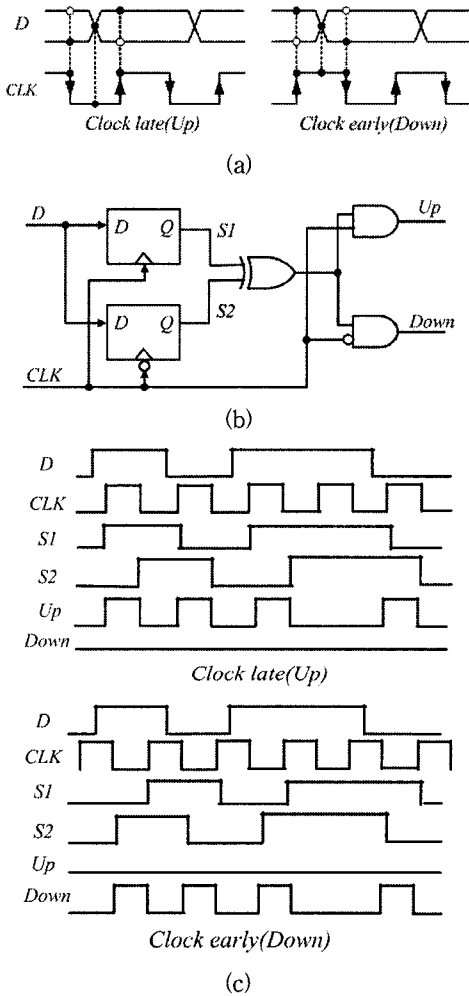


그림 4. 제안된 다중점 위상검출기
(a) 개념 (b) 구조 (c) 타이밍도

제안된 위상검출기도 비선형 위상검출기로서 Hogge 위상검출기에 단점을 보완한 Alexander 위상검출기의 장점을 모두 갖는다. 제안된 위상검출기의 up/down 신호의 최소 주기가 클럭과 같으므로 최소 펄스폭이 Alexander 위상검출기 up/down 신호의 반이기 때문에 지터 특성이 개선된다. 기존의 Alexander 위상검출기의 출력은 '1'의 데이터가 반복되면 클럭 한 주기 만큼의 펄스폭이 연속되어 이어지므로 이러한 조절 방식을 펄스폭변조(Pulse width modulation : PWM) 방식으로 볼 수 있다. 그러나 제안된 위상검출기의 출력은 '1'의 데이터가 반복되어도 클럭과 같은 주기를 갖는 펄스가

연속되어 조절하므로 펄스수변조(Pulse number modulation: PNM) 방식으로 볼 수 있다. 최소 up/down 신호 펄스폭이 반으로 줄어들어서 더욱 미세한 조절이 가능하고 지터가 감소된다.

[그림 4](b)는 제안된 다중점 위상검출기의 구조로써 D플립플롭 2개, AND 게이트 2개, XOR 게이트로 구성되어 있다.

[그림 4](c)는 제안된 위상검출기의 동작을 나타내는 타이밍도이다. S1과 S2는 D플립플롭의 출력이고, XOR 게이트와 AND 게이트를 통해 각각 up/down 신호를 출력한다. 추출된 클럭이 데이터보다 빠르면 S2가 S1보다 먼저 나오면 down 신호가 출력되고, 클럭이 데이터보다 느리면 S1이 S2보다 먼저 나오면 up 신호가 출력된다. 그리고 데이터 전이가 없으면 S1과 S2가 같으므로 up/down 신호가 모두 '0'이다.

제안된 위상검출기의 up/down 출력 신호는 각각 다른 클럭 모서리에 동기화되어 출력된다. 즉, 클럭이 빠를 때는 클럭 하강 모서리에 down 신호가 동기화되어 출력되고, 클럭이 느릴 때는 클럭 상승 모서리에 up 신호가 동기화되어 출력된다.

$$(S1 \oplus S2) \cdot CLK : \text{Clock late (Up)} \quad (1)$$

$$(S1 \oplus S2) \cdot \overline{CLK} : \text{Clock early (Down)} \quad (2)$$

$$S1 = S2 : \text{No data transition} \quad (3)$$

1.3 회로 구현

제안한 위상검출기의 각각의 블록들은 [그림 5]와 같이 MOS 전류모드 논리회로(MOS current mode logic: MCML)로 설계했다. MCML은 짧은 지연, 저전력, 저잡음, 저전압 스윙에 이점이 있기 때문에 고속 디지털 로직 응용을 위해 사용했다.

[그림 5](a)는 2개의 래치로 구성된 MOS 전류모드 D 플립플롭이다[13]. [그림 5](a)의 위쪽 M1-M2 차동쌍은 입력 D를 입력받고, 아래쪽의 M5-M6 차동쌍은 CLK을 입력받는다. CLK이 low일 때는 M5, M1-M2가 동작되어 M1, M2 드레인은 각각 \bar{D} , D가 된다. CLK이 high일 때는 M3-M4를 통하여 위의 값이 래치되고, 한 클럭 사이클 뒤에 래치된 데이터가 Q와 \bar{Q} 에 출력되는

플립플롭 동작을 한다.

[그림 5](b)는 MOS 전류모드 대칭 XOR 게이트 회로이다. 왼쪽의 회로에서 위쪽의 2개의 M1-M4 차동쌍의 입력은 A이고, 아래쪽의 M5-M6 차동쌍의 입력은 B이다. 대칭적으로 오른쪽의 회로는 이와 반대의 입력을 갖는다. 입력 B가 high 일 때는 M5, M1-M2가 동작되어 출력 Q, \bar{Q} 가 각각 \bar{A} , A가 된다. 입력 B가 low일 때는 M6, M3-M4가 동작되어 출력 Q, \bar{Q} 가 각각 A, \bar{A} 가 된다. 이렇게 입력에 대한 출력을 살펴보면 논리식 $Q = A \oplus B$, $\bar{Q} = \bar{A} \oplus \bar{B}$ 와 같음을 알 수 있다. 이렇게 대칭적으로 회로를 구성하면 각각의 입력에 대한 커패시턴스가 같아지고, 이로 인하여 모든 입력의 경우에 대하여 출력까지의 지연이 같아진다[6].

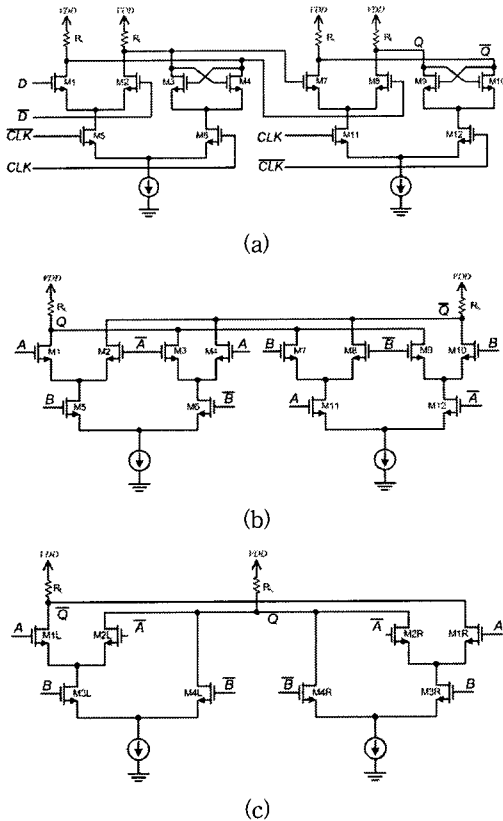


그림 5. MOS 전류모드 논리회로(MCML)
 (a) MOS 전류모드 D플립플롭 (b) MOS 전류모드 대칭 XOR 게이트 (c) MOS 전류모드 대칭 AND 게이트

[그림 5](c)는 MOS 전류모드 대칭 AND 게이트 회로이다. 입력 B가 high 일 때는 M3L-M3R이 동작되어 출력 Q, \bar{Q} 가 각각 A, \bar{A} 가 된다. 입력 B가 low일 때는 M4L-M4R이 동작되어 출력 Q, \bar{Q} 가 각각 low, high가 된다.

2. 전하펌프 및 루프필터

[그림 6]은 전하펌프 및 루프필터이다[7]. 전하펌프는 일반적으로 전압/전류 변환동작을 하며, 루프필터는 R1, C1, C2를 통해 충방전을 한다. Vbp와 Vbn은 전류원의 바이어스 전압이다. 전하펌프의 MP1-MP2, MN1-MN2는 루프필터로 흐르는 전류를 조절한다. Up 신호가 high일 때는 MP2를 통해 필터로 충전되며, down 신호가 high일 때는 필터에 충전됐던 전하가 MN2를 통해 방전된다. 루프필터에 충전전되는 전하는 출력 조절전압 Vcon이 되어 전압제어발진기를 조절한다.

3. 전압제어발진기

[그림 7]은 설계된 클럭 및 데이터 복원회로에 사용된 링타입 전압제어발진기이다. [그림 7](a)는 링타입 전압제어발진기의 구조로서 지연소자를 직렬 체인 구조로 연결하고 버퍼를 통해 출력을 입력으로 부계환 연결한다. 최종단은 버퍼를 이용하여 출력을 증폭시킨다. 루프필터의 출력인 조절전압 Vcon은 전류미러를 기반으로 한 간단한 회로를 통해 Vcp, Vcn으로 바뀌어 전압제어발진기를 조절하여 주파수를 변화시킨다[8].

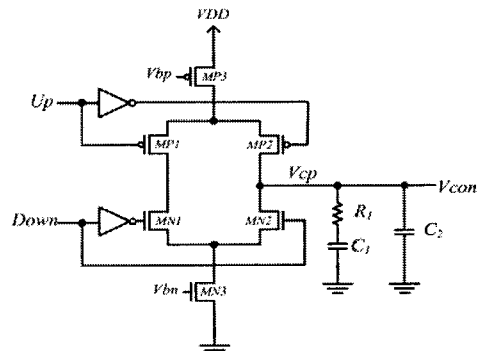


그림 6. 전하 펌프 및 루프 필터

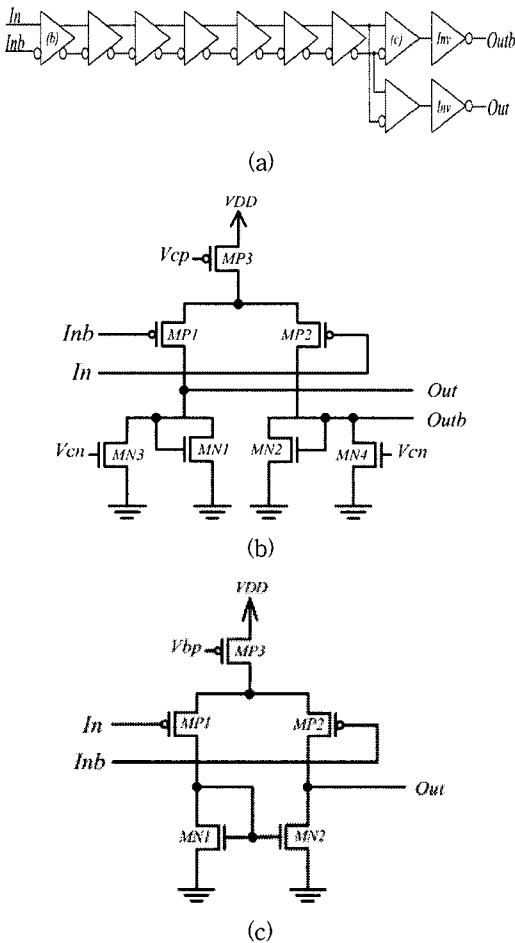


그림 7. 링타입 전압제어 발진기^[3] (a) 구조 (b) 지연소자 (c) 버퍼

구성요소인 지연소자와 버퍼를 각각 [그림 7](b)와 [그림 7](c)에 나타냈다. 지연소자와 버퍼는 차동입력을 받는 구조를 사용하고 각각의 지연소자들은 저전압 스윙을 한다[9]. 저전압 스윙을 통하여 전원 및 그라운드 잡음을 최소화할 수 있다.

III. 시뮬레이션 결과 및 성능 비교

1. 시뮬레이션 결과

제안된 위상검출기를 이용한 클럭 및 데이터 복원회로는 0.18 μ m CMOS 공정에서 1.8V의 전원을 사용하여

IDEC에서 제공된 Cadence SPECTRE Tool을 이용하여 설계 및 시뮬레이션 되었다.

[그림 8]은 설계된 클럭 및 데이터 복원회로의 시뮬레이션 결과이다. 복원된 데이터 Retimed_data와 초기 데이터 D, 클럭 CLK, 위상검출기 내부 신호 S1, S2 및 출력 up/down 신호를 볼 수 있다. [그림 9]는 1Gbps의 $2^{31}-1$ 랜덤데이터(Pseudo random bit sequence: PRBS)를 입력한 클럭 및 데이터 복원회로의 복원된 클럭의 지터 시뮬레이션 결과이다. 복원된 클럭의 지터는 7.36ps 이다. [그림 10]은 CDR 회로의 칩 레이아웃을 보여준다. [그림 10]의 레이아웃으로부터 기생성분을 포함한 회로를 추출하여 시뮬레이션을 했다.

[표 1]은 제안된 위상검출기를 이용하여 설계된 클럭 및 데이터 복원회로의 성능이다. 1Gbps의 랜덤데이터를 입력받았을 때 전체 전력소비는 12mW이고 복원된 클럭의 지터는 7.36ps이다.

2. 성능 비교

[표 2]는 설계된 회로와 기존의 회로의 성능비교이다. 클럭 및 데이터 복원회로에서 가장 중요한 성능인 지터 특성과 동작속도, 전력소비 등을 비교했다. 설계된 클럭 및 데이터 복원회로는 저전력과 작은 지터의 특성을 갖는다.

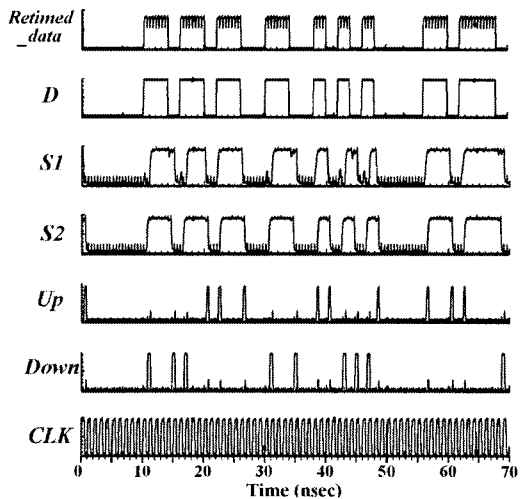


그림 8. 설계된 클럭 및 데이터 복원 회로의 시뮬레이션 결과

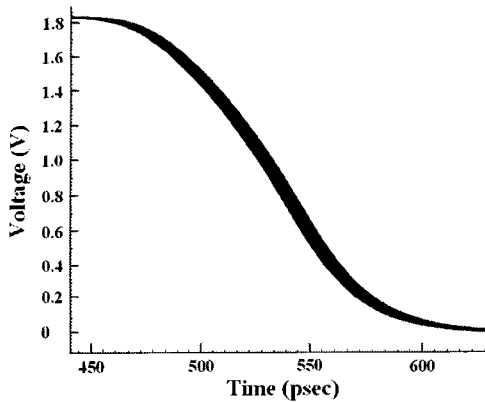


그림 9. 복원된 클럭의 지터 시뮬레이션 결과

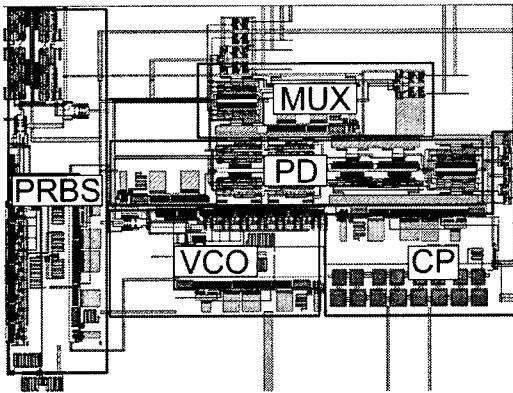


그림 10. 칩 레이아웃

표 1. 설계된 클럭 및 데이터 복원회로의 성능

Data rate (Gbps)	1
VCO gain (MHz/V)	690
Clock jitter (ps)	7.36
Power dissipation (mV)	12
Supply voltage (V)	1.8
CMOS technology (um)	0.18

IV. 결론

본 논문에서는 다중점 위상검출기를 이용한 1Gbps 클럭 및 데이터 복원회로를 제안되었다. 제안된 위상검출기는 데이터의 천이 모서리와 클럭의 상승/하강 모서리 3점을 비교하여 up/down 신호를 생성한다. 기존의

표 2. 기존의 회로들과 제안된 회로의 성능 비교

	Ref. [10]	Ref. [11]	Ref. [12]	Ref. [13]	This Paper
Data rate (Mbps)	688	1250	4000	500	1000
Operating speed (MHz)	344	1250	1000	250	1000
VCO gain (MHz/V)	-	200	-	-	690
Clock jitter (ps)	16	20	-	20	7.36
Power dissipation (mW)	300	-	30	15	12
Supply voltage (V)	5	3.3/5	1.8	3	1.8
CMOS technology (um)	0.5	0.35	0.18	0.6	0.18

위상검출기 회로는 클럭 주기의 배수 만큼의 up/down 펄스폭을 갖는 출력으로 전압제어발진기를 조절하는 펄스폭변조 방식을 사용한다. 제안된 위상검출기 회로는 클럭 반주기만큼의 up/down 펄스폭을 갖는 출력으로 전압제어발진기를 조절하는 펄스수변조 방식을 사용하여, 전압제어발진기를 미세하게 조절함으로써 지터를 줄일 수 있다. 제안된 위상검출기를 이용하여 설계된 클럭 및 데이터 복원회로는 0.18um CMOS 공정에서 1.8V 전원으로 설계되었다. 설계된 회로는 1Gbps의 전송률을 갖는 2³¹-1개의 랜덤 데이터를 이용하여 테스트되었고, 지터와 전력소비는 각각 7.36ps와 12mW로 저전력, 적은 지터의 특징을 보였다.

참고문헌

[1] C. R. Hogge, "A self-correcting clock recovery circuit," IEEE Trans. on Electron Devices, Vol.32, No.12, pp.2704-2706, 1985(12).
 [2] J. D. H. Alexander, "Clock recovery from random binary signals," Electronics Letters, Vol.11, No.22, pp.541-542, 1975(10).
 [3] B. Razavi, "Challenges in the design of high-speed clock data recovery circuit," IEEE Communication Magazine, pp.94-101, 2002(8).

[4] D. Rennie and M. Sachdev, "Comparative robustness of CML phase detectors for clock and data recovery circuits," in Proc. IEEE Int. Symp. on Quality Electronic Design, pp.305-310, 2007(3).

[5] Z. W. T. Hui and T. A. Kwasniewski, "A 10-Gb/s CMOS sample-and-hold phase detector using dual substrate technique," in Proc. IEEE Conf. on Electrical and Computer Engineering, Vol.3, pp.1761-1764, 2004.

[6] K. S. Yeo, A. Cabuk, R. Wu, M. A. Do, J. G. Ma, X. P. Yu, and G. Q. Yan, "Non-sequential linear CMOS phase detector for CDR applications," in Proc. IEE Circuits, Devices and Systems, Vol.152, No.6, pp.667-672, 2005(12).

[7] F. Gardner, "Charge-pump phase-lock loops," IEEE Trans. on Communications, Vol.28, No.11, pp.1849-1858, 1980(11).

[8] R. Jacob baker, *CMOS circuit design, layout, and simulation*, IEEE press, 2005.

[9] I. A. Young, J. K. Greason, and K. L. Wong, "A PLL clock generator with 5 to 110 MHz of lock range for microprocessors," IEEE J. Solid-State Circuits, Vol.27, No.11, pp.1599-1607, 1992.

[10] R. Zhang and G. S. La Rue, "Clock and data recovery circuits with fast acquisition and low jitter," IEEE Workshop on Microelectronics and Electron Devices, pp.48-51, 2004.

[11] W. Liu, L. Xiao, and L. Yang, "1.25 Gb/s low jitter dual-loop clock and data recovery circuit," in Proc. IEEE ASIC, pp.311-314, 2007(10).

[12] M. Saffari, M. Atarodi, and A. Tajalli, "A 1/4 rate linear phase detector for PLL-based CDR Circuits," in Proc. IEEE ISCAS, pp.3281-3284, 2006(5).

[13] J. S. Lee and B. S. Kim, "A low-noise fast-lock phase-locked loop with adaptive bandwidth Control," IEEE J. Solid-State

Circuits, Vol.35 No.8, pp.1137-1145, 2000(8).

저 자 소 개

유 순 건(Yoo-Sun Geon)

정회원

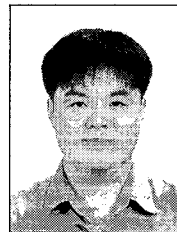


- 2006년 2월 : 국립 한밭대학교 전자공학과(공학사)
- 2008년 8월 : 국립 충북대학교 정보통신공학과(공학석사)
- 2008년 6월 ~ 현재 : (주)에이디텍 기술연구소

<관심분야> : PLL, CDR, 저전력 회로 설계

김 석 만(Seok-Man Kim)

정회원

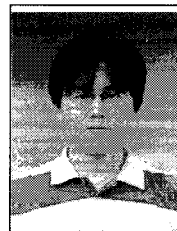


- 2005년 2월 : 충북대학교 전기전자공(공학사)
- 2008년 2월 : 충북대학교 정보통신공학과(공학석사)
- 2008년 3월 ~ 현재 : 충북대학교 정보통신공학과(박사과정)

<관심분야> : 저전력 회로 설계, 고성능 MCU 설계

김 두 환(Doo-Hwan Kim)

정회원



- 2003년 2월 : 충북대학교 정보통신공학과(공학사)
- 2005년 2월 : 충북대학교 정보통신공학과(공학석사)
- 2005년 3월 ~ 현재 : 충북대학교 정보통신공학과(박사과정)

<관심분야> : 고속 인터페이스 회로, LVDS, MIPI, OTA-C 필터 설계

조 경 록(Kyoung-Rok Cho)

정회원



- 1977년 : 경북대학교 전자공학과 (공학사)
- 1989년 : 일본 동경대학교 전자공학과(공학석사)
- 1992년 : 일본 동경대학교 전자공학과(공학박사)
- 1979년 ~ 1986년 : (주)금성사 TV연구소 선임연구원
- 1999년 : Oregon State University 객원교수
- 2005년 : Oregon State University 객원교수
- 1992년 ~ 현재 : 충북대학교 전기전자공학부 교수
<관심분야> : 통신시스템LSI설계, 저전력 고속회로설계, Platform 기반의 SoC 설계