

# 40Gb/s 백플레인 이더넷을 위한 DFE 수신등화기

정희원 양 충 열\*, 김 광 준\*\*

## A Design of the DFE based Receiver Equalizer for 40 Gb/s Backplane Ethernet

Choong-reol Yang\*, Kwangjoon Kim\*\* *Regular Members*

### 요 약

본 논문은 10 Gb/s x 4 레인으로 구성되는 40 인치 FR-4 백플레인 채널을 설계 및 분석하고, 이를 바탕으로 제안된 40 Gb/s 급 수신 적응 등화기 (Receive and Adaptive Equalizer), 고속 등화 알고리즘 설계 및 시뮬레이션 결과에 관하여 기술한다. 백플레인을 통과하는 40 Gb/s 고속 데이터 통신 채널을 위해 FFE를 사용하지 않는 DFE의 10Gb/s 4채널의 수신 등화기가 제안된다. 본 수신 & 등화기는 46 인치 백플레인 채널의 수신종단에서 등화를 수행하기 위한 IEEE Std P802.3ba 표준 기반 등화기 요구조건을 만족한다.

**Key Words** : equalization, ISI, DFE, backplane, crosstalk, BER

### ABSTRACT

In this paper, We have designed and analyzed a characteristics of backplane channel having 40 inch strip line length of four lanes and Flame Retardant four (FR-4) material, and have designed 40 Gb/s Receive and adaptive equalizer and its high-speed equalization algorithm using the backplane channel characteristics. For 40 Gb/s high-speed data communications pass through the backplane, a 10Gb/s 4 channel receive & equalizer with DFE except for FFE was proposed. This receive and equalizer meets the requirements of the IEEE Std P802.3ba standard-based receive equalizer to implement equalizers on the receive end of a 46 inch length's backplane channel.

### I. 서 론

IEEE Std 802.3ba draft2.2, "CSMA/CD Access method and Physical Layer Specifications, Amendment"에서는 40 Gb/s Electrical backplane Ethernet (40 GBASE-KR4)<sup>[1]</sup>을 규정하고 있다. 백플레인 이더넷은 기존 이더넷 패브릭과 MAC (media access control)의 달성수단으로서 기존 이더넷 표준을 이용하여 백플레인을 위한 최적 인터페

이스를 개발하기 위한 것이다. 주요 초점범위는 전기적 규격과 채널모델 규격이며 기계적, 열, 재질 (mechanical, thermal or material)을 정의하지 않는다. 이더넷은 백플레인 이더넷을 표준화하지 않은 데서 시작되어, 2003년11월 IEEE 802.3 BESG (backplane ethernet study group) 승인, 2004년 3월 BETF (backplane ethernet task force) 승인 후 공식적으로 표준화가 시작되었다.

10 Gb/s IEEE Std 802.3ba 40 Gb/s Ethernet

※ 본 연구는 지식경제부 및 정보통신연구진흥원의 IT 원천기술개발사업의 일환으로 수행한 연구로부터 도출된 것입니다. [과제관리번호 : 2008-F-017-01, 과제명 : 100Gbps 급 이더넷 및 광전송기술개발]  
\* 한국전자통신연구원 광인터넷연구부 광전송기술연구팀 책임연구원(cryang@etri.re.kr),  
\*\* 한국전자통신연구원 광인터넷연구부 광전송기술연구팀 책임연구원, 팀장  
논문번호 : KICS2009-10-508, 접수일자 : 2010년 10월 30일, 최종논문접수일자 : 2010년 2월 10일

(40GBASE-KR4) 표준규격에 의하면 그림 1과 같은 대표적인 전송시스템에서 40 Gb/s급 고속 전송은 10 Gb/s x 4 채널을 이용하여 데이터를 전송하는데 최대 40 인치 (36 인치의 스트립 라인과 2 인치 길이의 2 도터 카드 및 2 x 커넥터)의 시스템 백플레인 채널을  $10^{-12}$  BER로 전송하도록 요구하고 있다. 데이터의 송수신은 디퍼런셜 페어로 이루어지고, 전체 시스템의 임피던스는 100 오옴을 갖는다. 이러한 디퍼런셜 페어는 4 레인으로 구성되며, 1 라인 (lane) 당 약 10 Gb/s를 제공하게 된다. 이때 채널이 길수록 채널에서 발생하는 채널 불일치 성분인 반사손실 (return loss), 삽입손실 (Insertion loss), 크로스토크 (crosstalk) 등의 이웃하는 다른 레인에서 유입되는 크로스토크 성분들에 의하여 심불간 간섭 (inter-symbol interference, ISI)가 발생하게 되고 ISI 성분에 대한 영향이 누적되어 커지고 결과적으로 수신단에서 원래의 신호를 복원하기가 어려우므로 시스템의 성능을 열화시켜 화질저하 또는 화면전체에 나쁜 영향을 미치게 된다.

백플레인 채널에서 가장 영향을 미치는 요소가 근단누화 (near-end crosstalk, NEXT) 성분과 원단누화 (far-end crosstalk, FEXT) 성분이다. 이 두 크로스토크 성분은 지터 (jitter)를 유발하여 송수신기간 eye-open에 영향을 주게 된다. 일반적으로 등화 기술은 아이 모니터에서 아이가 최대로 열리는 부분, 즉 최적 점에서 샘플링 타임 (sampling time)을 획득하도록 설계되어야 한다. 여기서 최적 점이라고 하는 것은 on-time sample이 되는 위치를 의미한다. 즉, 아이 열림 (eye-opening)이 최대가 되는 위치로 이 위치에서 아이는 최대의 수직 오픈 (vertical opening)을 갖게 되는 것이다.

그림 2는 크로스토크가 없는 일반 채널에서 송신 데이터와 채널을 통과한 결과 아이가 닫힌 형태로 나타나는 것을 나타내고, 그림 3은 수신단에서 등화기를 통하여 보정한 결과를 나타낸 것이다.

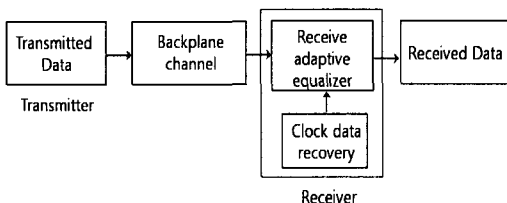


그림 1. 전송 시스템 블록 구조  
Fig. 1. Block diagram of Transmission system

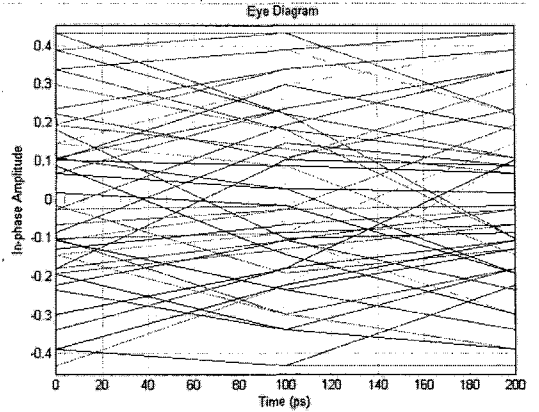


그림 2. 일반 채널을 통과한 신호의 출력 아이 다이어그램  
Fig. 2. Output eye diagram of passing through general channel

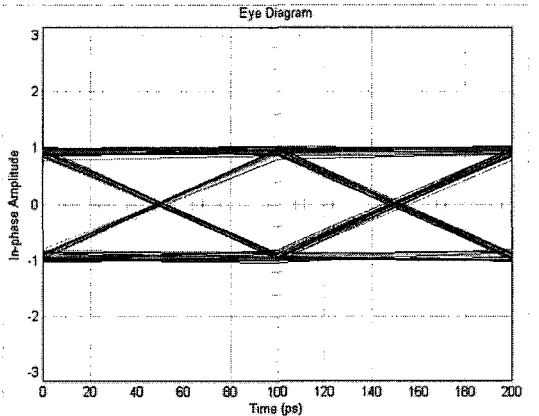


그림 3. 송수신 등화기를 이용한 채널 보상 결과의 아이 다이어그램  
Fig. 3. Eye diagram after channel compensation using transmitter and receiver equalizer

송, 수신단에서 채널을 충분히 보상을 해주지 않을 경우 시스템은 요구하는 BER (bit error rate)을 획득하기 어렵다는 것을 의미한다. 이러한 크로스토크 성분들을 제거하기 위하여 IEEE Std P802.3ba 규격에서는 3 탭의 전송 전치 등화기를 표준규격에 넣어 채널의 성분을 완화시키도록 하고 있다. 그러나 IEEE Std P802.3ba. 표준에 규정된 3 탭을 갖는 고정된 전송 전치 등화기만으로는 실제 통신 환경의 채널을 온전히 보상하는 데에는 어려움이 있다. 따라서 40 Gb/s 이더넷 채널을 위한 40인치 Flame Retardant 4 (FR-4) 백플레인에서  $10^{-12}$ 의 BER을 제공하기 위해서는 수신단에 시시각각 변하는 채널의 특성에 따라 채널의 역합수를 구해 원신호를 복원하는 역할을 하는 수신 적응 등화 (Receive and

Adaptive Equalization) 기술이 반드시 필요하다<sup>[2],[3]</sup>. 그러나 대부분의 IEEE 표준은 규격 및 매체 (cable, PCB, trace 등) 파라미터에 따른 전송신호를 확인하기 위해 전송 등화기를 정의하며 수신등화기를 어떻게 구현할지는 별도 정의하지 않고 있다. 대부분의 경우 그러한 수신등화가 필요하지만 수신등화를 구현할지 어떻게 구현할지는 사용자에게 달려 있다.

본 논문에서는 1장 서론에 이어 2장에서 40 Gb/s 이더넷 백플레인을 위한 DFE 기반의 수신 등화 기술을 살펴보고, 3장에서 40 Gb/s 이더넷 백플레인 채널의 설계에 관하여 기술한다. 그리고 4장에서는 40 Gb/s FR-4 백플레인 채널에서 어려없이 전송하기 위한 수신 적응 등화기 구조 및 등화 알고리즘을 제안하고 5장에서 송신단, 백플레인 채널 그리고 수신단으로 구성되는 전송 시스템의 시뮬레이션을 통해 제안된 수신등화기 성능을 제시 및 검증하며, 6장에서 결론을 맺는다.

## II. 40 Gb/s 이더넷 백플레인을 위한 DFE 기반 수신등화기술

### 2.1 적응수신등화기 칩 개발

현재 40인치 FR-4 백플레인에서 6.25 Gb/s 까지 제공하는 등화기와 34인치 FR-4 백플레인에서 10 Gb/s 까지 제공하는 등화기가 상용화되어 있고 곧 40인치 이상의 FR-4 백플레인에서 100 Gb/s 까지 제공하는 등화기가 상용화될 것으로 보인다. 이를 더 상세히 기술하면 다음과 같다. 내셔널세미컨덕터 코리아는 기존 제품보다 30% 이상 먼 거리의 케이블 길이를 지원하고 백플레인을 확장하는 고효율의 쿼드 밴드 트랜시버를 출시했다. DS64BR401은 6 Gb/s SATA/SAS (serial ATA/serial attached small computer system interface) 사양으로 PCI-SIG (peripheral component interconnect)- (special interest group) 승인을 받았다. 4 라인 양방향 SATA/SAS 트랜시버 DS64BR401은 적응 수신 등화기 및 전송 등화기를 모두 제공하며, 최대 6.4 Gb/s의 전송률에서 40인치의 FR-4 PCB를 등화하며, 등화기 출력에서 잔류 지터는 0.25 UI (unit interface) 미만이다. 또한 조절 가능한 디퍼런셜 전압 출력을 제공하며 라인 기반으로 자동 전력 관리 기능도 지원한다. DS64BR401 SATA/SAS 트랜시버<sup>[7]</sup>의 가격은 개당 \$11.25이다. 그 밖에 MAXIM사의 10Gb/s 수신등화기로 MAX3805가 있다.

### 2.2 DFE 기반 수신등화기 구조

수신등화기는 채널의 온도 및 칩 제작 공정의 여러가지 변수를 보상하기 위해 입력신호의 품질을 측정하여 조정된 결과를 출력할 수 있다. 디지털 통신시스템에 이용하는 수신기 구조는 그림 4와 같다. 본 연구의 그림에서 나타난 구조는 일반적인 DFE 구조로 심볼 타이밍 (symbol timing)을 갖는 샘플링을 통과한 후 FFE와 DFE를 거쳐 수신하는 경우를 나타낸다.

채널 응답에서 pre-cursor ISI 성분이 작을 때, 그림 5와 같이 DFE의 FFF 부분은 빠질 수 있다. 그림 5에서는 FBF을 이용하여 post-cursor ISI를 제거하게 되는 것이다. Slicer의 출력은 FBF에서 탭 지연 선 (tap delay line)과 탭 계수 (tap coefficient)를 거쳐 post-cursor 성분을 제거해 주게 되는 것이다. 탭 계수  $[h_0, h_1, \dots, h_{N-1}]$  는 LMS 알고리즘과 같은 에러를 최소화 시켜 주는 알고리즘을 이용하여 적응시킨다<sup>[8]</sup>.

그림 5와 같은 수신 구조를 갖는 경우, 상대적으로 고속의 데이터 전송률을 요구하는 시스템은 고속의 n-bit ADC는 높은 가격이 된다. 이런 고속의 ADC를 채용하는 것을 방지하기 위하여 그림 6과 같이 샘플러를 슬라이서 (slicer) 앞 단에 연결하고, 아날로그 형태로 보상을 해주는 것이다. ZOH (zero order hold)를 이용하여 이산 형태 (discreat form)의 신호를 다시 아날로그 형태로 만들어주고 이를

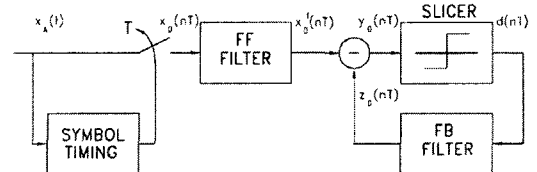


그림 4. 기존 DFE 구조  
Fig. 4. Structure of conventional DFE.

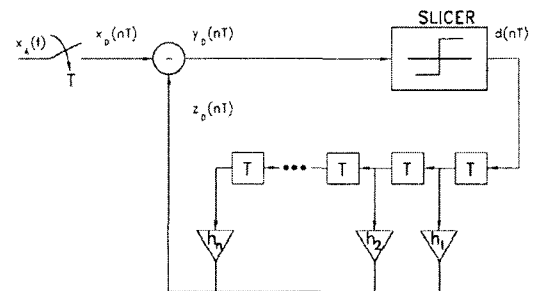


그림 5. 기존 DFE 구조 (FFE 제거)  
Fig. 5. Structure of conventional DFE (without FFE).

수신 신호에 빼주는 것이다.

실제 아날로그 DFE 구현에서는 그림 7과 같이 샘플러, 슬라이서, 지연 버퍼가 함께 구현된다. 따라서 그림 3의 모델은 그림 7과 같이 나타낼 수 있다. 그림 6과 7의 DFE에서  $d(t - T)$ ,  $d(t - \tau_1)$  대한 타이밍은 그림 6의 경우 약  $T/2$ 만큼, 그림 7의 경우  $0 < \tau_1 < T/2$ 만큼 이동되어 있다.

그림 8은 그림 6의 모델에서의  $T/2$ 만큼 지연되어 수신된 신호를 보상하기 위하여  $T$ 의 간격을 갖는 지연 버퍼를  $T/2$ 로 변환하여 타이밍을 맞춰 준 것이다.

그림 9의 모델은  $d(t - \tau_1)$ 의 출력 신호가 지연 시간  $\tau_1$ 만큼을 가지고 있기 때문에 이를 보상하기 위하여 지연 버퍼  $\tau_2$ 를 둔 것이다. 이 두 경우 모

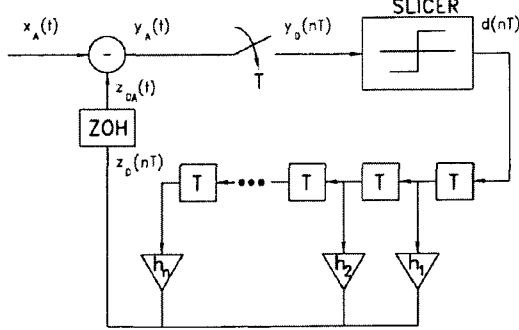


그림 6. 기존 DFE 구조 - 샘플러가 Slicer 앞 단에 존재하는 경우 (아날로그 등화)  
Fig. 6. Structure of conventional DFE - with sampler prior to slicer (analog equalization)

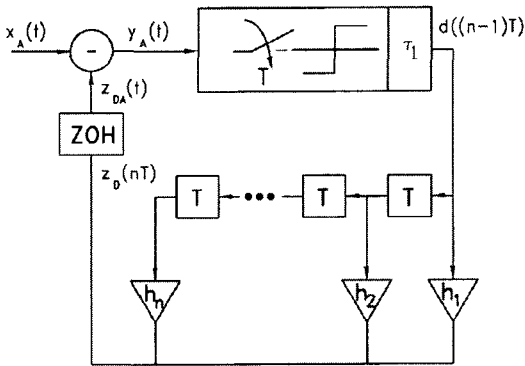


그림 7. 기존 DFE 구조 (시간 지연 블록이 Slicer에 들어간 경우)  
Fig. 7. Structure of conventional DFE - with time delay block in slicer)

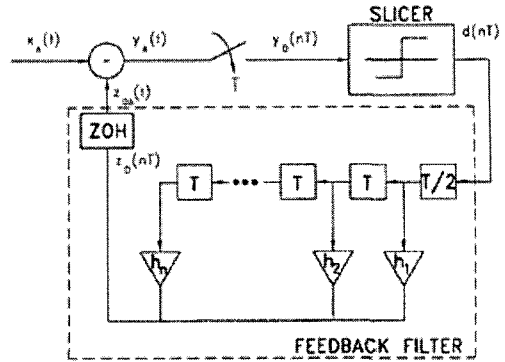


그림 8. DFE 구조 (그림 6에서  $T/2$  블록으로 고려)  
Fig. 8. Structure of conventional DFE ( $T/2$  block from Fig. 6)

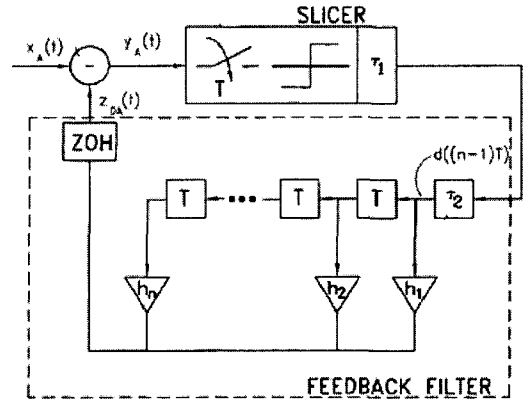


그림 9. DFE 구조 (그림 7에서 적응 지연 블록이 추가된 경우)  
Fig. 9. DFE Structure (adaptive delay block added to Fig. 7)

두 시간 지연 (timing delay)을 맞춰 주어 샘플링 위치를 맞춰준 것이다. 샘플링의 위치를 보상하지 않을 경우 이전 심볼에서의 영향으로 인하여 아이 다이어그램 (eye-diagram)이 영향을 받게 되는데, 샘플링 위치를 보상에 줄 경우 상대적으로 깨끗한 아이 다이어그램을 획득할 수 있다.

그림 10은 그림 9에 대하여 ZOH 후 LPF를 적용한 것이다. 이는 ZOH가 샘플 앤드 홀드 (sample & hold)가 되므로 불연속 (discrete) 영역이 존재하게 되는데 이를 해결하기 위하여 LPF를 적용한 것이다. LPF를 적용한 경우의 아이 다이어그램은 그림 10에 대한 아이 다이어그램보다 더 깨끗한 결과를 획득할 수 있다.

그림 11의 업데이트 엔진은 슬라이스의 입출력 값을 받아 FBF의 탭 값을 최적화 시켜준다. 심볼

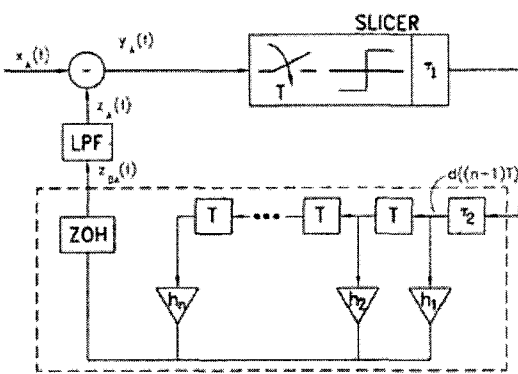


그림 10. DFE 구조 (그림 9에 ZOH 후 LPF를 적용한 경우)  
Fig. 10. DFE Structure (LPF added to Fig. 9)

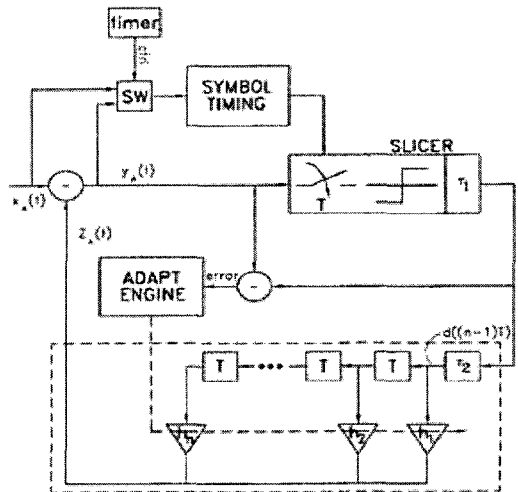


그림 11. 업데이트 엔진과 개선된 DFE 구조를 갖는 수신단  
Fig. 11. Receiver having updated engine and advanced DFE structure

타이머는 수신신호와 Slicer의 입력 신호를 스위치를 이용하여 제어하여 심볼 타이밍을 맞춰준다. 심볼 타이밍 블록에 의한 클럭 복원은 수신 신호  $x_A(t)$ 를 이용하여 맞춘다.

그 동안 업데이트 엔진은 필터의 계수를 결정한다. 적당한 계수 값이 결정되면, 필터의 계수를 고정시킨다. 결정 시간을 가진 후, 타이머는 심볼 타이밍의 입력으로 스위치를 제어하여 등화 된 신호  $y_A(t)$ 를 선택하게 된다. 그림 12는 그림 11에서 탭 계수가 결정되어 값으로 고정되고, 스위치가 등화 된 신호  $y_A(t)$ 를 심볼 타이머의 입력으로 선택하여 준 경우로 도식화 한 것이다.

이 경우 그림 7에서와 같이  $x_A(t)$ 를 이용하는 심볼 타이머에 비해 그림 11과 12의 경우 등화 된 신호  $y_A(t)$ 를 이용하기 때문에 잡음에 상대적으로 덜 영향을 받게 된다. 업데이트 엔진으로 사용되는 알고리즘은 대표적으로 LMS 알고리즘과 RLS (recursive Least Square) 알고리즘 등을 사용할 수 있다<sup>8)</sup>.

이외에도 NEXT 성분에 의한 지터를 제거하기 위하여 가변 노이즈 캔슬러 (tunable noise canceller)와 선형 등화기를 사용하는 논문이 제안되었다. 참고문헌<sup>9),10)</sup>에서는 56인치에 백플레인 채널에 대한 10 Gb/s 백플레인 트랜시버를 고려하였다. 수신단에서 feed-forward equalizer (FFE)는 노이즈 증가 문제로 인해 사용하지 않는다. 수신 등화기는 FFE를 제외한 10 탭의 DFE는 기존의 12 탭 DFE와 8 탭 DFE의 아이 오픈잉 (eye-opening) 보다 더 좋은 결과를 갖는 것을 확인하였다.

그림 13은 아이 모니터가 추가된 DFE 기반 수

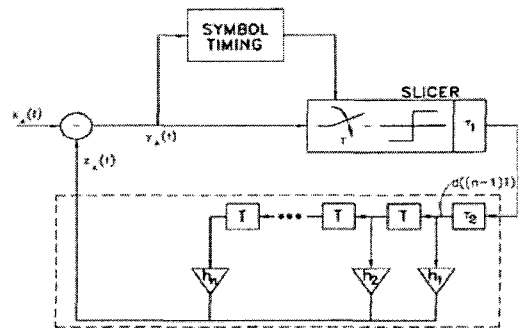


그림 12. FBF의 계수가 결정/고정된 후의 그림 15  
Fig. 12. Revised Fig.15 after coefficient of FBF is decided/fixd

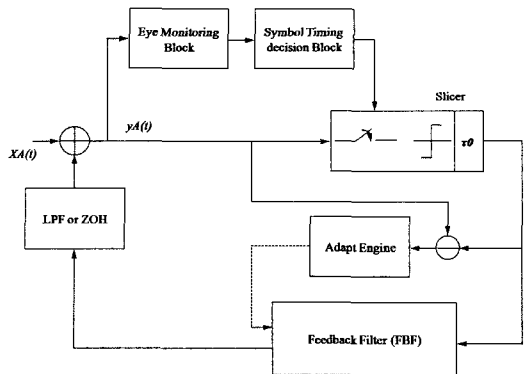


그림 13. 아이모니터 블록이 추가된 DFE 기반 수신 적응 등화기 구조  
Fig. 13. Structure of receive and adaptive equalizer having eye monitor added DFE

신 적응 등화기 구조이다. 추가된 아이 모니터는 상황에 맞는 등화 기법을 제공함으로써 최적의 샘플링 포인트를 찾아 on-time 샘플링이 가장 넓은 아이에서 이루어지도록 한다. 따라서 아이 모니터는 정확한 초기 타이밍 복원, 채널의 잡음성분 유입으로 인한 타이밍 이탈현상 방지 및 수렴속도 향상 등의 장점을 제공한다.

### III. 40 Gb/s 이더넷 백플레인 채널 설계

#### 3.1 시뮬레이터 구성

IEEE Std P802.3ba 표준의 수신단 (receiver)에 대한 규정에 따르면 반드시 최악의 경우에 전기적 입, 지터 및 임펄스 응답을 만족할 것, IEEE는 수신단 (receiver)을 규격에서 정의하지 않고 있으며 등화기의 가장 보편적인 구현은 FFF/DFE 기반으로 할 것, 그리고 수신단은 송신단 (transmitter)과 채널 스트레스 (channel stress)를 포함하여 함께 시험되어야 할 것을 규정하고 있다. 따라서 그림 14와 같이 전송장치, 채널 및 수신장치로 구성되는 송수신 장치 시뮬레이터<sup>[4]</sup>를 구성한다.

10 Gb/s x 4채널로 구성되는 40 Gb/s이므로 단일 채널로 고려하여 코딩한다. 시뮬링크 (simulink)의 경우 크로스토크 성분이 주파수에 따라서 간섭 형태가 될 것이기 때문에 시뮬링크에서 블록으로 떼어 놓고 확인할 수 있을 것이다. 블록의 경우 채널을 통과한 수신 신호에 크로스토크 성분과 잡음이 포함되므로 등화기와 병렬로 구성하여 성분을 확인하는 것이 타당하다.

IEEE Std P802.3ba 규격에서 규정하는 3 탭 전송 등화기 (pre-transmit equalizer)는 zero-forcing (ZF) 등화 기법<sup>[5]</sup>을 사용하여 구현하고, 채널의 펄

스 응답을 이용하여 샘플을 취하고 pre-cursor 성분을 제거한다. 이에 대한 결과를 아이 다이어그램을 통하여 나타낸다. 또한 보상된 채널의 값에 대하여 시스템의 성능을 획득하기 위해 수신단에는 DFE를 고려하고, 이에 대한 보상된 채널의 에러 값을 MSE (mean square error)를 통하여 도출한다.

#### 3.2 백플레인 전송채널 설계 및 채널응답 특성

본 연구에서 가장 중요한 부분 중 하나인 채널은 백플레인의 스트립 라인에 해당하는 40인치의 트레이스 (trace) 영역을 먼저 CST 툴을 이용하여 모델링 하였고, 이를 바탕으로 S-파라미터를 도출하였다. 결과로 도출한 s-파라미터 값은 반사손실과 삽입손실로 이는 4개가 병렬로 구성된 스트립 라인에 대하여 각각의 감쇄도를 결과로 도출하였다. 또한 백플레인 채널에 대하여 2인치의 트레이스를 포함하는 2 매의 도터 카드와 2 개의 커넥터와 패드 (pad)를 고려하였다. 2 매의 도터 카드에서는 트레이스와 함께 임피던스 매칭을 시켜주는 회로 모델도 고려를 하였고, 커넥터는 Molex사의 커넥터 S-파라미터를 입수하여 시뮬레이션에 이용하였다. 또한 패드는 커패시터를 이용하여 모델링 하였고, 커패시턴스가 임피던스 매칭이 되도록 값을 도출하여 적용하였다. 이렇게 구성한 백플레인 채널 모델을 바탕으로 반사손실과 삽입손실 값을 각각의 스트립 라인에 대하여 도출하였다. 각 도출한 결과를 바탕으로 펄스 응답을 통하여 채널의 특성을 분석하였고, 이를 바탕으로 등화기를 구현하였다

본 연구에서는 채널을 추정하기 위하여 시스템의 모델을 앞에서 구현한 채널 모델을 기반으로 구성하였다. 그림 15는 설계된 백플레인 트레이스의 구조이다. 구성된 채널 모델은 40 인치의 백플레인 트레이스와 총 4 인치로 구성된 도터 카드, 커넥터, 패드이다. 백플레인과 같은 고속의 데이터 전송을 위해서는 일반적으로 디퍼런셜 구조의 스트립 라인을 사용한다. 디퍼런셜 스트립 라인으로 구성된 각 페어는 100 Ohm의 디퍼런셜 저항을 만족한다.

그림 16의 주파수에 따른 FR-4 백플레인 길이별 감쇄 특성은 CTS (computer simulation technology), ADS (advanced design simulator) 툴을 이용하여 자체 설계한 IEEE P802.3 표준기반의 40 인치 백플레인 채널 모델에서 삽입손실 및 펄스응답 등을 시뮬레이션 결과로서 20, 24, 28, 24, 40, 44 인치를 갖는 백플레인 채널의 삽입손실 특성을 각각 나타낸다. 측정 결과를 보면 40 인치 채널에서 약 -60

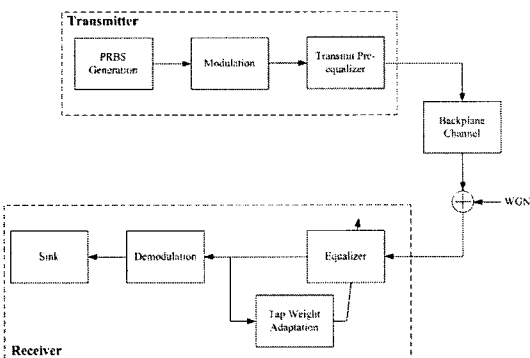


그림 14. 송수신장치 시뮬레이터 구성  
Fig. 14. Configuration of Transmitter and receiver Simulator

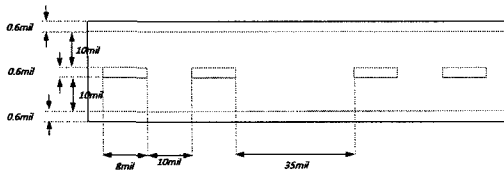


그림 15. 설계된 스트립 라인 구조  
Fig. 15. design of strip line

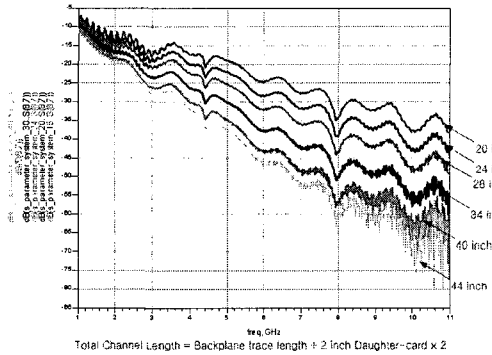


그림 16. 주파수에 따른 FR-4 백플레인 길이별 감쇄 특성  
Fig. 16. Attenuation characteristics by FR-4 backplane strip line length according to the frequency.

dB까지 감쇄하고, 44 인치에서는 약 -65 dB까지 감쇄를 갖는 것을 알 수 있다. 이는 IEEE Std P802.3ba 규격특성<sup>[1]</sup>을 충분히만족하는 결과이다.

6.25G/s Decision Feedback Equalizer 설계를 위해 사용한 백플레인 시스템에서 34 인치 백플레인 스트립 라인 (1 pair)을 실험한 참고문헌<sup>[15]</sup>과 제안한 구조의 34 인치에 대해 삽입손실을 비교했을 때, 참고치는 삽입 손실이 약 36~38dB정도이고, 제안한 구조는 같은 조건에서 36.6dB를 보였다. 참고문헌과 비교한 전체 백플레인 채널에 있어서 참고논문<sup>[7]</sup>에서는 1 페어 임에도 56dB 이상을 보인 반면 제안한 구조의 4 페어 34 인치 백플레인 채널에서는 51~53dB의 감쇄를 보였다. 결론적으로 펄스 응답에 관한 참고문헌<sup>[16]</sup>의 34 인치 백플레인 채널에서 측정된 펄스 응답보다 제안한 구조의 40 인치 백플레인 채널에서 측정된 펄스 응답이 10Gbps에서 좀더 높은 peak값을 가짐을 확인 할 수 있었다. 따라서 제안한 전송채널은 고속 등화기의 성능을 분석하기에 적합한 결과로 판단하였고, 이를 토대로 40Gb/s급 백플레인 이더넷에 수신 적응 등화기를 설계할 수 있다.

이렇게 구성된 채널을 바탕으로 채널의 임펄스 응답을 통하여 채널의 성분을 구하였다. 채널의 성

분은 on-time sample인 커서를 중심으로 전, 후 단에 존재한다. 이를 앞 단에 존재하는 경우 프리 커서 (pre-cursor)라고 하고, 뒷 단에 존재하는 포스트 (post-cursor)라 한다. 이 성분들이 데이터 송수신 과정에서 영향을 미쳐 ISI 성분으로 작용하게 되는 것이다.

백플레인 채널 특성을 알아보기 위한 주파수 특성을 시뮬레이션한 결과에서 펄스응답은 그림 17과 같이 나타났다. 조건 a = 0.6 GHz, b = 5300 (입력 피크 0.986 volt 약 1volt) 에서 16 GHz 시뮬레이션한 결과는 그림 (a)의 40 인치 백플레인 채널 (36 인치 백플레인 트레이스, 2 인치 도터 카드 트레이스 x 2)과 그림 (b)의 46 인치 백플레인 채널 (42 인치 백플레인 트레이스, 2 인치 도터카드 트레이스 x 2)으로 나타내었다.

이 조건은 펄스응답을 보기 위하여 소스의 입력으로 주는 입력 세팅 값이 a, b 이다. 입력 측에 인가되는 펄스 트레인으로서 주어진 a, b로 소스를 세팅하면 약 1volt의 피크 (0.986 volt)를 갖는 펄스 트레인을 만들어낼 수 있고, 이를 이용하여 출력 측에서 펄스응답을 측정하였다. 이상적인 임펄스를 만들 수 없기 때문에 1volt의 피크를 갖는 일반화된 펄스를 인가하여 펄스 응답을 구하였다.

본 연구에서는 시스템 시뮬레이션을 위하여 채널의 값으로 0.1ns의 시간 간격으로 프리커서 성분을

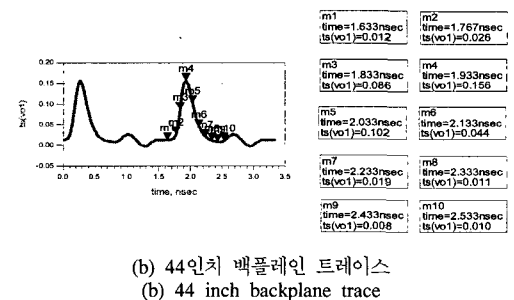
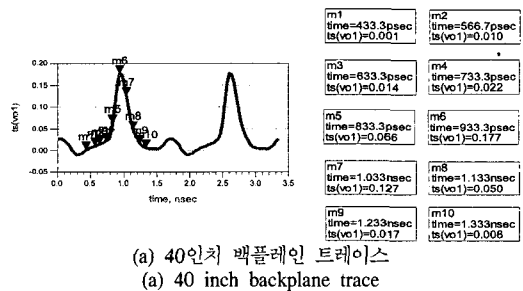


그림 17. 백플레인 채널의 펄스응답 특성  
Fig. 17. Pulse response characteristics of backplane channel

2 샘플, 포스트 커서 성분을 3샘플, 커서 1샘플로 총 6개의 샘플을 채널 응답 값으로 설정하였다. 설정한 채널의 응답은 그림 17에 나타내었다.

#### IV. 40 Gb/s 이더넷 백플레인을 위해 제안된 수신등화기 및 알고리즘

##### 4.1 제안된 수신등화기 구조

일반적으로 고속의 백플레인을 고려하는 시스템은 크로스토크를 고려한 노이즈 캔슬러 (noise canceller)가 포함된 선형 등화기, FFF가 없는 DFE를 고려하고 있다. 따라서 본 연구에서 고려하는 DFE는 FFF(feed-forward filter)가 노이즈 증가 문제가 있기 때문에 FBF (feedback filter)만 고려한 DFE를 고려할 필요가 있다.

10Gb/s x 4 채널로 제공되는 40 Gb/s 백플레인 이더넷을 위한 등화기 설계에 있어서 40 Gb/s 등화기 계수는 채널에 의존하므로 적정 탭 계수를 결정하기 위하여 적응 알고리즘을 이용하고, 수렴 속도를 개선하기 위하여 초기 추정 값을 이용하여 값을 추정하는 방법이 유리하므로 updated-LMS 알고리즘을 적용한다. 기본 최소 탭 수는 FBF만 사용한 경우<sup>[12]</sup>에서는 5 탭으로 보이며, 우리는 post-cursor 성분을 3 샘플 정도로 예상하므로 제안된 구조는 3 ~ 5 탭 정도로 보정할 수 있을 것이다. 이 때 최적의 DFE 등화기 구조 외에 bit-precision을 위한 고정 소수점 (fixed point) 시뮬레이션 결과가 낮은 복잡도를 위해서 반영된다. 그림 18에 제안된 수신 적응 등화기 구조를 나타내었다. 제안된 구조는 FFF 없이 FBF 만 갖는 구조를 특징으로 복잡도를 개선한다.

본 연구에서는 ISI 성분을 제거하기 위하여 송신단에 3탭에서 5탭의 전송 전치 등화기를 구성하였고, 수신단에는 채널의 잔여 채널의 ISI 성분을 제거하기 위하여 DFE로 구성하였다. 구성된 수신 등화기의 구조는 그림 18와 같다. 채널에 의해 영향을 받은 수신 신호는 피드백 필터의 추정 신호를 통하여 보상하게 된다. 보상된 신호는 slicer를 통하여 데이터를 출력하고, 궤환 필터, 탭 계수 적응 알고리즘의 입력으로 사용하게 된다. 이 구조에서 에러의 크기를 수렴하게 하기 위하여 아이 크기 추정기를 사용하였다.

40Gb/s 이더넷 백플레인을 위한 수신 등화 기술은 기존의 10 Gb/s의 DFE 구조와 알고리즘에 비해 계산 복잡도의 증가 없이도 더 고속의 수렴과 더

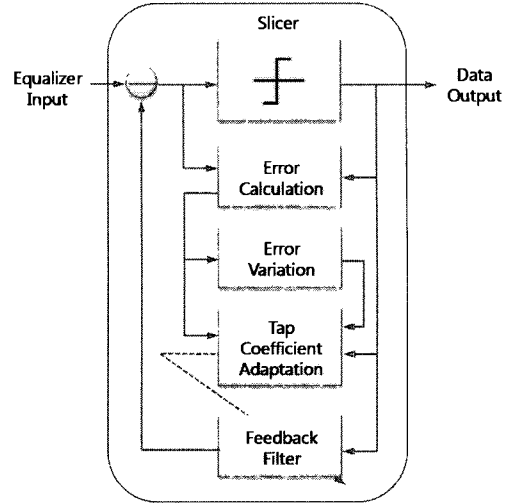


그림 18. 제안된 수신 적응 등화기 구조  
Fig. 18. Structure of proposed receive and adaptive equalizer

나은 트래킹 능력을 제공<sup>[13]</sup>하고또한더정확하게초기 타이밍을복원할수있는알고리즘을제공할것이다. 다음에 두 가지 알고리즘이 제안된다.

하나는 비트 끝과 비트 중간을 절충한 알고리즘이 제안된다.

등화기 계수는 채널 변동에 따라 달라지므로 흔히 적응 알고리즘이 탭 계수 결정을 위해 사용되는데 표준 LMS 적응 알고리즘은 구현은 쉽지만 적용할 때 CDR과 상호작용 때문에 엣지 등화에 대한 수렴을 보증하지 못한다. 따라서 등화 계수는 채널 변화에 강한 실시간 적응 방법이 유력하다. 또 비트 중간 (bit-center)는 비트 끝 (bit-edge)에 비해 샘플링 타이밍 획득이 불리하다<sup>[14]</sup>. 수신 등화 알고리즘으로 리얼타임 적응 방법 즉 수신 및 적응 등화 알고리즘 (Receive and adaptive equalization algorithm)이 요구된다. 이는 비트 끝 및 비트 중간 등화를 절충하여 빠르고 정확한 샘플링을 통한 데이터 획득이 목적인데 샘플링 타이밍을 어떻게 잡아 주느냐가 중요하다. LMS 알고리즘을 기반으로 초기 추정값을 이용하여 수렴속도도 개선하고 이는 수렴의 끝에 기존 LMS 알고리즘보다 더 작은 스텝 사이즈 (step size)를 갖도록 하여 더 나은 수렴 결과를 확보하여 채널 잡음 성분으로 인한 타이밍 이탈 현상이 발생하는 것을 방지할 수 있다. 여기서 bit-center 등화 기법은 샘플링 타이밍을 일반적인 아이가 최대가 되는 위치에서 획득하는 것이고 bit-edge 등화 기법은 아이가 제로 크로싱 (zero-crossing)되는 위치를 이용하여 샘플링 타이밍



을 포착하는 방법이다.

다른 하나는 sign regressor LMS 알고리즘이 제안된다.

수신단에 시시각각 변하는 채널의 특성에 따라 채널의 역함수를 구해 원신호를 복원하는 역할을 하는 실시간 수신 적응 등화 (Receive and Adaptive Equalization) 기술이 제안된다.

등화기 탭 계수 적응 알고리즘은 detector의 출력을 이용하기 때문에 Sign Regressor LMS 알고리즘이라 할 수 있다. 이 알고리즘은 기존의 LMS 알고리즘이 식 (1)로 표현된다고 하자.

$$W_{k+1} = W_k + \mu(-\nabla_k) = W_k + \mu e_k X_k \quad (1)$$

식 (1)에서 나타낸 바와 같이 LMS 알고리즘에서  $X_k$ 는 알고리즘에서 데이터 입력 값이 된다. 그러나 Sign Regressor LMS 알고리즘은 이 데이터 값  $X_k$ 을 그대로 사용하지 않고 이 값을 sign 함수를 넣어 준 결과를 사용하는 것이다. 따라서 이는 식 (2)와 같이 표현할 수 있다.

$$W_{k+1} = W_k + \mu e_k \text{sgn}(X_k) \quad (2)$$

식 2에서 각 값에 대응하는 에러  $e_k$ 는 식 (3)과 같이 표현할 수 있다.

$$e_k = \text{sgn}(X_k) - X_k \quad (3)$$

이 식에서 확인할 수 있듯이 에러 값은 1, -1에 대비하여 에러 값을 획득하게 된다.

수신 신호의 레벨이 작기 때문에 이 에러  $e_k$ 는 값이 커지게 된다. 따라서 그림 19에서와 같이 일정 부분에서 수렴을 하게 되지만, 실제로 에러 값이 완전하게 수렴할 수 없는 구조가 된다. 즉, 그림 18에서 나타낸 것과 같이 FBF만으로 구성된 등화기는 구조적 문제점을 갖는 것이다. 따라서 에러의 값이 최소가 되는 구간에서의 탭 계수 값을 구해야 정확한 데이터를 획득할 수 있으며, 또한 최대의 아이 열림을 획득할 수 있게 된다. 이러한 에러를 줄이기 위하여 시스템은 최소 에러 값을 가질 수 있도록 하는 알고리즘이 필요하다.

최소 에러 값 획득을 위한 알고리즘은 본 연구에

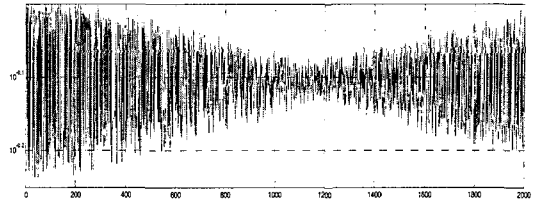


그림 19. 5탭 DFE의 에러 수렴도  
Fig 19. Error convergence of 5 tap DFE

서는 에러 절대값의 variance를 이용하여 탭 계수 값의 값을 고정하게 하였다. 그림 19에서 최소가 되는 구간의 variance가 가장 작으므로 이에 대응하는 값을 나타내어 주는 것이다. 이를 수식으로 나타내면 식 (4), (5)와 같다.

$$M_e = \frac{1}{N} \sum_{k=1}^N (\text{sgn}(X_k) - X_k)^2 = \frac{1}{N} \sum_{k=1}^N e_k^2 \quad (4)$$

$$V_e = \frac{1}{N} \sum_{k=1}^N (e^2 - M_e)^2 \quad (5)$$

이 식을 이용하여 에러의 분산을 구하고 최소가 되는 위치에서 탭 계수를 획득하고 이를 이용하여 정확한 성능을 획득할 수 있다.

## V. 수신등화기 성능검증 결과

시뮬레이션 구조에서 Transmitter 는 3~5탭의 FFF이고, 백플레인 채널은 40인치 스트립 라인을 갖는 44인치 전송채널, 그리고 Receiver는 5탭 FBF를 갖는 FBF로 구성되었다. 입력 신호는 PRBS  $10^{-31}$ 신호, 변조 신호는 2-PAM, 4-PAM 및 duo-binary 신호를 이용하였고, Transmitter, Backplane channel 그리고 Receiver의 5 탭 FBF를 갖는 DFE를 최종 통과한 후 아이 오프닝 결과를 그림 20 에 나타내었다. 5시간의 장시간 연속에러 측정시험에서 20 dB의 SNR에서는 에러가 발생하지 않았다. 표 1에 제안된 수신등화기 성능을 간략하게 요약하였다.

실제 송신 데이터는 전력이 1로 정규화 되어 있는 신호이지만, 채널을 통하여 감쇄되기 때문에 이에 대한 영향으로 인하여 시스템의 출력 에러가 커지게 되는 것이다. 따라서 에러가 커지게 되면서 나타나는 현상을 보완해주기 위하여 시스템에서는 에

표 1. 제안된 백플레인 전송채널, 수신적응등화기 및 알고리즘  
Table 1. Proposed Backplane, receive and adaptive DFE and It's algorithm

	장점	단점
전송 채널	44인치 백플레인 채널에서 80dB 삽입 손실, $10^{-12}$ BER	34인치 백플레인 채널에서 60dB 삽입 손실, $10^{-12}$ BER
DFE 구조	<ul style="list-style-type: none"> <li>· FBF만을 활용하기 때문에 구조 간단</li> <li>· Sign 함수를 활용하여 데이터 출력이 나타남</li> </ul>	<ul style="list-style-type: none"> <li>· Feed-forward filter가 없어 전송 등화기에서 채널을 충분히 보상하여야 함</li> <li>· 데이터 출력과 입력 값의 크기가 다르기 때문에 에러가 수렴하지 않음</li> <li>· 에러 수렴을 위한 별도의 알고리즘 필요</li> </ul>
알고리즘	<ul style="list-style-type: none"> <li>· FBF만을 활용하는 경우 에러 값이 계속 변하여 수렴하지 못함</li> <li>· 에러 값이 발산하는 경우를 방지</li> <li>· 최대의 이치를 획득</li> </ul>	에러의 variance를 측정하기 위한 별도의 에러의 variance 측정 블록이 필요

러가 최소가 되는 영역에서 값을 보정해야 한다. 따라서 최소 값 분산 (variance)을 갖는 영역에서 탭 계수를 획득하고 이 값으로 뒷 부분에 사용하는 탭 계수를 를 고정해주게 된다. 이와 같이 고정한 후 나타낸 후 아이 다이어그램을 획득할 경우 그림 20 과 같이 획득할 수 있다.

RTL 기능 검증은 Verilog HDL로 작성한 RTL 코드를 바탕으로 그림 21의 RTL 검증 블록도와 같이 수행하였다. 이 블록도는 앞에서 기술한 Sign Regressor LMS 를 적용한 수신등화 알고리즘의

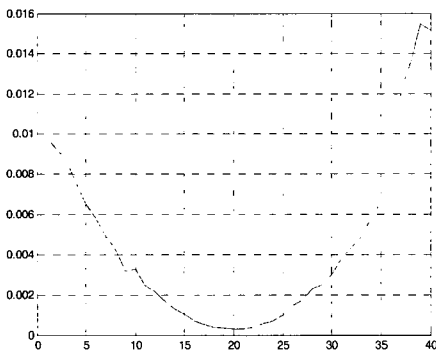
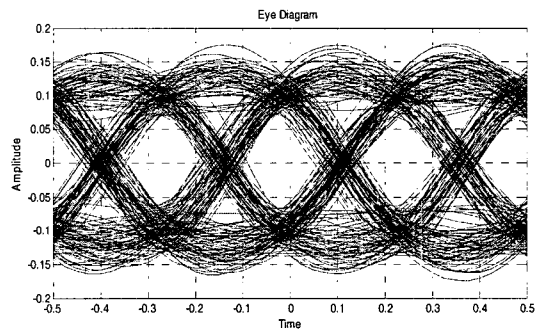


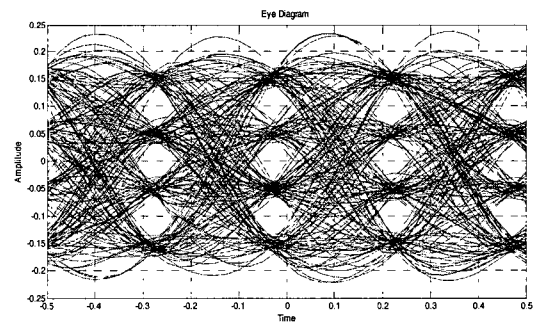
그림 20. 에러 분산의 크기 (에러 윈도우 사이즈 : 100)

Fig. 20. Size of error variance (error window size : 100)

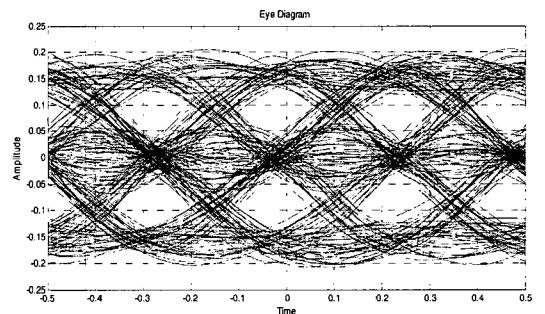
RTL 동작을 검증하기 위한 것이다. ROM1은 전송 단 에서 보내는 손실되지 않은 전송 데이터이고, Corrupted Data (ROM2)는 ROM1의 데이터가 TX-Equalizer와 채널을 거쳐 열화된 데이터 이다. Corrupted Data는 sign bit를 포함하여 14 bit 로 표현했는데, 이는 채널 열화된 아날로그 신호가 어떠한 ADC를 거치느냐에 따라 변할 수 있다. ROM2의 데이터가 RX-Equalizer의 입력으로 들어와 Sign Regressor LMS 알고리즘을 통하여 값이 복원 된다. 복원된 데이터는 비교기(comparator) 에



(a) 2-PAM 신호  
(a) 2-PAM signal

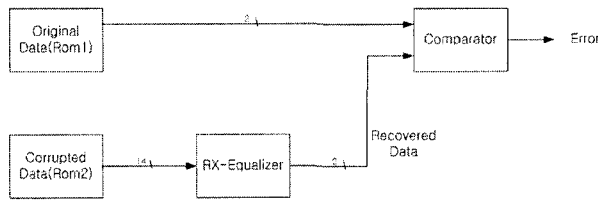


(b) 4-PAM 신호  
(b) 4-PAM signal

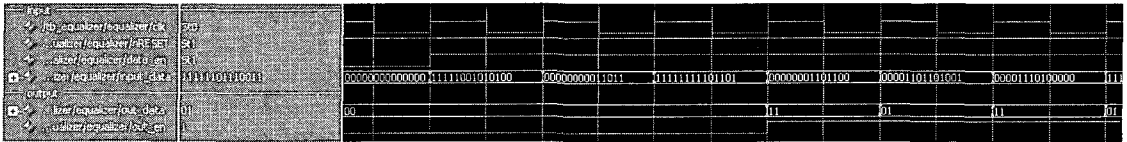


(c) Duo-binary 신호  
(c) Duo-binary signal

그림 21. 5탭 FBF를 갖는 DFE 결과  
Fig. 21 Eye opening Result of DFE with 5-Tap FBF



(a) 등화기 RTL 검증 블록도  
(a) Block diagram for RTL verification of Equalizer



(b) Input data  
(b) 입력 데이터



(c) Convergence status  
(c) 수렴 상태

그림 22. RTL 검증  
Fig 22. RTL Verification.

서 원래 데이터 (original data)와 비교하여 같지 않을 경우 1 bit Error 신호를 내보낸다.

### V. 결론

10 Gb/s x 4 채널을 수용하는 이더넷 백플레인을 통과한 데이터 수신 성능을 기존의 34인치 FR-4 백플레인 채널에서 60dB 삽입손실과  $10^{-12}$ BER을 만족하도록 IEEE 802.3ba 에서 규정한 것을 44인치 FR-4 백플레인 채널에서도 80 dB 삽입손실과  $10^{-12}$ 이상을 갖도록 스트립 라인을 설계한 백플레인 이더넷 전송채널 특성을 제시하였다.

또한, 40인치 이더넷 백플레인을 구현하기 위해 낮은 복잡도와 빠른 수렴도를 갖는 DFE 기반의 등화기와 변형된 LMS 알고리즘 갖는 sign regressor LMS 알고리즘이 제안되었다. 44 인치 백플레인 채널을 통해 10 Gb/s x4 레인으로 제공되는 40 Gb/s 데이터를 어렵지 않게 전송하기 위해 제안된 수신 적응 등화기 구조와 2-PAM, 4-PAM 및 duobinary 신호 입력을 통한 시뮬레이션 결과로 나타난 아이

오프닝을 제시하였다.

수신 적응 등화기 ASIC 칩은 통신시스템의 수신단에 장착되어 수신 감도를 향상시키기 위하여 응용되며, 본 문에서 소개한 바와 같이 현재 40인치 FR-4 백플레인에서 6.25 Gb/s 까지 제공하는 등화기와, 34인치 FR-4 백플레인에서 10Gb/s 까지 제공하는 등화기가 상용화되어 있다. IEEE 802.3ba 버전 1.0이 완료되는 2010년 9월 이후 40인치 FR-4 백플레인 채널에서 40 Gb/s 데이터를 전송하기 위한 수신 적응 등화기 상용 칩이 출현할 것으로 전망된다.

### 참고 문헌

- [1] Decision Feedback Equalizer for Jitter Reduction, US Patent : US 7,242,712, July 10, 2007, O. Katic.
- [2] Lakshmi P. Baskaran, Aldo Morales, and Sedig Agili, "Transmitter Pre-emphasis and Adaptive Receiver Equalization for Duobinary Signaling

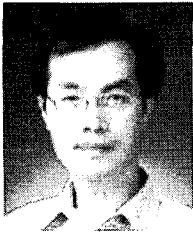
- in Backplane Channels,” *ICCE2007*, -pp.1~2, 10-14 Jan 2007.
- [3] Charles E. Berndt, Student Member, IEEE and Tad Kwasniewski, “A Review of Common Receive-End Adaptive Equalization Schemes and Algorithms for a High-Speed Serial Backplane,” *System-on-Chip for Real-Time Application, 2005 Proceedings 5th international workshop on 20-24 July 2005*, pp. 149-153. July 2005.
- [4] 이기현 외, “LMS 기반 적응 등화기에서 빠른 수렴을 위한 기준신호변경,” *한국통신학회논문지*, '94-5 Vol. 19, No.5, pp. 939-951.1994.
- [5] 네쇼날 세미콘덕트 웹사이트 ; <http://www.national.com/pf/DS/DS64BR401.html>
- [6] Y. Hur et al., “Equalization and Near-End Crosstalk (NEXT) Noise Cancellation for 20 Gb/s 4-PAM Backplane Serial I/O Interconnections,” *IEEE Transactions on Microwave Theory and Techniques*, Vol.53, No.1, pp.246-254, Jan 2005.
- [7] D. Chen, B. Wang, B. Liang, D. Cheng, T. Kwasniewski, “Decision-Feedback-Equalizer for 10-Gb/s Backplane Transceiver for Highly Lossy 56-inch Channels,” *ICCCAS 2008*.
- [8] Mingzhu Zhou, En Zhu, Shoujun Wang, Zhigong Wang, “A 6.25 Gb/s Decision Feedback Equalizer used in SerDes for High-speed Backplane Communications,” *Microwave and Millimeter Wave Technology International Conference, 2007 ICMMT*, pp. 1~4, 18-21 April 2007.
- [9] K.J. Wong et. al., “Edge and Data Adaptive Equalization of Serial-Link Transceivers,” *IEEE J. of Solid-State Circuits*, Vol43, No.9, September 2008.
- [10] Ravinder, “A Mixed-Signal Decision-Feedback Equalizer That Uses a Look-Ahead Architecture,” *IEEE Journal of Solid-State Circuits*, Vol.32, No.3. pp.450-459, Mar 1997.
- [11] Dianyong, “A Simulator for High-Speed Backplane Transceivers,” *UKSim 2009: 11<sup>th</sup> International Conference on Computer Modeling and Simulation*, pp.589-593, Mar.2003.
- [12] Li Yan, “A Modified vs LMS Algorithm, pp. 615-618, *ICAT2007*, Feb 12-14, 2007.
- [13] IEEE Std 802.3ba draft2.2, “CSMA/CD Access method and Physical Layer Specifications, Amendment : Access Control Parameters, Physical layers and Management Parameters for 40 Gb/s and 100 Gb/s Operation,” Sep. 2009.
- [14] S. Haykin, *Adaptive Filter Theory, 4-th Ed.*, Prentice Hall, 2002.
- [15] D. Chen, B. Wang, B. Liang, D. Cheng, and T. Kwasniewski, “A NOVEL CMOS EDGE EQUALIZER FOR 10-GB/S HIGHLY LOSSY BACKPLANE” *24th Biennial Symposium on Communications*, 2008.
- [16] M. Li, S. Wang, Y. Tao and T. Kwasniewski, “FIR filter optimization as pre-emphasis of high-speed backplane data transmission” *IEE, Electronics Letters* online no: 20040567, March. 2004.

약어

- ADC : Analog to Digital Converter  
 ADS : Advanced design simulator  
 BER : Bit Error Rate  
 CST : Computer Simulation Technology  
 DFE : Decision Feedback Equalizer  
 FBF : Feed-Back Filter  
 FFE : Feed Forward Equalizer  
 FR-4 :Flame Retardant 4  
 ISI : Inter-Symbol Interference  
 LMS : Least Mean Square  
 LPF : Low Pass Filter  
 MAC : Media Access  
 MSE : Mean Square Error  
 PRBS : Pseudo Random Bit Sequence  
 RLS : Recursive Least Square  
 ZF : Zero Forcing  
 ZOH : Zero-Order Hold

양 충 열 (Choong-reol, Yang)

정회원



1983년 건국대학교 전자공학과  
(학사)

1998년 충남대학교 대학원 전  
자공학과(석사 통신 및 제어  
전공)

2007년 충남대학교 대학원 전  
자공학과 (박사)

1992년 6월~현재 한국전자통신연구원 광인터넷연  
구부 광전송기술연구팀 책임연구원

<관심 분야> 광통신, 광패킷스위칭, 광인터넷

김 광 준 (Kwangjoon Kim)

정회원



1981년 서울대학교 자연과학대  
학 물리학과(이학사)

1983년 서울대학교 대학원 물리  
학과(이학석사 고체이론전공)

1993년 미국 Ohio State Univer-  
sity 물리학과 (이학박사, Con-  
ducting Polymer/비선형 광  
학 전공)

1984~현재 한국전자통신연구원 인터넷연구부 광  
인터넷연구부 광전송기술연구팀 팀장/책임연구원

<관심분야> 파장분할 다중화 광통신 기술, 고속 광  
전송 기술, 광패킷 스위칭 기술, ROADM 시스  
템 기술, 고속 이더넷 기술