

개방 루프 다중 분할 링 공진기를 이용한 0.13 um 전압 제어 발진기 설계

The Open Loop Multiple Split Ring Resonator Based Voltage Controlled Oscillator in 0.13 um CMOS

김 형 준 · 최 재 원 · 서 철 현

Hyoung-Jun Kim · Jae-Won Choi · Chul-Hun Seo

요 약

본 논문에서는 개방 루프 형태를 지닌 다중 분할 링 공진기를 이용하여 0.13 um CMOS 공정에서 전압 제어 발진기의 설계 및 제작을 통해 위상 잡음 특성을 개선하였다. CMOS LC 공진기를 이용한 기존의 전압 제어 발진기와 비교했을 때, 본 논문에서 제안한 CMOS 전압 제어 발진기의 보다 큰 결합 계수를 통하여 Q-factor의 향상을 얻을 수 있었고, 이로 인해 전압 제어 발진기의 위상 잡음의 특성을 개선할 수 있었다. 개방 루프 다중 분할 링 공진기를 이용하여 제안된 전압 제어 발진기의 위상 잡음은 1 MHz 오프셋에서 -99.67 dBc/Hz의 특성을 나타내었다. 기존의 CMOS LC 전압 제어 발진기에 비해 약 7 dB의 위상 잡음 개선 특성을 얻을 수 있었고, 발진 주파수는 24 GHz이며, 0.13 um CMOS 공정을 통해 0.7 mm×0.9 mm의 크기를 가지고 있다.

Abstract

In this paper, a novel voltage-controlled oscillator(VCO) using the open loop multiple split ring resonator(OLMSRR) is presented for improving the phase noise, implemented in 130 nm CMOS technology. Compared with the conventional CMOS LC resonator, the proposed CMOS OLMSRR has the larger coupling coefficient value, which makes a higher Q-factor, and has improved the phase noise of the VCO. The proposed CMOS VCO based OLMSRR has the phase noise of -99.67 dBc/Hz @ 1 MHz in the oscillation frequency. Compared with the VCO using the conventional CMOS LC resonator and the proposed VCO using the CMOS OLMSRR structure has been improved in 7 dB. The prototype 24 GHz CMOS VCO is implemented in 130 nm CMOS and occupies a compact die area of 0.7 mm×0.9 mm.

Key words : VCO, Low Phase Noise, Open Loop Multiple Split Ring Resonator, CMOS VCO

I. 서 론

최근 무선 통신 분야에서의 급속한 성장으로 인해 이동 통신의 응용 분야에서의 보다 많은 채널에 관한 요구가 증가하고 있다. 또한, direct conversion

방식이 크게 연구되어지고 있는 상황이다. 이는 기존의 Heterodyne 방식에 비해 전압 제어 발진기의 위상 잡음 특성과 안정도 및 시스템의 크기 또한 고려를 해야 한다. RF 통신 시스템에서의 주파수원으로 동작하는 전압 제어 발진기는 RF 통신 시스템에서

「본 논문은 한국과학재단 기초연구사업인 “RF 공진을 이용한 고효율 무선 에너지 전송 연구” 사업 지원으로 이루어졌음.」

승실대학교 정보통신전자공학부(Department of Electronic Engineering, Soongsil University)

· 논문 번호 : 20091127-13S

· 교신저자 : 서철현(e-mail : chulhun@ssu.ac.kr)

· 수정완료일자 : 2010년 2월 9일

핵심 부품으로써 그 중요성이 대두되고 있다. 특히, 전압 제어 발진기에서의 가장 중요한 요소인 위상 잠음 특성은 공진기의 Q 값에 가장 큰 영향을 받게 된다. 하지만, 기존의 CMOS 전압 제어 발진기에서는 CMOS 공정 자체로 제작된 인덕터의 Q 값이 6~13 정도로 높지 않는 값을 가지고 있다. 따라서, 기존의 LC 공진기로 이루어진 전압 제어 발진기의 위상 잠음특성은 높은 값을 가지기 힘들다. 인덕터의 제한된 Q 값을 개선시키기 위해 SRRs(Split Ring Resonators), CSRR(Complementary Split Ring Resonators) 구조를 이용한 공진기를 이용하여 전압 제어 발진기를 설계하고, 이에 따라 위상 잠음 특성의 개선을 기대할 수 있다^{[1]~[4]}.

따라서, 본 논문에서는 기존의 마이크로스트립 구조에서 검증된 분할 링 형태의 공진기를 CMOS에 적용하여 위상 잠음을 개선시키고자 한다. 또한, 커플링되는 값을 키우기 위해 단일 구조가 아닌 개방 루프 형태의 다중 분할 링 구조의 공진기를 이용하여 CMOS 전압 제어 발진기의 Q 값을 개선시키고 위상 잠음 특성을 개선시키고자 한다.

II. 공진기 설계 원리

개방 루프 공진기의 구조는 그림 1과 같이 세 가지 커플링으로 이루어진다. 각각 electric, magnetic, mixed 커플링으로 이루어져 있다.

그림 2는 사각형 구조의 개방 루프 공진기 형태를 보여주고 있다. 식 (1)은 공진기의 Q 값을 나타내는 식으로써 저장되는 에너지와 손실되는 에너지의 비율로 정의할 수 있다. 따라서, 커플링 계수 값을 기존의 공진기보다 높임으로써 저장되는 에너지를 늘릴 수 있으며, Q 값이 증가하게 되며, 전압 제어 발진기의 위상 잠음을 개선시킬 수 있다.

$$Q = \frac{\text{Average Energy Stored}}{\text{Energy Loss}} \quad (1)$$

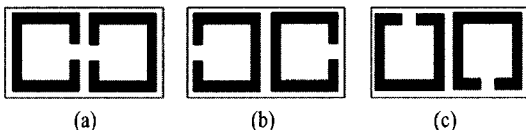


그림 1. 커플링 구조 방식
Fig. 1. Coupling structure.

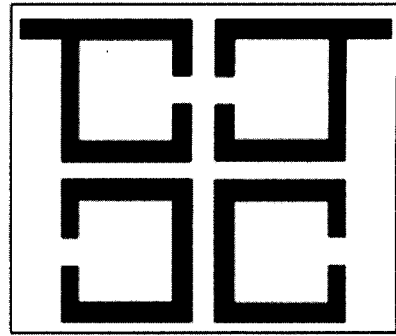


그림 2. 사각 개방 루프 공진기 구조
Fig. 2. Square open loop resonator structure.

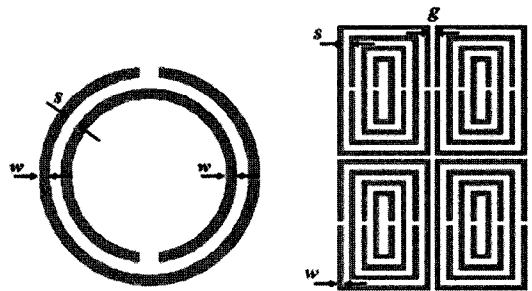


그림 3. (a) 기존의 SRR, (b) 제안된 OMLSRR
Fig. 3. (a) Conventional SRR structure, (b) Proposed OMLSRR structure.

그림 3은 기존의 Pendry가 제안한 SRR 구조와 본 논문에서 제안한 OMLSRR(Open Loop Multiple Split Ring Resonator) 구조를 보여주고 있다. SRR 구조는 LC 공진기로 등가 모델화가 가능하며, 캐패시턴스 값은 두 개의 링 사이의 커플링으로 등가화된다^{[5]~[7]}. 그림 3(b)는 기존의 사각형의 개방 루프 분할 링 공진기의 구조에 커플링 계수를 높이기 위해 다중 구조 형태로 설계하여 공진기의 Q 값을 높이는 구조이다. 기존의 원형 형태보다 사각형의 형태의 길이가 더 길게 됨으로써 더 낮은 공진 주파수를 가질 수 있다. 사각형의 개방 루프의 다중 구조로 인해 캐패시턴스 또한 증가하고 이로 인해 낮은 공진 주파수를 얻을 수 있으며, 이에 따라 동일한 공진 주파수에서 공진기의 소형화를 도출해낼 수 있다. 또한, OMLSRR 구조의 공진기에서는 기존의 SRR 구조에 비해 커플링 되는 캐패시턴스 값이 크기 때문에, 보다 높은 Q 값을 기대할 수 있으며, 이로 인해 전압 제어 발진기의 위상 잠음 특성을 개선시킬 수 있다^{[8],[9]}.

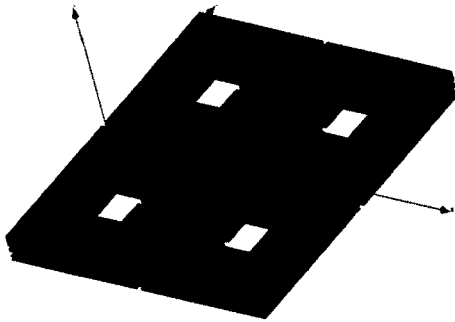


그림 4. 제안된 OLMSRR 공진기 구조
Fig. 4. Layout of the proposed OLMSRR.

III. 제작 및 실험 결과

3-1 제안된 CMOS OLMSRR 공진기 설계

제안된 OLMSRR 공진기는 동부 하이텍 0.13 um CMOS 공정을 이용하였다. 그림 4는 OLMSRR 공진기 구조를 보여주고 있다. 공진 주파수인 24 GHz 성능을 얻기 위해 UTM(Ultra Thick Metal)만으로는 어렵기 때문에, Metal-5까지 Via를 통해 effective thickness를 기존의 UTM 두께보다 두껍게 하여 공진기를 설계하였다. 제안된 공진기는 inner loop와 outer loop 사이의 magnetic 커플링 계수를 높이게 되며, 사각 개방 루프들 사이의 높은 electric 커플링 계수와 magnetic 커플링 계수를 이용하여 높은 성능의 제지 대역, 즉 높은 Q값을 얻을 수 있다.

3-2 저위상 잡음 CMOS 전압 제어 발진기 설계

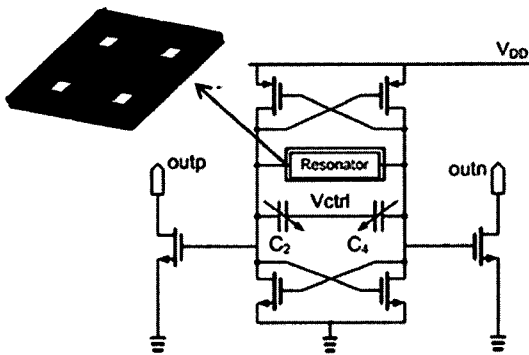


그림 5. 제안된 CMOS 전압 제어 발진기
Fig. 5. Schematic of the proposed CMOS VCO.

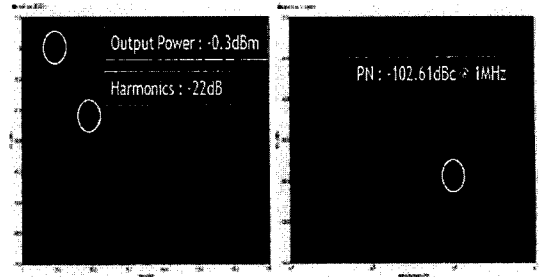


그림 6. 제안된 CMOS VCO의 시뮬레이션 결과
Fig. 6. Simulation of the proposed CMOS VCO.

본 논문에서는 0.13 um CMOS 공정을 이용하여 CMOS 전압 제어 발진기를 설계하였다. 그림 5는 제안된 OLMSRR 공진기를 이용하여 저위상 잡음 CMOS 전압 제어 발진기 구조를 보여주고 있다. 시뮬레이션 결과는 다음과 같다. 그림 6에서 보여주는 것과 같이 발진 주파수는 24 GHz이며, 출력 전력은 -0.3 dBm, 고조파는 -22 dBc 그리고 위상 잡음은 -102.61 dBc/Hz의 특성을 나타내었다. 이 때의 전압 제어 발진기에 인가된 바이어스 전압은 1.2 V이다. 그림 7은 본 논문에서 제안한 전압 제어 발진기와 비교하기 위해 제작한 CMOS LC 전압 제어 발진기이다. CMOS LC 전압 제어 발진기에 사용된 인덕터와 캐패시터, 버랙터의 값은 각각 106 pH, 27.3 fF, 29.5 fF이다. MOS 캐패시터 즉, 버랙터와 MIM 캐패시터의 array를 통해 전압 제어 발진기의 tuning range를 결정한다. 그림 7은 실제로 제작한 CMOS LC 전압 제어 발진기의 사진을 보여주고 있으며, 그림 8은 본 논문에서 제안한 OLMSRR CMOS 전압 제어 발진기의 설계된 칩사진을 보여주고 있다. 그림 9와

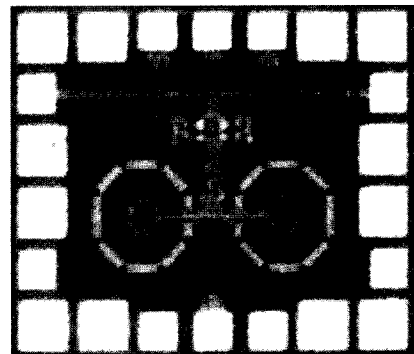


그림 7. CMOS LC 전압 제어 발진기
Fig. 7. Photograph of the CMOS LC VCO.

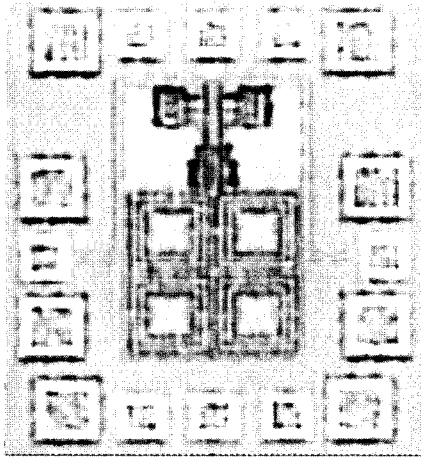


그림 8. 제안된 CMOS 전압 제어 발진기
Fig. 8. Photograph of the proposed CMOS VCO.

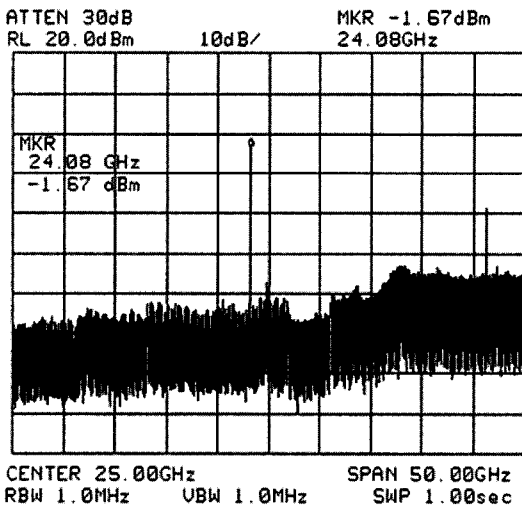


그림 9. 제안된 CMOS 전압 제어 발진기 측정 결과
Fig. 9. Measurement of the proposed OLMSRR CMOS VCO.

그림 10은 본 논문에서 제안한 OLMSRR CMOS 전압 제어 발진기의 측정된 출력 전력, 고조파 및 위상 잡음을 각각 보여주고 있다. 측정은 on-wafer 상에서 직접 probing을 하여 이루어졌다. 1.2 V의 바이어스 전압 조건하에 출력 전력은 -1.67 dBm, 고조파는 -18.5 dBc 그리고 위상 잡음은 -99.67 dBc/Hz의 특성을 각각 얻을 수 있었다. 본 논문에서 제안한 CMOS 전압 제어 발진기를 비교하기 위해 기준으로 잡은 CMOS LC 전압 제어 발진기의 특성은 표 1에 나타내었다.

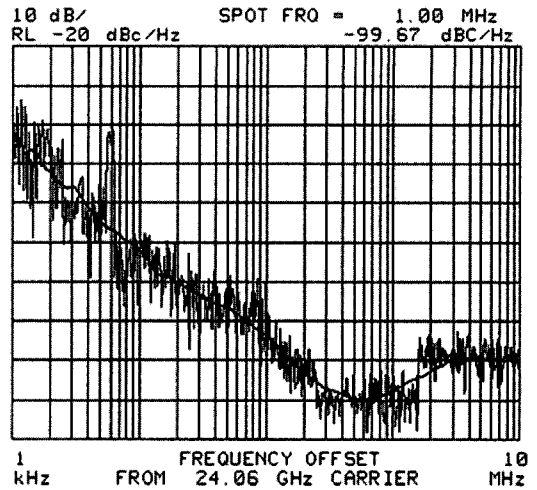


그림 10. 제안된 CMOS 전압 제어 발진기 측정 결과
Fig. 10. Measurement of the proposed OLMSRR CMOS VCO.

표 1. 전압 제어 발진기의 특성 비교

Table 1. The comparison of the conventional CMOS LC based VCO and proposed CMOS OLM-SRR based VCO.

	Conventional CMOS LC VCO	Proposed CMOS VCO
주파수	23.60~24.94 GHz (134 MHz)	23.08~24.36 GHz (128 MHz)
출력 전력	-2.1~-2.9 dBm	-1.67~-2.81 dBm
고조파	-17.7~-19.5 dBc	-18.5~-21.8 dBc
위상 잡음	-92.71~-94.87 dBc/Hz	-98.24~-99.67 dBc/Hz
FOM	-174.8~-176.9 dBc/Hz	-181.1~-182.5 dBc/Hz

$$FOM = L(\Delta f) - 20 \log\left(\frac{f_0}{\Delta f}\right) + 10 \log\left(\frac{P}{1mW}\right)$$

표 1을 통해 기존의 CMOS LC 전압 제어 발진기와 제안된 CMOS 전압 제어 발진기의 특성 및 FOM (Figure of Merit)를 비교하였다. 이 때, 제안된 CMOS 전압 제어 발진기는 출력 버퍼 증폭기를 포함하여 2.5 mA의 전류 소모를 갖고 있으며, 기존의 LC CMOS 전압 제어 발진기에 비해 우수한 특성을 나타내고 있음을 확인할 수 있다.

IV. 결 론

본 논문에서는 기존의 CMOS LC 공진기로 이루어진 전압 제어 발진기의 위상 잡음 특성을 개선시키기 위해 기존의 인덕터의 Q 값보다 상대적으로 더 높은 Q 값을 갖는 개방 루프 다중 분할 링 공진기를 이용하여 CMOS 전압 제어 발진기의 구조를 제안 및 설계하였다. 기존의 참고문헌에서 제시한 공진기 구조와의 차이점은 microstrip-line에서 구현된 구조를 CMOS 형태로 구현한 점이다. 이는 기존의 CMOS LC로 이루어진 공진기보다 더 높은 커플링 효과로 인해 Q 값이 개선되고, 따라서 CMOS VCO의 고조파 및 위상 잡음 특성을 개선시킬 수 있었다. 제안한 CMOS 전압 제어 발진기는 23.08~24.36 GHz 대역에서 동작하며, 위상 잡음 특성은 1 MHz 오프셋에서 $-98.24 \sim -99.67$ dBc/Hz이다. 이는 기존의 LC 공진기를 이용한 CMOS 전압 제어 발진기에 비해 약 7 dB의 위상 잡음 개선 특성을 나타내었다.

참 고 문 헌

[1] J. Choi, C. Seo, "Broadband and low phase noise VCO using tunable metamaterial transmission line based on varactor-loaded split-ring resonator", *Korea-Japan MicroWave Conference*, pp. 145-148, Nov. 2007.

[2] S. Im, C. Seo, Jaehoon Kim, Young-wan Kim, and Naesoo Kim, "Improvement of microstrip open loop resonator filter using aperture", *IEEE MTT-S International*, vol. 3, pp. 1801-1804, Jun. 2002.

[3] E. Park, C. Seo, "Low phase noise oscillator using microstrip square open loop resonator", *IEEE MTT-*

S International Microwave Symposium, Jun. 2006.

[4] Young-Taek Lee, Jong-Sik Lim, Jun-Seok Park, D. Ahn, and Sangwook Nam, "A novel phase noise reduction technique in oscillators using defected ground structure", *Microwave and Wireless Components Letters, IEEE.*, vol. 12, issue 2, pp. 39-41, Feb. 2002.

[5] I. Gil, J. Bonache, J. G. Garcia, and F. Martin, "Tunable metamaterial transmission lines based on varactor-loaded split-ring resonators", *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 6, Jun. 2006.

[6] J. S. Hong, M. J. Lancaster, "Theory and experiment of novel microstrip slow-wave open-loop resonator filters", *IEEE Transactions on Microwave Theory and Techniques*, vol. 45, no. 12, pp. 2358-2365, Dec. 1997.

[7] J. S. Hong, M. J. Lancaster, "Coupling of microstrip square open-loop resonators for cross-coupled planar microwave filters", *IEEE Transactions on Microwave Theory and Techniques*, vol. 44, no. 12, pp. 2099-2109, Dec. 1996.

[8] F. Falcone, T. Lopetegi, J. D. Baena, R. Margues, F. Martin, and M. Sorolla, "Effective negative stopband microstrip lines based on complementary split ring resonators", *IEEE Microwave and Wireless Components Letters*, vol. 14, no. 6, Jun. 2004.

[9] J. Choi, C. Seo, "Low phase noise vco using microstrip square open loop multiple split ring resonator", *IEEE MTT-S International Microwave Symposium*, pp. 1469-1472, Jun. 2008.

김 형 준



2005년 2월: 숭실대학교 정보통신 전자공학부 (공학사)
 2007년 2월: 숭실대학교 정보통신공학과 (공학석사)
 2007년 3월~현재: 숭실대학교 정보통신공학과 박사과정
 [주 관심분야] 초고주파 회로 설계, RFIC, RF Power Amplifier, VCO, Digital RF 등

최 재 원



2006년 2월: 숭실대학교 정보통신 전자공학부 (공학사)
 2006년 3월~현재: 숭실대학교 정보통신공학과 박사과정
 [주 관심분야] 초고주파 회로 설계, RFIC, RF Power Amplifier, VCO, RFID 등

서 철 현



1983년 2월: 서울대학교 전자공학과 (공학사)

1985년 2월: 서울대학교 전자공학과 (공학석사)

1993년 3월: 서울대학교 전자공학과 (공학박사)

1993년~1995년: MIT 연구원

1993년~1997년: 숭실대학교 정보통신공학과 조교수

1999년 8월~2001년 1월: MIT 방문교수

1997년~2004년: 숭실대학교 정보통신전자공학부 부교수

2004년~현재: 숭실대학교 정보통신전자공학부 교수

[주 관심분야] 이동 및 위성 통신 Microwave 부품 및 시스템, PBG를 이용한 RF 부품, RF Power Amplifier, RFIC 등