

10 GHz 대역 기판 집적 도파관 대역 통과 여파기의 EM 시뮬레이션을 이용한 설계 및 제작

Design and Fabrication of 10 GHz Substrate Integrated Waveguide Band Pass Filter Based on EM Simulation

이원희 · 오현석 · 정해창 · 염경환

Won-Hee Lee · Hyun-Seok Oh · Hae-Chang Jeong · Kyung-Whan Yeom

요 약

기판 집적 도파관(substrate integrated waveguide)은 높은 Q 와 타 소자와 집적 가능성 때문에 최근 연구가 활발하다. 그러나 이의 특성은 기존 도파관 달리 해석적인 형태로 특성화되지 않아, 과거의 여파기 설계 방법으로는 정확한 설계를 하기가 어렵다. 본 논문에서는 최근 제시된 EM(Electro-Magnetic) 시뮬레이션을 기반으로 한 대역 통과 여파기 설계 방법으로 10 GHz에서 10 %의 대역폭을 갖는 3단 기판 집적 도파관 대역 통과 여파기를 3D EM simulator HFSS를 이용하여 설계하였다. 이 때 기판 집적 도파관은 마이크로스트립과 천이(transition)를 필요로 하는데, 여기서 기존 제안된 CPW(Coplanar Waveguide)대 SIW 천이 구조를 변형하여 적용하였다. 제안된 천이 구조는 천이 길이가 짧고 상용의 test fixture를 사용하여 TRL 측정이 가능하게 되어 있다. 제안된 2가지 천이 구조에 대하여 여파기를 제작하였으며, 제작된 여파기는 예상한대로 중심 주파수 10 GHz에서 10 %의 대역폭 약 12 dB 반사 손실, 0.8 dB 삽입 손실의 특성을 보였다.

Abstract

Recently, SIW(Substrate Integrated Waveguide) is intensively studied because of its high Q and easy integration with other devices. However, lacks of analytic characterization of SIW makes it difficult an accurate design of a SIW filter along the conventional filter design method. In this paper, two kinds of a three-stage 10 GHz SIW bandpass filter of fractional bandwidth 10 % are designed using 3D EM simulator HFSS based on the recently presented EM filter design method. Two types of a modified CPW to SIW transition is proposed and employed as a SIW to microstrip transition necessary for measurement. The transitions provide an easy measurement with commercial test fixture by TRL calibration. The two proposed transitions are included in the SIW filters. The fabricated filters shows the center frequency of 10 GHz, fractional bandwidth 10 %, a return loss of about 12 dB, and insertion loss of about 0.8 dB.

Key words : Substrate Integrated Waveguide, Bandpass Filter, EM Simulation

I. 서 론

일반적으로 초고주파 회로에서 쓰이는 여파기는 마이크로스트립(microstrip) 구조와 도파관 구조가 있다. 마이크로스트립의 경우 크기가 작고 제작이 용

이하며, 타 소자와 집적이 쉽고, 대량 생산에 유리한 장점이 있다. 반면, 도파관은 마이크로스트립보다 Q 값이 높아, 여파기 구성 시 주파수 선택도 면에서 우수하지만, 다른 소자와 집적이 어렵다는 단점이 있다.

「이 논문은 2009년 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(2009-0063839).」

충남대학교 전파공학과(Dept. of Radio Science and Engineering, Chungnam National University)

· 논문 번호 : 20091127-01S

· 교신저자 : 염경환(e-mail : khyeom@cnu.ac.kr)

· 수정완료일자 : 2010년 2월 8일

기판 집적 도파관(substrate integrated waveguide) 구조는 K. Wu에 의해 처음으로 제안되었으며^[1], 기판에 비아 홀(via hole)을 이용하여 도파관을 구성하는 것으로서, 불완전하지만 도파관과 유사한 동작을 하게 된다. 또한 기판에 구성되기 때문에 앞서 언급한 집적도에서의 도파관의 단점을 용이하게 극복할 수 있을 것으로 예상된다. 뿐만 아니라, 높은 Q값에 의해 여파기로 응용이 기대된다.

그러나 기판 집적 도파관을 이용하여 여파기를 설계할 경우, 기판 집적 도파관은 도파관과는 달리, 해석적인 형태로 특성 임피던스나 파장을 표시하기 어렵고, 또한 표시하여도 경험적으로 얻어진 근사식이어서 정확한 여파기 설계가 어렵다. 또한 도파관 여파기 설계에서 인버터(inverter)로 사용되는 아이리스(iris)와 기둥(post) 등의 불연속 구조의 경우, 도파관 결과로부터 정성적인 속성은 유추할 수 있지만, 이의 정확한 값은 결정하기 어려운 점이 있다.

기존의 여파기 설계 방법은 여파기를 공진기와 인버터로 결합된 인버터-기준형의 결과로부터 이상적인 전송선으로 가정하고, 적용하여 얻어진 설계 공식에 의하여 여파기의 치수를 결정하여 설계하는 방법이었다^{[2],[3]}. 이러한 설계 방법은 실제 구조에서 나타나는 여러 가지 효과를 정확하게 고려할 수 없으며, 실제 결과와 설계 결과를 비교하면 오차가 발생하게 되고, 추가적인 조정 작업을 통해서 여파기의 특성을 만족시켜야만 한다. 과거 도파관 구조를 이용하여 설계된 여파기의 경우에는 제작 후에 조정 나사를 이용 조정하여 원하는 특성을 얻는 것이 대부분이다. 그러나 이와 같이 추가적인 조정 작업을 거치는 방법은 본 논문에서 설계하려고 하는 여파기에는 적합하지 않으며, 많은 문제점을 동반한다.

본 논문에서는 참고문헌에 제안된 방법으로 EM 시뮬레이션하여 10 GHz 대역 기판 집적 도파관형 대역 통과 여파기를 설계하였다^[4]. 또한 이 때 여파기 측정을 위해서는 마이크로스트립으로 종단이 처리되어야 하는데, 이의 천이 구조는 참고문헌에 K. Wu 및 공동연구자에 의하여 제안된 천이 구조를 사용하였다^[5]. 그러나 이 구조는 직접적으로 적용시, 삽입 손실과 반사 손실에서 성능이 떨어져, 이 구조를 변형하여 2가지 천이 구조를 제안하였다. 제안된 천이 구조의 해석적인 특성은 얻을 수 없으나, K.

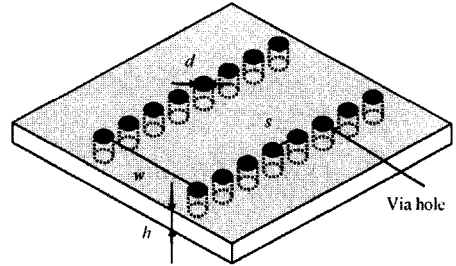


그림 1. 기판 집적 도파관의 구조^[6]
Fig. 1. Structure of SIW(Substrate Integrated Waveguide)^[6].

Wu의 천이 구조보다 우수한 특성이 예측되었으며, 참고문헌의 방법에 따라 이를 처리할 수 있었다^[4]. 제작된 여파기는 설계에서 예상한대로 10 %의 대역폭을 갖고 약 12 dB 반사 손실, 0.8 dB 삽입 손실의 특성을 보였다.

II. HFSS를 이용한 기판 집적 도파관의 해석

그림 1은 기판 집적 도파관의 구조를 보였다. 그림 1에 보인 바와 같이 유전체의 윗 면과 아랫 면이 도체로 덮여 있고, 도파관의 세로축 벽면을 비아 홀로 대체함으로써 금속 벽과 같은 효과를 가지게 하였다.

이와 같은 기판 집적 도파관은 등가장축(a) 및 등가단축(b)를 갖는 각형 도파관과 유사한 기능을 하며, 이 때 도파관의 등가장축, a 및 차단 주파수, $f_{c, mn}$ 은 식 (1), (2)로 근사적으로 표현된다^[6].

$$a = w - 1.08 \frac{d^2}{s} + 0.1 \frac{d^2}{w} \quad (1)$$

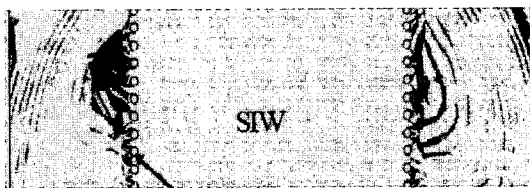
$$f_{c, mn} = \frac{c}{2\pi\sqrt{\epsilon_r}} \sqrt{\left(\frac{m}{a}\right)^2 + \left(\frac{n}{b}\right)^2} \quad (2)$$

여기서 w 는 기판 집적 도파관의 폭, d 는 벽면 비아 홀의 지름, s 는 비아 홀 사이의 거리를 나타낸다. 기판 집적 도파관의 설계를 위해 사용된 식 (1)은 기존 연구에서 밝혀진 수식이며, 경험적으로 얻어진 결과이다. 식 (1)의 유효 폭에 의해 식 (2)에서의 차단 주파수가 계산된다. c 는 광속이 되고, ϵ_r 은 선택된 기판의 유전율이 된다. 기판 집적 도파관의 기본 모드는 각형 도파관과 같이 TE_{10} 모드이며, 각형 도파관과 같이 차단 주파수를 가지고 있다.

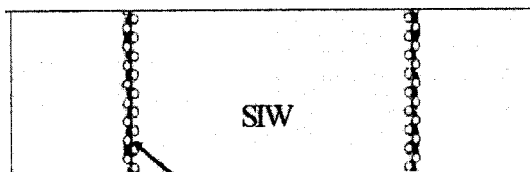
본 논문에서는 $d=15$ mil, $s=30$ mil, $w=550$ mil 이고, 기판의 두께(h)는 31 mil이고 10 GHz에서 유전율이 2.20인 기판 집적 도파관을 사용하였다. 본 논문에서 선정된 기판은 앞서의 조건을 만족하는 Rogers사의 RT/Duroid 5880이다^[7]. 이 때 기판의 두께는 기판 집적 도파관 특성 임피던스와 밀접한 관련이 있으며, 기판의 두께가 얇아질수록 특성 임피던스가 감소하는 경향을 갖는다. 따라서 50 ohm의 마이크로 스트립과 기판 집적 도파관의 임피던스 차이를 최소화하기 위해서 31 mil 두께의 기판을 사용하였다.

그림 2(a)는 이와 같이 설정된 벽면의 비아 홀이 1열로 구성된 기판 집적 도파관에 대하여 시뮬레이션한 결과이다. 이 경우 그림 2(a)와 같이 비아와 비아 사이에 전계의 누설이 발생하는 것을 알 수 있고, 이는 기판 집적 도파관의 삽입 손실을 증가시키는 요인이 된다. 이를 개선하기 위해 다중 비아 벽을 이용하였다^[8]. 그림 2(b)는 이와 같이 이중 비아 벽을 갖는 기판 집적 도파관을 보여주며, 이것에 대하여 시뮬레이션한 결과를 보여준다. 그림 2(b)에서 그림 2(a)에 존재했던 누설이 상당히 감소하는 것을 알 수 있다. 따라서 본 논문의 여파기 구조에는 이와 같이 이중 비아 벽을 갖는 기판 집적 도파관을 사용하였다.

이와 같이 설정된 기판 집적 도파관의 주파수가



(a) 1열 비아 벽
(a) 1 column via fence



(b) 2열 비아 벽
(b) 2 column via fence

그림 2. 기판 집적 도파관의 비아 홀 배치에 따른 전계 누설

Fig. 2. E-field leakage in SIW.

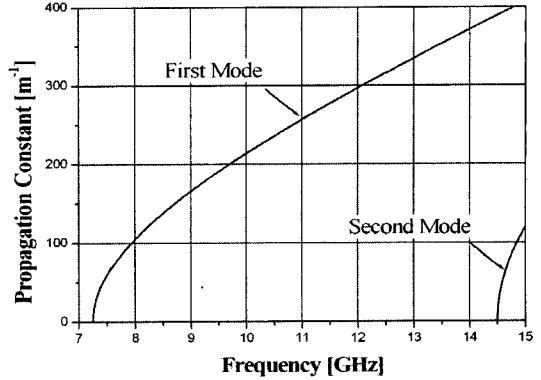


그림 3. 선택된 기판 집적 도파관의 전파상수

Fig. 3. Propagation constant of the selected SIW.

용 범위를 확인하기 위해 HFSS를 이용해 시뮬레이션하여 결과를 그림 3에 나타내었다. 첫 번째 모드의 차단 주파수가 7.2 GHz, 두 번째 모드의 차단 주파수가 14.5 GHz에서 나타나므로 설계한 여파기의 중심 주파수 10 GHz에서 사용이 가능한 것을 알 수 있다.

그림 4(a)는 여파기 구성에 필요한 비아 홀을 이용한 윈도우(window)형 아이리스 구조를 보였다. 이것은 수동 구조이기 때문에 그림 4(b)와 같이 T-형 등가회로로 나타낼 수 있다^[9]. T-형 등가회로는 세 개의 임피던스 성분으로 두 개의 직렬 성분과 한 개의 병렬 성분을 갖는다. 직렬 임피던스는 $z_{11} - z_{12}$, $z_{22} - z_{12}$ 로 나타낼 수 있고, 병렬 임피던스는 z_{12} 로 나타난다. 각각의 값은 그림 4(a)의 기준선에서 HFSS 시뮬레이션으로 얻어진 S-parameter를 Z-parameter로 변환하여 얻을 수 있다.

도파관과 유사한 특성을 갖는 기판 집적 도파관에서 상하 도체를 연결하는 기둥이나 아이리스의 경우 유도성 리액턴스를 갖는다. 본 논문에서는 기판에서 상하 도체를 연결하는 비아로 아이리스를 구현하였다. 이 때 여기서 얻어진 T-형 등가회로의 z_{12} 가 K-인버터 상수가 되게 된다^[10]. 이 값은 HFSS로 아이리스 폭 w 에 따라 계산하였으며, 그 결과를 그림 5(a)에 보였다. 그림 5(a)에서 구조가 대칭이기 때문에 $z_{11} - z_{12}$ 와 $z_{22} - z_{12}$ 는 같아야 되는데, 결과는 예상대로 유사한 것을 알 수 있다. 다소의 차이는 시뮬레이션의 정확도와 관련되는 것으로 사료된다.

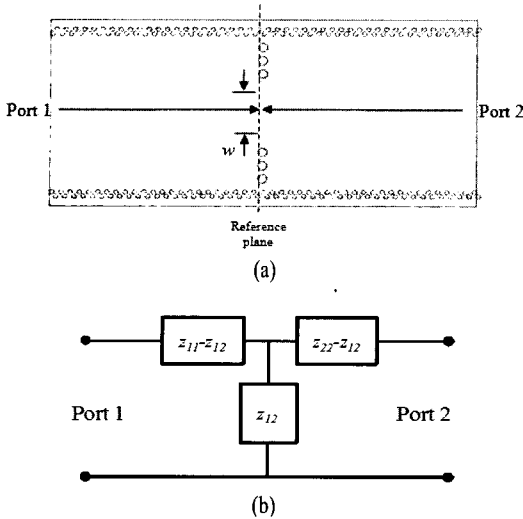


그림 4. (a) 기관 집적 도파관에서 폭(w)을 갖는 아이리스 구조의 K-인버터와 (b) K-인버터의 T-형 등가회로^[9]
 Fig. 4. (a) Iris type K-inverter with a width of w in SIW and (b) T-type equivalent circuit for K-inverter^[9].

그림 5(b)에서는 주파수 변화에 따른 z_{12} 의 변화를 보였다. 이 구조는 유도성 구조이므로 가용 주파수 대역에서 인덕터의 특성을 보여야 하는데, 그림 5(b)에서 그 값이 양(positive)이므로 계산 결과는 정확한 것으로 사료된다. 따라서 그림 5(a)의 결과로부터 아이리스 사이의 폭(w)을 가변하여 K-인버터 값을 변화시킬 수 있으며, 이를 통해 초기의 적절한 K-인버터 값을 설정할 수 있게 된다.

III. CPW 대 SIW 천이 구조

종단이 기관 집적 도파관 구조로 설정될 경우에는 현재의 측정 환경으로는 이를 측정하기 어렵다. 따라서 반드시 마이크로스트립 천이 구조가 필요하게 된다. 이러한 배경에서 기관 집적 도파관의 다양한 천이 구조가 연구되었다^{[1],[5],[11],[12]}.

그림 6은 기존의 기관 집적 도파관을 위한 천이 구조(그림 6(a), (b) 및 (c))와, 그림 7에는 본 논문에서 제안한 두 가지 천이 구조를 보였다(그림 7(a) 및 (b)). 기존의 여파기 연구에서 주로 사용되었던 그림 6(a)와 같은 테이퍼(taper) 천이 구조는 간단한 구조를 가지고 있어 과거 천이 구조로 널리 사용되었다

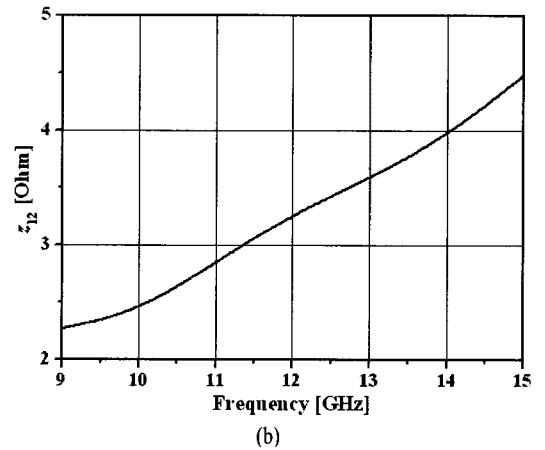
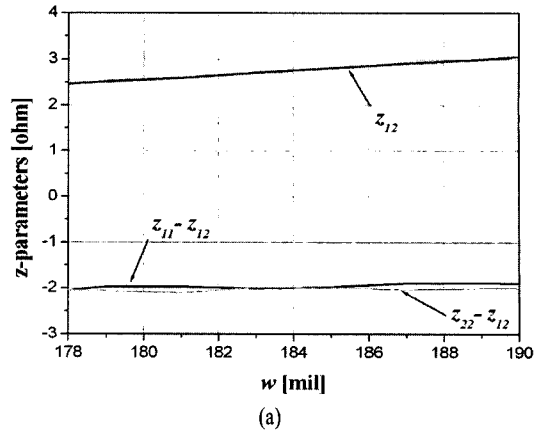


그림 5. (a) 중심 주파수 10 GHz에서 아이리스 폭 w 에 대한 z -파라미터 시뮬레이션 결과와 (b) w 가 178 mil일 때 주파수에 대한 z_{12} 시뮬레이션 결과
 Fig. 5. (a) Z-parameter with w as a parameter at 10 GHz (b) z_{12} for frequency at $w=178$ mil.

^{[13],[14]}. 그러나 이것의 천이 길이가 길게 되는데, 이를 개선하기 위하여 그림 6(b)와 같이 짧은 천이 길이를 가지고 전기적 특성이 우수한 CPW(Coplanar Waveguide)를 이용한 천이 구조를 제안된 바 있다^[5]. 이러한 CPW는 중앙 선로의 폭을 자유롭게 선택할 수 있어, 상용의 test fixture에 적합하며^[15], 여파기 측정이 용이하다.

그러나 CPW를 이용한 기존의 천이 구조는 방사 손실과 기관 집적 도파관 반대 방향으로의 도파에 의한 손실을 가져 천이 손실(transition loss)이 커지게 된다^[5]. 이러한 단점을 보완하기 위해 최근 그림 6(c)와 같은 구조가 제안된 바 있다^[11]. 이 구조는 기관

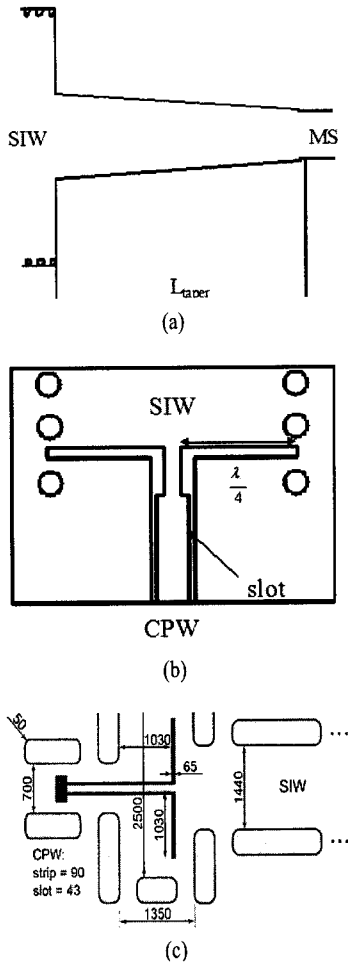


그림 6. (a) 기존의 taper 천이 구조, (b) 기존의 CPW-to-SIW 천이 구조^[5], (c) 기존의 CPW-to-SIW 천이 구조^[11]

Fig. 6. (a) Conventional taper transition, (b) Conventional CPW-to-SIW transition^[5], (c) Conventional CPW-to-SIW transition^[11].

집적 도파관 반대 방향의 도파 손실을 제거하기 위해 슬롯으로부터 $\lambda/4$ 떨어진 지점에 back-short를 구성하였다. 그 결과 천이 구조의 길이가 길어지는 단점을 갖는다. 또한 동축 커넥터를 연결하는 것이 불가능하다.

따라서 본 논문에서는 이를 개선하기 위하여 그림 7(a)와 같은 구조를 제안하였다. 이것은 그림 6(c)와 같이 back-short를 사용하지 않으며, 한 쪽 방향으로만 에너지를 전달하기 위하여 슬롯 바로 뒤에 비아 벽을 구축한 것이다. 이는 기존 테이퍼 천이 구조의 길이는 $L_{taper}=617$ mil에 비해 제안된 구조는 그

표 1. 천이 구조의 설계 값

Table 1. Values of the transitions.

| | l_1 | l_2 | d_1 | d_2 | d_3 | L_1 | D_1 | D_2 | θ |
|-------|--------|-------|-------|-------|-------|--------|-------|-------|----------|
| | [mil] | [mil] | [mil] | [mil] | [mil] | [mil] | [mil] | [mil] | [°] |
| Value | 204.16 | 76.5 | 21 | 10 | 5 | 144.16 | 21 | 5 | 101.1 |

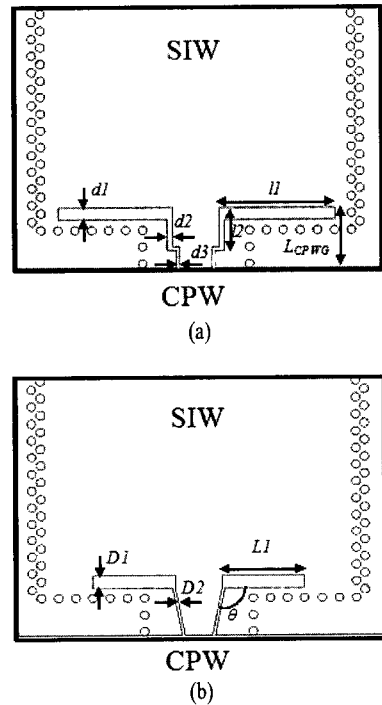


그림 7. (a) 계단형 CPW를 이용한 천이 구조, (b) 경사면형 구조의 CPW를 이용한 천이 구조

Fig. 7. Improved transitions by (a) stepped CPW, and by (b) tapered CPW.

림 7(b)에 표시된 $L_{CPW}=107.5$ mil로 509.5 mil 짧아진 천이 길이를 갖는다. 그림 7(b) 구조는 (a) 구조의 제작에 따른 어려움을 제거한 것으로 2단에 걸친 계단형 CPW 대신에 경사면형 구조를 갖게 하여 제작의 편이성을 제공한 것이다. 슬롯의 치수 (D_1, L_1)와 슬롯과 CPW가 이루는 각 (θ)이 주요 설계 값이 된다.

그림 7(a)의 천이 구조를 설계하기 위해 천이 구조 입출력 CPW가 50 ohm의 임피던스를 갖도록 ADS의 LineCalc를 이용하여 CPW를 설계하였다. 다음으로 입출력 쪽과 기판 집적 도파관을 연결하는 CPW의 임피던스는 기판 집적 도파관의 임피던스 42 ohm과 입출력 CPW의 임피던스 50 ohm의 기하평

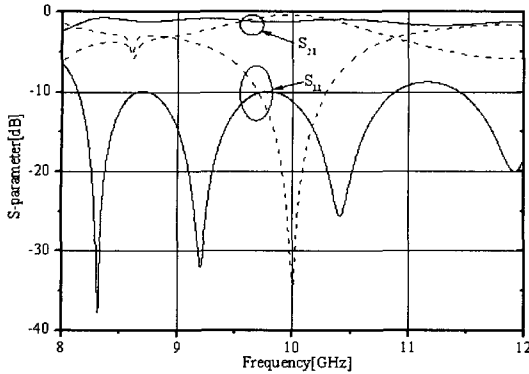


그림 8. 제안된 CPW 대 SIW 천이 구조 및 기존 천이 구조의 주파수 응답 특성^[5]
 Fig. 8. Frequency responses of the proposed CPW-to-SIW and the previous transition structure^[5].

균값인 46 ohm을 갖도록 설계하였다. 기관 집적 도파관 내의 슬롯은 46 ohm을 갖는 CPW와 동일한 폭으로 기관 집적 도파관의 벽면 비아까지 연장하였다. 슬롯에서 정현파 형상의 전계가 나타나기 위해서는 슬롯은 약 1/4 파장에 가까운 길이를 가져야 한다. 이 값을 슬롯의 폭과 길이의 초기 값으로 설정하고 천이 구조의 삽입 손실이 최소가 되도록 길이를 조정하고, 선정된 길이에서 슬롯의 폭을 조정하여 표 1의 결과를 얻었다.

그림 8은 기존의 CPW 대 SIW 천이 구조에 대한 결과와 제안된 천이 구조에 대하여 HFSS로 시뮬레이션한 결과이다. 기존의 구조는 주파수 25~31 GHz에서 설계되었고, 본 논문의 제안된 천이 구조는 주파수 대역인 8~12 GHz에서 설계되어 비교를 위해 기존의 천이 구조를 8~12 GHz 주파수 대역으로 재설계하였다. 그림 8에서 점선은 그림 6(b)의 CPW 대 SIW 천이 구조를 8~12 GHz에 대한 재설계한 결과이고, 실선은 제안된 천이 구조에 대하여 결과이다. 기존의 그림 6(b)는 문헌에서 제시한 주파수보다 낮게 설계될 때 slot에서의 방사가 커지고 CPW에서 불완전한 접지면을 가지는 것을 HFSS의 결과를 통해 확인하였다. 그 결과 10 GHz에서 근처에서만 협대역으로 정합되어지는 반면 본 논문에서 제시한 구조는 8~12 GHz에서 back-to-back 조건에서 삽입 손실이 1.5 dB 이하 반사 손실 10 dB 이하의 특성을 갖는다. 기존의 논문에서 제안된 CPW 대 SIW 천이 구조에 비해서 삽입 손실과 반사 손실 모두 우수하여 여

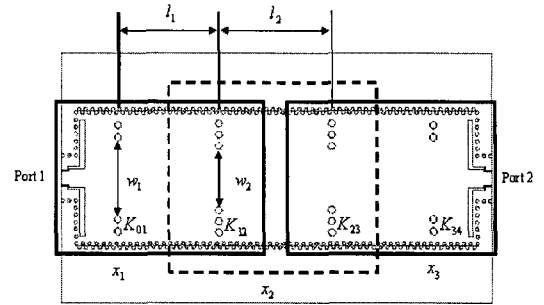


그림 9. 계단형 CPW 천이 구조를 갖는 대역 통과 여파기의 개별공진기 구조와 설계 파라미터(l_1 , l_2 , W_1 , W_2) 정의
 Fig. 9. Individual resonator decomposition for a band pass filter with stepped CPW transition and the definition of design parameters(l_1 , l_2 , W_1 , W_2).

파기의 적용에 문제가 없을 것으로 사료된다.

IV. EM 시뮬레이션을 이용한 여파기 설계 과정

그림 9에는 3단으로 구성된 전체 여파기 구조를 보였다. 그림 9에서 공진기는 크게 3단의 반파장 공진기로 구성되어 있으며, 따라서 l_1 및 l_2 는 반파장에 가까운 길이를 가지게 되고, 여파기는 좌우대칭이므로 3단에 사용된 공진기의 길이는 l_1 과 같게 된다. 이들의 정확한 값은 EM 시뮬레이션을 통하여 결정되게 된다. 또한 아이리스로 나타나는 K-인버터 값들은 K_{01} , K_{12} , K_{23} 및 K_{34} 로 나타내었고, 이것은 그림 5(a)의 아이리스 폭에 의하여 결정되게 된다. 이 때 입력 및 출력 공진기에 나타나는 천이 구조는 앞선 설계 값으로 고정되어 있으며, 여파기 설계에서 결정되는 값은 아니다. 또한 이 여파기는 직접결합 형태로 좌우 대칭인 형태를 갖게 된다.

여파기의 중심 주파수는 10 GHz, 상대 대역폭 10%, 리플 0.5 dB 체비셰프(Chebyshev) 형태로 설정하였다. 이를 통해 계산된 지역 통과 여파기 기준형 값은 $g_1 = g_3 = 1.5963$, $g_2 = 1.097$ 의 값을 얻게 된다.

최근 제안된 EM을 이용한 여파기 설계 방법을 이용하여 설계하기 위하여 그림 9와 같이 점선으로 된 사각형의 중앙공진기와, 실선 사각형으로 표시된 입력공진기에 해당하는 2개의 개별공진기로 분해하고, 각각의 개별공진기 EM 시뮬레이션을 통하여, 이 공진기들이 원하는 값을 갖도록 조정한다 뒤 취합하는

것이다^[4].

따라서 그림 9에서 중앙 공진기에서 시작하여, EM 시뮬레이션을 통해, 설계 치수인 아이리스의 폭 w_2 및 공진기의 길이 l_2 를 결정하고, 다음 이 치수를 고정하고 입출력 공진기의 설계 치수 w_1 및 l_1 을 조정하게 된다. 여파기의 구조가 대칭인 관계로 중앙 공진기, 입출력 공진기 두 개의 공진기에 대해서 조정하면 모든 설계 결과는 얻어지게 된다.

이와 같이 개별공진기로 분해하고 설계하는 방법은 해석적인 방법에 의해 근사적으로 설계 치수를 결정하고 전체 여파기를 두고 조정하는 것보다 장점이 있게 된다. 현재의 컴퓨터로도 EM 시뮬레이션을 수행하는데 상당한 시간이 소요되며, 특히 전체여파기와 같이 문제가 커질 경우, 계산 시간은 지수적으로 급증하게 된다. 따라서 문제에 따라서는 EM 시뮬레이션을 통하여 조정하는 것조차 불가능할 수 있다. 반면, 개별공진기 분해는 전체 구조에 비하여 작은 문제가 되어 빠른 결과를 얻게 되고, 이를 통해 조정하는 것이 가능하게 된다. 또한 전체여파기의 특성은 이러한 개별공진기 특성의 합이 되어 전체여파기의 특성 분석에도 용이하게 사용될 수 있다.

문제점으로는 공진기 간의 작은 cross coupling을 고려하지 못하여 이와 같이 설계된 값이 최종이 되지 못하는 경우가 있지만, 대부분의 여파기 문제에서는 이러한 문제를 발생시키지 않아 전체 조합 시 재조정 of 필요성은 대부분 발생하지 않게 된다.

4.1 중앙 공진기의 설계

그림 10에는 중앙 공진기의 등가회로를 보였다. 그림에서 jX_2 는 중앙 공진기인 l_2 길이를 갖는 기판 집적 도파관에 의한 리액턴스를 나타내며, 중앙 공진기의 좌우 대칭성을 고려하면, $K_{12} = K_{23}$ 가 되게 된다. 리액턴스 jX_{11}^{23} 는 그림 3에서 설명한 아이리스에 의한 K-인버터에 $z_{11} - z_{12}$ 의 직렬 리액턴스 성분이 발생하게 되는데, 이것을 나타낸 것이다. 또한 아이리스는 좌우 대칭이므로 $jX_{11}^{23} = jX_{22}^{23}$ 이 되게 된다. 여기서 위첨자 23은 공진기 2단과 3단에서 나타나는 것을 의미하며, 아래 첨자 11은 2-포트 파라미터의 11 성분을 의미하는 것이다. 리액턴스 jX_{22}^{23} 도 유사한 방식으로 나타내었다.

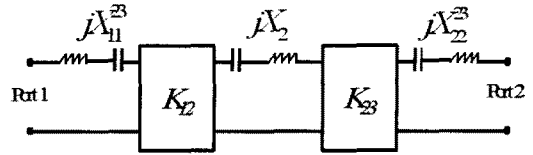


그림 10. 중앙공진기의 등가회로
Fig. 10. Equivalent circuit of center resonator.

이 때 선행적으로 아이리스에 대하여 그림 3과 같이 EM 시뮬레이션하여 얻어진 결과로부터 $K_{23} = \text{Im}(z_{12})$ 이기 때문에, 이미 알고 있고, 또한 $jX_{11}^{23} = \text{Im}(z_{11} - z_{12})$ 로 알고 있기 때문에, 결정되어야 하는 것은 jX_2 의 슬로프(slope) 파라미터인 x_2 만 미지의 상태가 된다. 따라서 중앙 공진기에 대한 EM 시뮬레이션 결과로부터 여파기의 중심 주파수에서 공진이 일어나도록 즉, S_{21} 의 크기가 최대가 되도록 l_2 를 조정한다. 이때 슬로프 파라미터 x_2 를 얻기 위하여 EM 시뮬레이션된 S-파라미터를 ADS에 들여온 후 비교적 큰 기준임피던스 Z_c 를 갖는 S-파라미터로 변환하게 되는데, Z_c 는 이러한 기준 임피던스를 나타내며, 그 값은 통상적으로 참고문헌 [4]에 따르면 5 kohm으로 설정하였다. 이와 같이 변환된 S-파라미터에서 x_2 는 식 (3)과 같다.

$$x_2 = \omega_0 \frac{K_{23}^2}{Z_c} GD_2^M \tag{3}$$

식 (3)에서 ω_0 는 중심 각주파수를 나타내며, GD는 EM 시뮬레이션된 S-파라미터의 군지연을 나타낸다. 위첨자 M은 EM 결과로부터 계산된 것임을 나타낸다.

이 결과가 만족스럽지 않을 경우 조정해야 하지만, 반복 회수를 줄이기 위해서 이 값을 그대로 사용하고, 입출력 공진기의 기울기를 조정하는 것이 용이하다. 따라서 여파기가 되기 위해서는 식 (3)으로 주어진 x_2 와 K_{23} 을 이용하면, 필요한 입력공진기의 기울기 x_1^D 는 K-인버터 기준형 공식으로부터 식 (4)와 같이 얻어진다^[2].

$$x_1^D = \frac{g_1 g_2}{FBW^2 x_2} K_{23}^2 \tag{4}$$

식 (4)에서, 위 첨자 D는 설계에 필요한 결과임을 나타내고, FBW는 상대 대역폭(fractional bandwidth)

표 2. 중앙 공진기의 설계 값

Table 2. Values of the center resonator.

| | K_{23} | x_2 | x_1^D |
|--------|----------|---------|---------|
| 중앙 공진기 | 12.352 | 163.956 | 162.916 |

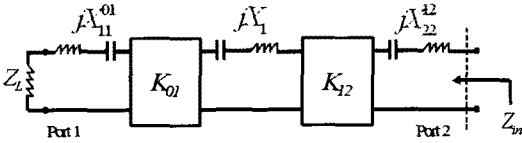


그림 11. 입·출력 공진기의 등가회로

Fig. 11. Equivalent circuit of input resonator.

을 나타낸다. 이와 같이 계산된 중앙 공진기 값의 결과를 표 2에 나타내었다. 주목할 것은 중앙공진기 EM 시뮬레이션에서는 공진 주파수를 맞추기 위한 단순한 길이 조정만 있게 된다.

4-2 입·출력 공진기

그림 11에는 입출력 공진기의 등가회로를 보였다. 주목할 것은 입출력에 사용된 천이 구조의 기여까지 jX_{11}^{01} 은 포함하고 있는 점이다. 입·출력 공진기를 설계할 때 천이 구조를 포함하여 설계하였는데, 천이 구조를 포함하지 않고 여파기를 설계한 후에 천이 구조를 여파기에 포함시킬 경우 천이 구조에 의해서 입·출력 공진기의 K-인버터(K_{01})의 값 및 리액턴스의 기울기(x_1)가 달라져, 결과적으로 여파기의 특성이 달라진다. 따라서 천이 구조를 포함하여 설계할 경우 여파기 특성의 변화 없이 천이 구조를 포함한 여파기를 설계할 수 있다.

또한 K_{12} 는 중앙공진기에서 계산된 값 K_{23} 가 되며 jX_{22}^{12} 는 아이리스 계산 시 얻어진 $Im(z_{22} - z_{12})$ 와 같게 된다. 따라서 이 값은 알고 있으므로, EM 시뮬레이션 시 얻어진 결과에서 이것의 기여를 빼고, 등가 입력 K-인버터 값과 등가 입력공진기 기울기를 계산할 수 있게 된다. 이 때 등가라 함은 입력 측에서 발생하는 그림 11의 jX_{11}^{01} 의 기여를 입력공진기의 기울기 x_1 및 입력 K-인버터 K_{01} 에 포함하여 계산되는 것을 의미한다^[4].

본 논문에서 적용한 경사면형 천이 구조와 계단형 천이 구조에서 기판 집적 도파관 부분의 슬롯의

표 3. 입·출력 공진기의 설계 값

Table 3. Values of the input resonator.

| | K_{01} | x_1 | x_1^D |
|----------|----------|---------|---------|
| 입·출력 공진기 | 20.814 | 158.710 | 162.916 |

길이 (l_1, L_1)가 차이를 보인다. 이는 입출력 공진기를 설계하는 과정에서 공진기에 경사면형 천이 구조가 포함될 때 천이 구조를 구성하는 리액턴스 성분들에 의해서 입출력의 아이리스의 jX_{11}^{01} 값을 변화시켜 여파기 설계에 필요한 K_{01} 값과 x_1 값을 얻을 수 없게 한다. 따라서 천이 구조가 광대역 특성을 가지면 이러한 영향을 최소화할 수 있으나 경사면형의 경우 그 영향이 커 슬롯의 길이(L_1)를 보다 짧게 하여 입출력 공진기 설계에 필요한 K_{01} 과 x_1 값을 충분히 얻을 수 있었다. 이는 표 4와 5를 비교하였을 때 인버터의 값을 결정하는 폭(W_1)은 거의 유사한 값을 갖는 것으로 이를 확인할 수 있다. 다시 말해, 경사면형 구조의 경우 계단형 구조에 비해 급격한 천이 구조를 가짐에 따라 발생하는 부정합을 상충하기 위해 천이 구조의 슬롯의 길이(L_1)를 크게 변화시킨 것이다.

표 3에 계산된 입·출력 공진기의 설계 값을 나타내었다. 이 때 입출력 공진기의 길이 l_1 의 조정이 필요하며, 또한 입력측 아이리스의 폭 W_1 의 조정이 필요하게 된다. 표 3에 나타난 입력측 공진기의 기울기의 값은 개선의 여지가 있으나, 제작 시 공차 및 한계와 천이 구조를 포함하고 조정이 되는 것이어서 다소 차이가 나는 것을 알 수 있다.

4-3 대역 통과 여파기 설계 결과

본 논문의 표 4와 표 5에 EM 시뮬레이션을 이용한 설계 방법으로 얻어진 계단형(그림 7(a)) 및 경사면형(그림 7(b)) 두 천이 구조를 가지는 여파기의 설계 치수들을 보였다. 표 4 및 5에서 중앙공진기의 치수들은 비교적 근접하나, 입출력 공진기는 천이 구조를 포함시킴에 따라 치수가 상당히 바뀐 것을 알 수 있다. 따라서 EM 시뮬레이션 설계는 입출력 천이 구조를 반영하여 정확한 설계를 기할 수 있는 것을 알 수 있다. 그림 12(a), (b)는 설계된 두 구조 대역 통과 여파기의 EM 시뮬레이션으로 얻어진 주파수

표 4. 계단형 CPW 천이 구조를 갖는 여파기 설계 치수들

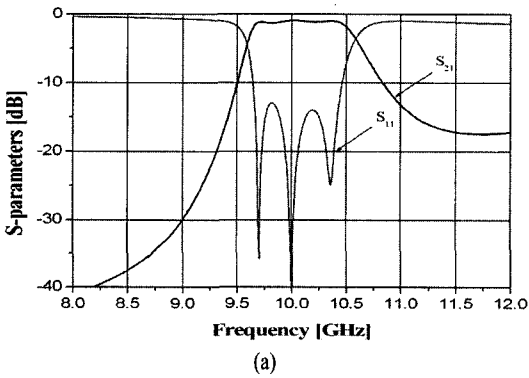
Table 4. Dimensions of the designed filter with the stepped CPW transition.

| | W_1 | W_2 | l_1 | l_2 |
|---------|-------|-------|-------|-------|
| 값 [mil] | 344 | 270 | 446 | 511 |

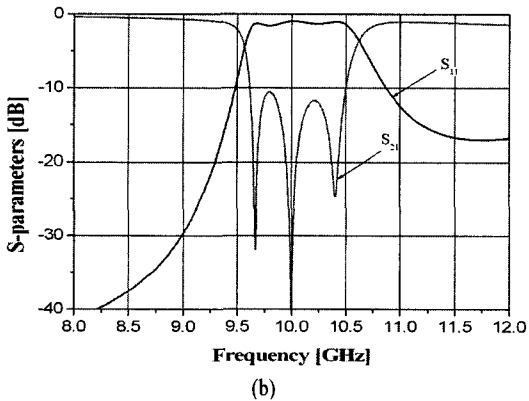
표 5. 경사면형 CPW 천이 구조로 설계된 여파기의 치수들

Table 5. Dimensions of filter designed by tapered CPW transition.

| | W_1 | W_2 | l_1 | l_2 |
|---------|-------|-------|-------|-------|
| 값 [mil] | 356 | 266 | 454 | 509 |



(a)



(b)

그림 12. 설계된 대역 통과 여파기 주파수 응답 특성 (a) 계단형 CPW 천이 구조, (b) 경사면형 CPW 천이 구조

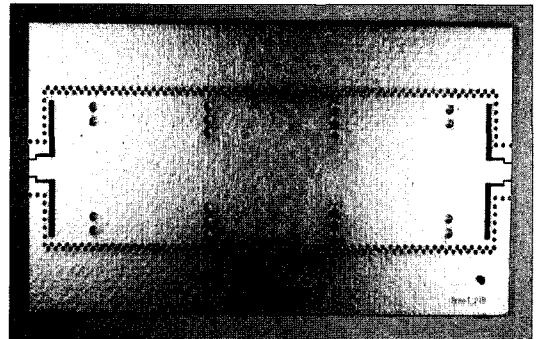
Fig. 12. Frequency responses of the deigned filters with (a) stepped CPW transition and (b) tapered CPW transition.

응답 특성을 보였다. 이것은 앞서 얻어진 설계 치수에서 별도의 조정 없이 얻어진 결과이다. 예상한대

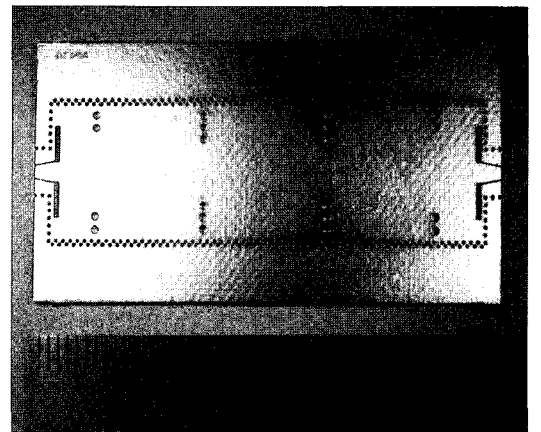
로 중심 주파수 10 GHz를 가지고 0.5 dB의 동 리플과 10 %의 대역폭을 갖는 것을 알 수 있다.

V. 제작 및 측정 결과

그림 13(a) 및 (b)에는 두 가지 여파기에 대하여 제작된 사진을 보였다. 또한 그림 14(a) 및 (b)에는 그림 7(a) 및 (b)의 천이 구조를 갖는 제작된 여파기에 대한 측정 결과와 시뮬레이션 결과를 비교하였다. 제작된 여파기의 측정 결과는 시뮬레이션 결과와 잘 일치하며, 비교적 근접한 반사 손실을 갖는 것을 알 수 있다. 다소의 차이는 기판의 유전율 변화 (이것은 중심 주파수에서 나타나는 반사 손실의 널(null)을 보고 판명할 수 있다.), 두께 및 기타 변화폭에 기인하는 것으로 사료된다. 따라서 EM 시뮬레이

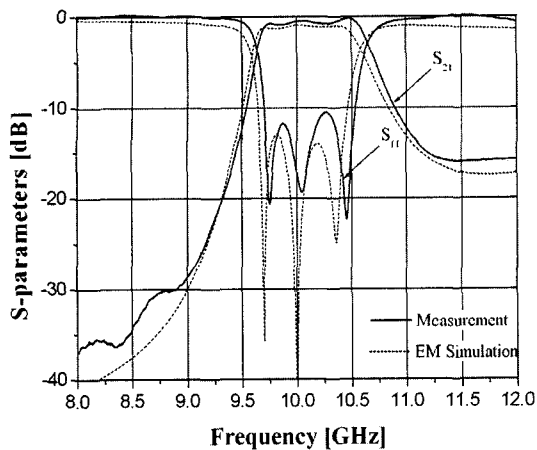


(a) 계단형 CPW 천이 구조를 갖는 여파기
(a) The stepped CPW transition

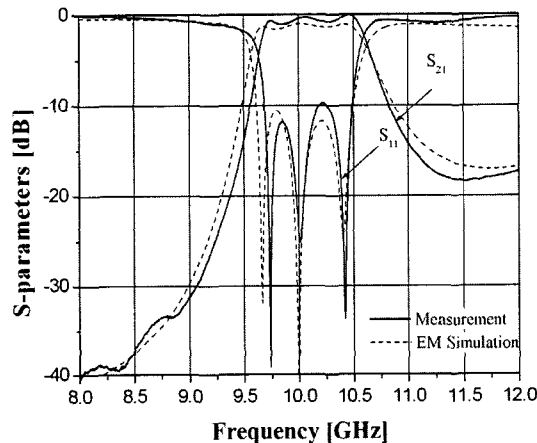


(b) 경사면형 CPW 천이 구조를 갖는 여파기(50×30 mm²)
(b) The tapered CPW transition(50×30 mm²)

그림 13. 제작된 대역 통과 여파기
Fig. 13. Fabricated band pass filter.



(a) 계단형 CPW 천이 구조를 갖는 여파기
(a) The stepped CPW transition



(b) 경사면형 CPW 천이 구조를 갖는 여파기
(b) The tapered CPW transition

그림 14. 제작된 대역 통과여파기 측정 결과
Fig. 14. Measured results for the fabricated band pass filter.

션을 이용한 방법은 기판 집적 도파관 여파기 설계에 효율적임을 알 수 있다.

VI. 결 론

기판 집적 도파관 구조는 기판에 집적할 수 없는 단점을 보완하기 위해 제안된 구조로, 각형 도파관의 특성을 가지면서도 기판에 집적할 수 있는 장점이 있다. 본 논문에서는 EM 시뮬레이션을 이용한 대역 통과 여파기 설계 방법을 이용하여, 기판 집적 도파관 구조의 대역 통과 여파기를 설계하고 제작하

였다. EM 시뮬레이션을 이용한 대역 통과 여파기 설계 방법을 이용하면 설계 후 추가적인 조정 작업 없이도 원하는 여파기의 특성을 만족시킬 수 있었다. 또한 기판 집적 도파관 여파기는 천이 구조가 필요한데, 본 논문에서는 기존에 사용된 천이 구조를 개선하여 보다 짧은 길이를 갖는 천이 구조를 제안하였다. 제작된 여파기는 예상한대로 10%의 대역폭을 갖고 반사 손실 약 12 dB, 삽입 손실은 0.8 dB의 특성을 보였다.

이를 통해 향후 MMIC 공정이나 LTCC 공정을 이용하여 기판 집적 도파관 구조의 대역 통과 여파기를 제작하는데 성공적으로 응용될 것으로 기대된다.

참 고 문 헌

- [1] D. Deslandes, K. Wu, "Integrated microstrip and rectangular waveguide in planar form", *IEEE Microwave and Wireless Components Lett.*, vol. 11, no. 2, pp. 68-70, Feb. 2001.
- [2] G. L. Matthaei, L. Young, and E. M. Jones, *Micro-wave Filters, Impedance-Matching Networks and Coupling Structures*, McGraw-Hill, 1964.
- [3] J. G. Hong, M. J. Lancaster, *Microstrip Filters for RF/Microwave Application*, John Wiley & Sons Inc., 2001.
- [4] 양승식, 염경환, "개별 공진기의 EM 시뮬레이션에 기초한 새로운 직접 결합 대역여파기 설계 방법", *한국전자과학회논문지*, 20(4), pp. 333-343, 2009년 4월.
- [5] D. Deslandes, K. Wu, "Integrated transition of coplanar to rectangular waveguides", *IEEE Trans. Microwave Theory and Tech.*, vol. 11, no. 2, pp. 619-622, Feb. 2001.
- [6] F. Xu, K. Wu, "Guided-wave and leakage characteristics of substrate integrated waveguide", *IEEE Trans. Microwave Theory and Tech.*, vol. 53, no. 1, pp. 66-73, Jan. 2005.
- [7] Rogers Corporation, *High Frequency Circuit Material Product Selector Guide*, May 2005.
- [8] B. S. Kim, J. W. Lee, K. S. Kim, and M. S. Song, "PCB substrate integrated waveguide-filter using via

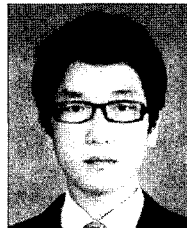
- fences at millimeter-wave", *IEEE MTT-S International Microwave Symposium*, pp. 1097-1100, Jun. 2004.
- [9] D. M. Pozar, *Microwave Engineering*, John Wiley & Sons Inc., 2005.
- [10] 양승식, 염경환, "무 손실 2-포트 회로의 인버터를 사용한 등가회로 및 응용", 한국전자과학회 논문지, 19(7), pp. 761-770, 2008년 7월.
- [11] A. Patrovsky, M. Daigle, and Ke Wu, "Millimeter-wave wideband transition from CPW to substrate integrated waveguide on electrically thick high-permittivity substrates", *Microwave Conference, European*, pp. 138-141, Oct. 2007.
- [12] C. J. Lee, H. S. Wu, and C. K. C. Tzuang, "A broadband microstrip-to-waveguide transition using planar technique", *IEEE Asia-Pacific Microwave Conference*, pp. 543-546. Dec. 2001.
- [13] D. Deslandes, K. Wu, "Single-substrate integration technique of planar circuit and waveguide filters", *IEEE Trans. Microwave Theory and Tech.*, vol. 51, no. 2, pp. 593-596, Feb. 2003.
- [14] B. S. Kim, J. W. Lee, K. S. Kim, and M. S. Song, "PCB substrate integrated waveguide-filter using via fences at millimeter-wave", *IEEE MTT-S International Microwave Symposium*, pp. 1097-1100, Jun. 2004.
- [15] Anritsu Corporation, *3680 Series Universal Test Fixture*, Jun. 1998.

이 원 희



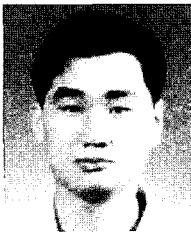
2006년 3월~현재: 충남대학교 전기
정보통신공학부
[주 관심분야] 초고주파 능동회로
및 시스템, MMIC 설계

정 해 창



2008년 2월: 충남대학교 전자전파
정보통신전공 (공학사)
2008년 3월~현재: 충남대학교 전
파공학전공 석사과정
[주 관심분야] 초고주파 능동회로
및 시스템 설계

오 현 석



2005년 2월: 충남대학교 전파공학과 (공학사)
2007년 2월: 충남대학교 전파공학과 (공학석사)
2007년 3월~현재: 충남대학교 전파공학과 박사과정
[주 관심분야] 마이크로파 회로 설계

염 경 환



1976년~1980년: 서울대학교 전자공학과 (공학사)
1980년~1982년: 한국과학기술원 전기 및 전자과 (공학석사)
1982년~1988년: 한국과학기술원 전기 및 전자과 (공학박사)
1988년 3월: 금성전기(주) 소재부품연구소 선임연구원 (MIC팀 팀장)
1990년 3월: 금성전기(주) 소재부품연구소 책임연구원
1991년 5월: 금성정밀(주) 기술연구소 연구1실 책임연구원
1991년 8월: (주)LTI
1999년 10월~현재: 충남대학교 전파공학과 교수
[주 관심분야] 초고주파 능동회로 및 시스템, MMIC 설계