

# 광대역 홈 네트워크 서비스를 위한 광 가입자 수신 시스템 설계

論 文
9-2-4

## A Design of the Optical Fiber Subscriber Receive System for the Wideband Home Network Services

송 홍 종\*  
Hong-Jong Song

### Abstract

Optical fiber subscriber receive communication system is a core technology of multimedia home networks because it provides the high-level quality of data and services. This paper executes an analysis and research on this communication systems and presents the theoretical background for the purpose of understanding the optical communication system principal and explaining signal process flows to divide each block for the implementing ASIC design.

**Keywords** : 광가입자 수신장치, 홈 네트워크 멀티미디어 서비스, ASIC 설계

### I. 서 론

초고속 통신망의 보급이 활발해지면서 더욱 빠르고 넓은 대역폭의 가입자 서비스 요구가 증대되면서 각 가입자의 단말 사용자까지 전광 통신망 서비스가 증대되고 있는 추세다. 기존의 xDSL 통신 방식의 경우 비대칭 통신 방식이므로 쌍방향 통신 서비스에 있어서 제약이 따르는 단점이 있으며, 802.11x 방식의 무선LAN 서비스의 경우는 선이 없고 이동성을 제공한다는 장점이 있으나 고품질의 멀티미디어 데이터 서비스에는 많은 제약을 갖는다. 최근 광통신 제품 제작비용이 급격히 하락하면서 그동안 광통신 제품의 단점으로 지적된 가격 경쟁력을 갖게 되고 더 높은 통신 서비스를 요구하는 수요자의 요구가 증대되면서 이에 대한 많은 관심이 증가하고 있다.

본 논문에서 분석한 광 가입자 접속 장치의 최대 전송 속도는 155Mbps이며 이는 각 가입자에

게 음성, 영상, 데이터 등의 멀티미디어 융합 통신 서비스를 제공할 수 있다. 각 가정까지 광케이블을 부설하고 광전송장치를 설치하는 Fiber-To-The-Home의 주요 서비스 분야는 분배형 오락 TV, 주문형 비디오(Video-On-Demand), 쌍방향 대화형 멀티미디어 통신서비스 등이 가능할 것이며 영상품질의 고급화로 HDTV와 같은 고품질 서비스도 제공 될 것이다. 이에 본 논문에서는 광 가입자 접속 장치와 접속된 각 가입자가 155Mbps 급의 광 신호를 수신하여 광/전(Optical/Electrical) 변환 후 수신처리 되기까지의 역 다중화 과정 및 신호 처리 흐름을 블록별로 분석하였다.

### II. 본 론

광 가입자 접속 시스템의 블록별 기능 구성은 아래의 그림 1과 같다. 광 가입자 접속 시스템 수신 단의 주요 블록은 수신된 STM-1 신호를 해석하는 블록, AU4 포인터 해석블록, VC4 종단부, 수신 셀 처리 블록으로 나눌 수 있다.

접수일자 : 2010년 04월 16일

최종완료 : 2010년 06월 15일

\*방송통신위원회 전파연구소

교신저자, E-mail : shj@kcc.go.kr

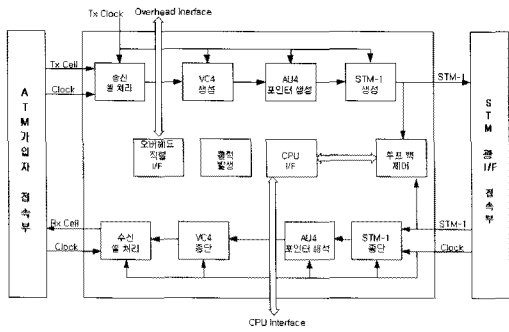


그림 1. 광 가입자 접속장치 주요블록 구성도

### 1. 수신 STM-1 신호해석 블록

#### 1.1 Parallel Reframer Block

그림 2는 수신 8비트 병렬 데이터로부터 STM-1 프레임 동기 기능을 수행하는 블록도를 보여준다.

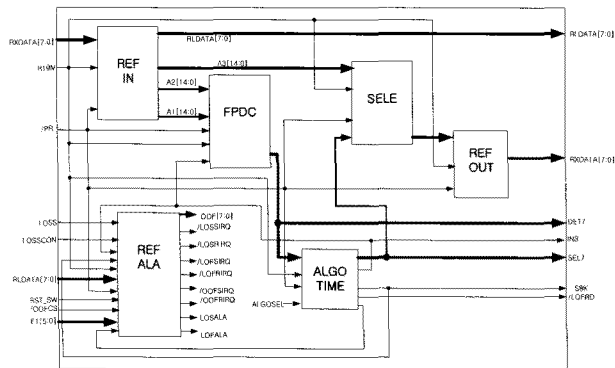


그림 2. Parallel Reframer 블록

#### 1) 블록 주요기능 설명

- ① REFIN(REFrame IN) : 8 비트의 입력되는 데이터의 동기화를 위해 프레임 패턴을 검출하도록 서로 다른 타이밍의 3가지의 15 비트 패턴을 출력시키며 또한, 원래의 데이터 8비트도 그대로 출력하여 Alarm 출력부에 입력한다.
- ② FPDC(Frame Pattern Detection Circuit) : 병렬 프레임 패턴 검출부는 STM-N의 1/8배 속도인 15 비트 병렬 데이터를 입력하여 프레임 패턴을 병렬로 8군데에서 동시에 검출하는데 A1(11110110), A2(00101000)값을 검출한 결과를 프레임 동기 제어부에 입력한다.
- ③ ALGOTIME(ALGORithm TIME block) : 프레임 동기 제어부에서는 프레임 패턴 검출 결과 및 프레임 카운터의 8 KHz 클럭을 출력하며, 프레임 동기 알고리즘에 따라 동작하여 출력된 데이터를 출력 선택부 블록으로 출력한다.

다. 재 동기시 프레임 카운터를 리셋하고 출력 선택부가 15 비트 데이터 중에서 프레임 패턴을 검출한 8 비트 데이터만 선택적으로 출력하도록 한다.

- ④ REFALA(REFrame ALArm) : 리프레임 기능 수행 중에 발생하는 경보를 검출하는 블록으로 주요경보 신호로는 OOF (Out Of Frame) 와 LOF (Loss Of Frame)가 있다. OOF 경보는 4번 연속 프레임 동기 패턴에 에러가 발생한 경우에 선언하며, 2번 연속해서 프레임 패턴을 검출할 경우에 해제된다. OOF의 발생 횟수는 8 비트 계수기를 이용하여 누적하며 Overflow 발생 시 인터럽트로 CPU에 알린다. LOF 경보는 24번 이상의 OOF 발생 시에 선언하며 3 msec 동안 프레임 동기 상태일 경우에 누적 계수기를 "0"으로 초기화하면서 해제한다. LOF의 선언 및 해제 상태는 인터럽트 방식으로 CPU에 전달한다. 또한 외부로부터 LOS 선언 및 해제상태를 입력하여 인터럽트 방식으로 CPU에 전달하며 인터럽트 Disable 기능도 갖는다. 그리고 LOS 또는 LOF 발생 시 이를 RSOH Processor 블록에 인가하여 all"1"정보를 자동 삽입하도록 하고 동시에 RSOH Handler 블록에 인가하여 순방향에 MS-FERF를 송출하도록 한다. All "1" 삽입 및 MS-FERF 자동 삽입 기능은 CPU에 의한 Disable 기능도 갖는다.

- ④ SELE(SELEct block) : 프레임 동기 알고리즘에 따라 동작하여 출력된 데이터 비트 패턴과 리프레임에 입력된 원래의 비트 패턴을 비교하여 일치하면 출력하는 블록이다.
- ⑤ REFOUT(REFrame OUT) : 리프레임된 8 비트의 최종 데이터를 19.44 MHz 클럭에 동기시켜 디스크램블러 블록으로 출력시키는 블록이다.

#### 2) 주요 입·출력 설명

- RXDATA[7:0] : 수신되는 8비트 데이터
- R19M : 155.520 Mhz 클럭을 8분주한 19.44 Mhz 클럭
- /PR : 프리셋 입력
- LOSS : 수신 STM-1 프레임 신호 손실 시 칩 외부로부터 인가되는 STM-1 손실경보 신호(Active High)
- LOSSCON : CPU로부터 입력되는 LOSIRQ의 제어신호

RLDATA[7:0] : 리프레임 동기 알고리즘을 거치지 않은 원래의 수신데이터  
 RST\_SW : 리셋 입력 신호  
 /OOFCS : CPU로부터 입력되는 OOF Counter  
 E1[5:0] : CPU로부터 입력되는 리셋 입력신호  
 OOF[7:0] : Out Of Frame 출력 데이터  
 /LOSSIRQ : 프레임 Loss ALArm이 ON에서 OFF 될 때 발생  
 /LOSRIrq : 프레임 Loss ALArm이 OFF에서 ON 될 때 발생  
 LOFSIRQ : 프레임의 LOSS Of Frame이 ON에서 OFF 될 때 발생  
 LOFRIRQ : 프레임의 LOSS Of Frame이 OFF에서 ON 될 때 발생  
 OOFsIRQ : Out Of Frame이 OFF에서 ON 될 때 발생  
 OOFRIrq : Out Of Frame이 ON에서 OFF 될 때 발생  
 LOSALA : Loss Of Signal ALArm 발생  
 LOFALA : Loss Of Frame ALArm 발생  
 ALGOSEL : CPU로부터 입력되는 프레임 동기 알고리즘 Select 입력  
 RXDATA[7:0] : 리프레임 동기화 되어 디스크램블링을 수행하기 위해 입력되는 데이터  
 DET7 : Frame Pattern Detection Circuit에서 출력되는 8번째 데이터  
 INS : Out Of Frame 발생이 되지 않은 정상 상태의 Enable을 시켜주는 출력  
 SEL7 : 동기화 알고리즘에서 출력되는 데이터 중 8번째 데이터  
 S8K : 8K 프레임 동기 클럭  
 /LOFRD : Loss Of Frame Read 출력 신호로 뒷단의 출력 단들을 Enable 시켜주는 출력

1.2 Descrambler Block

STM-1 프레임의 첫 번째 9 바이트를 제외한 모든 데이터에 대해서 19.44 Mhz 속도에서 8 비트 병렬 형태로 디스크램블링 기능을 수행한다. 디스크램블러는 수신 STM-1 프레임에 동기화되어 동작하며 스크램블러와 동일한 다항식과 알고리즘을 가지고 동작한다. 그림 3은 디스크램블러의 기능 블록을 보여준다.

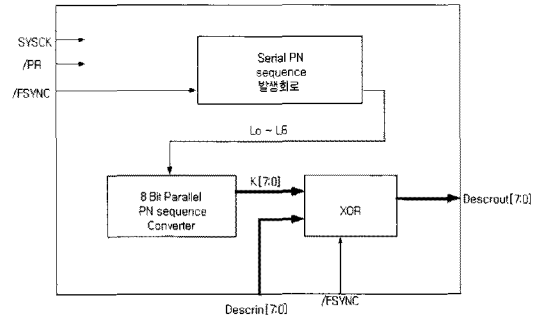


그림 3. Descrambler 블록

1) 블록 주요기능

- ① Serial PN sequence 발생회로 : 원래의 스크램블링 시퀀스를 N으로 Decimation한 N개의 Decimation Sequence를 생성하는 블록이다. 여기서는 8비트의 데이터를 병렬로 처리하므로 N=8이다.
- ② 8bit Parallel PN Sequence converter 블록 : PN 시퀀스 입력을 8비트의 디스크램블 병렬 데이터로 변환하는 블록이다.
- ③ XOR : 프레임의 첫 번째 9 바이트를 제거하기 위하여 /FSYNC와 디스크램블 데이터와 AND를 수행한 후, 원래의 데이터와 Exclusive-OR를 수행하여 최종 디스크램블된 데이터를 출력한다.

2) 주요 입·출력 설명

SYSCK : 19.44 Mhz 시스템 클럭  
 /FSYNC : STM-1 프레임의 첫 번째 9 바이트를 Disable 시키는 입력  
 /PR : 프리셋 입력  
 Descrin[7:0] : 디스크램블을 수행 할 리프레임 동기화된 데이터  
 Descout[7:0] : 디스크램블된 최종 출력 데이터

1.3 Timing Generation Block

수신 STM-1 신호 처리를 위한 클럭 타이밍을 생성 공급하는 기능을 수행하며 이는 Parallel Reframer 블록에서 제공하는 Rx\_8k 신호에 동기되어 동작한다.

1.4 Regeneration section overhead receive block

수신 STM-1 프레임에서 RSOH를 추출하는 기능을 수행하며 RSOH로는 C1, B1, F1, E1, D1 ~ D3 등이 있으며 B1 값을 포함한다[2-3]. 그림 4는 STM-1 프레임의 SOH default value를 보여준다.

▶SOH + AU4 - Pointer◀

A1 (F6h)	A1 (F6h)	A1 (F6h)	A2 (28h)	A2 (28h)	A2 (28h)	C1 (01h)	(AAh)	(AAh)	R S O
B1 (**)	(00h)	(00h)	E1 (FFh)	(00h)	(00h)	F1 (FFh)	(00h)	(00h)	
D1 (FFh)	(00h)	(00h)	D2 (FFh)	(00h)	(00h)	D3 (FFh)	(00h)	(00h)	H
H1 (**)	H1 (9Fh)	H1 (9Fh)	H2 (**)	H2 (FFh)	H2 (FFh)	H3 (00h)	H3 (00h)	H3 (00h)	M S O H
B2 (**)	B2 (**)	B2 (**)	K1 (FFh)	(00h)	(00h)	K2 (F*)	(00h)	(00h)	
D4 (FFh)	(00h)	(00h)	D5 (FFh)	(00h)	(00h)	D6 (FFh)	(00h)	(00h)	
D7 (FFh)	(00h)	(00h)	D8 (FFh)	(00h)	(00h)	D9 (FFh)	(00h)	(00h)	
D10 (FFh)	(00h)	(00h)	D11 (FFh)	(00h)	(00h)	D12 (FFh)	(00h)	(00h)	
S1 (FFh)	Z1 (FFh)	Z1 (FFh)	Z2 (FFh)	Z2 (FFh)	M1 (**)	E2 (FFh)	(00h)	(00h)	

그림 4. STM-1 프레임의 SOH Default Value

1) 주요기능 설명

- ① C1 : STM-1 식별자로서 Default 01H 이며, 이전 값과 다르면서 3 프레임 연속 동일한 값이 수신될 경우에 인터럽트 방식으로 CPU에 알리며 이의 Disable 기능도 갖는다. 즉 디스크램블 된 데이터가 입력되면 입력신호의 조합에 의하여 만들어진 Enable 신호를 생성하여 C1 값을 출력하며 앞단의 출력 값과 뒷단의 출력 값을 비교하여 다를 경우 에러 신호를 출력한다.
- ② B1 : STM-1 중계구간 성능 감시용으로 이를 추출하여 B1 검출 블록으로 출력한다. 즉, 디스크램블링 되기 전의 수신 STM-1 프레임에 대하여 BIP-8 코드를 계산하여 디스크램블링 된 수신 B1 값과 비교하여 에러를 검출하며 20 비트 계수기에 이들 에러수를 누적한다. 누적 에러수가 CPU에 의하여 임으로 설정된 임계치를 초과할 경우 이를 인터럽트 방식으로 CPU에 알리거나 일정 주기로 CPU에 의해 Polling토록 하며 에러 레지스터 값은 CPU의 읽기 순간에 "0"으로 초기화된다. 또한 에러초는 1초 주기로 B1 에러나 OOF 발생 유무에 따라 B1 계수기를 증가시키며 CPU의 읽기 순간에 "0"으로 초기화된다.
- ③ E1 : STM-1 중계구간 운용자 음성채널로 외부로 직렬 인터페이스(64 Kbps)를 통하여 출력한다[2]. 그림 5, 6, 7은 64 Kbps, 192 Kbps,

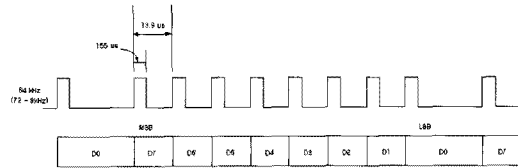


그림 5. 64 Kbps 직렬인터페이스 타이밍

596 Kbps 직렬인터페이스 타이밍을 보여 준다.

- ④ F1 : 사용자용 채널로 CPU 또는 외부 직렬 인터페이스를 통하여 출력하며 이전 값과 다르면서 3 프레임 동일 할 경우 인터럽트를 발생시키고 이의 Disable도 가능하다.
- ⑤ D1-D3 : STM-1 OAM을 위한 중계구간용 데이터 통신채널로 각 채널의 용량은 64 Kbps 이므로 재생기 구간 데이터 통신 용량은 192 Kbps 이며 외부 직렬 인터페이스를 통하여 외부로 출력한다.

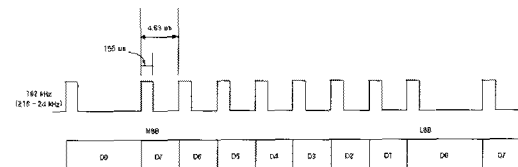


그림 6. 192 Kbps 직렬인터페이스 타이밍

1.5 Multiplex Section Overhead Receive Block  
수신 STM-1 프레임에서 MSOH를 추출하는 기능을 수행하며 MSOH로는 B2, E2, K1, K2, D4-D12, S1, Z1, Z2, M1, E2 바이트 등이 있다. MS-AIS 및 Excessive-BER 발생시 페이로드 및 D4-D12, Z1, Z2, E2 바이트에 all "1"이 자동 삽입되며 이의 Disable 기능도 갖는다.

1) 주요기능 설명

- ① B2 : STM-1 다중구간 성능 감시용으로 이를 추출하여 B2 검출 블록으로 출력한다. 즉, RSOH를 제외한 STM-1 프레임에 대하여 even parity로 BIP-24 코드를 계산하여 MSOH Processor 블록으로 전달되는 수신 B2 값과 비교하여 에러를 검출하고 이를 20 비트 레지스터에 누적한다. 누적 에러수가 CPU에 의해 설정된 임의의 임계치를 초과할 경우에 인터럽트 방식으로 CPU에 알리며 레지스터 값은 CPU에서 읽어가는 순간 "0"으로 초기화된다. 또한 1초 주기로 B2 패리티 에러 또는 OOF 발생 유무에 따라 에러초를 계수기에 누적하며 CPU

에서 읽어가는 순간 "0"으로 초기화 된다. 또한, 10 msec 단위로 B2 바이트의 과도 에러 (Excessive-BER) 상태를 감시하며 Excessive-BER 상태 발생시 인터럽트 발생으로 CPU에 알리고 순방향 신호에 all "1"을 인가하도록 하며 송신 MS-FERF가 자동으로 송출되도록 하며 이의 Disable 기능도 갖는다.

- ② K1, K2 : STM-1 다중 구간용 APS (Automatic Power Switching)용으로 이전 값과 다르면서 3 프레임 dsu속 동일한 값이 수신될 때 인터럽트로 CPU에 알린다. 또한, K2 바이트의 비트 6, 7, 8을 감시하여 MS-AIS(111)/MS-FERF (110)의 발생 및 해제 상태를 자동으로 검출(3 프레임 연속되는 데이터 감시)하여 인터럽트 방식으로 CPU에 전달한다.
- ③ D4-D12 : STM-1 OAM을 위한 데이터 통신 채널로 외부 직렬 인터페이스 (596 Kbps)를 통하여 출력한다.

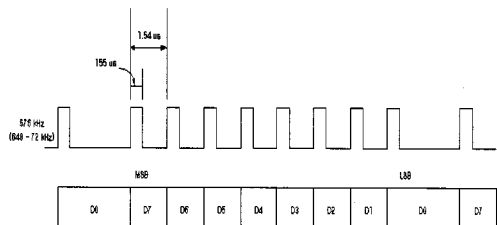


그림 7. 596 Kbps 직렬인터페이스 타이밍

- ④ S1 : 망동기 메시지 전달용 채널로 이전 값과 다르면서 3 프레임 연속 동일한 값이 수신될 때 Maskable 인터럽트로 CPU에 전달하며 수신 값을 읽어가도록 한다.
- ⑤ Z1, Z2 : 향후 사용을 위해 확보된 예비 채널로 직렬 인터페이스(128 Kbps)를 통하여 출력한다.
- ⑥ M1 : 다중구간 BIP-24 검사결과 에러 상태를 대국으로부터 전달받기 위한 채널로 송신한다.
- ⑦ B2 : 에러 개수를 추출하여 16비트 계수기에 누적한다. Overflow 발생 시 인터럽트로 CPU에 전달하며 이의 Disable도 기능도 갖는다.
- ⑧ E2 : 다중구간용 운용자 음성 채널로 외부 직렬 인터페이스 (64 Kbps)를 통하여 출력한다.

**2. AU4 Pointer 해석 블록[1]**

수신 STM-1 프레임으로부터 VC4 신호를 추출하기 위하여 VC4 시작점을 지시하는 포인터 바이트(H1, H2)를 해석하는 기능을 수행한다. 이때

수신 포인터 값으로부터 all "1"(path AIS), NDF (New Data Flag) 비트, SS 비트, 포인터 값의 유효, I/D 반전 상태등을 검출하여 포인터 동기상태를 결정한다. 그 결과 Path AIS 및 LOP가 검출될 경우 이 상태를 POH Generator 블록에 전달하여 역방향에 path FERF를 송신토록 하고 POH Processor 블록에 전달하여 순방향 신호에 all "1"을 인가토록 한다. 이 상태는 인터럽트 발생으로 CPU에 전달되며 이의 Disable 기능도 갖는다. 또한 포인터 Justification Event(PVE)시 해당 클럭의 오프셋을 AU4 Counter에 전달하고 PVE 수를 16비트 레지스터에 누적하여 주기적인 Polling 또는 임계치 초과 시 CPU에 인터럽트 방식으로 전달한다.

① 포인터 동기화 과정에서 위치 맞춤의 진행

포인터에 의한 동기화 방법에 있어서 위치 맞춤의 집행 과정은 다음과 같다. 그림 8에서 주소를 0~N-1로 부여하였는데, 이 때 N-1은 AU-4/AU-3, TU-3, TU-2, TU-12, TU-11에 대해서 각각 페이로드 어드레스가 782, 764, 427, 139, 103번 즉, 한 행의 제일 마지막 데이터에 해당한다. 여기서 0 주소가 시작되는 점을 중간에 임의로 잡았는데 이것은 AU-4/AU-3 나 TU-3의 경우에는 H3 직후의 주소이고, TU-2, TU-12, TU-11의 경우에는 V2 직후의 주소이다. 그리고 NJ 및 PJ는 각각 부 위치 맞춤 및 정 위치 맞춤 바이트를 나타낸 것으로 NJ의 실제 위치는 H3(V3) 직후의 바이트이다. 그림에 나타난 N, s, I/D 등은 새 데이터 지시기, 크기 표시, 주소 및 증감표시 구간들이다. 위치 맞춤 집행 과정에 있어서 N은 항상 "0110"으로 고정되어 있고 s는 표 1과 같은 값을 유지한다.

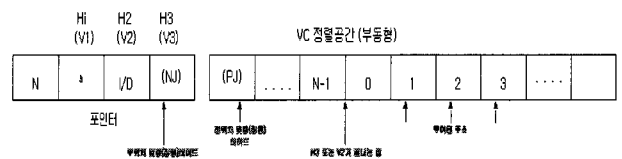


그림 8. AU/TU를 개념적으로 통합 재구성

먼저, 정위치 맞춤을 집행하는 과정을 그림 9를 통해서 살펴볼 수 있다. 그림에서 t는 임의 t번째 프레임을 나타내고, t+1은 그 다음 프레임을 나타낸다. 정위치 맞춤이 일어나기 직전에 I/D에는 VC 시작점의 주소인 "2"가 기록되어 있고, VC

정렬공간은 VC 데이터로 모두 채워져 있다(a). 정위치 맞춤을 집행할 때에는 I/D 중 I 비트 5개를 모두 반전시킨 후 정위치 맞춤 집행 바이트를 무용 데이터로 채우고(또는 빈 채널로 남겨두고) 나머지 VC 정렬 공간에만 VC 데이터를 싣는다. 그러면 VC 시작점의 주소는 하나가 증가하게 된다(b). 정위치 맞춤이 집행된 직후에는 I/D 새로운 VC 시작점의 주소인 "3"이 기록되고 VC 정렬 공간은 유효 VC 데이터들로 모두 채워진다.

표 1. C2 (경로 신호표지) 부호

부 호		신 호 표 지 내 용
2진	16진	
00000000	00	VC-3/VC-4 경로장치 장착 않됨.
00000001	01	장착되었으나 특이한 유료 부하는 아님.
00000010	02	계위신호 단위 그룹(TUG) 구조임.
00000011	03	고착형 계위신호 단위(TU)임.
00000100	04	DS-3 또는 DS-3E가 C-3에 비동기식으로 매핑.
00010010	12	DS-4E가 C-4에 비동기식으로 매핑.
00000000	13	ATM 셀이 매핑되어 있음.
00010100	14	MAN(DQDB) 신호임.
00010101	15	FDDI 신호임.

부 위치 맞춤을 집행하는 과정은 이와 방향만 다를 뿐 기본 동작 방법은 마찬가지이다. 집행 직전의 상태를 앞서와 동일하도록 한 상태에서 그림 10을 이용하여 살펴보자(a). 집행 직전의 상태를 앞서와 동일하도록 한 상태에서 살펴보자(a). 부 위치 맞춤을 집행 할 때에는 I/D 중 D 비트 5개를 모두 반전시킨 후 부 위치 맞춤 집행 바이트에 유효 VC 데이터를 싣고 VC 정렬 공간에도 모두 VC 데이터를 싣는다. 그러면 VC 시작점의 주소는 감소하게 된다(b). 부 위치 맞춤이 집행된 직후에는 I/D에 새로운 VC 시작점의 주소인 "1"이 기록되고 VC 정렬 공간은 모두 유효 데이터들로 채워진다(c). 위와 같은 정상적인 위치 맞춤을 통하지 않고 포인터 I/D의 주소를 바꾸거나 AU/TU의 크기 표시를 바꾸고자 할 때에는 새 데이터 지시기 N을 "1001"로 반전시킨 상태에서 새로운 포인터 주소 또는 새로운 크기 표시를 보낸다.

만일 전송 오류 등에 있어서 I, D, N(새 데이터 지시기)등이 손상되었을 경우에 수신측은 다수결의 원칙에 의해서 결정을 내린다. 즉, I 또는 D의 경우에는 5 비트 중 3 비트 이상이 반전되면 위치 맞춤 집행으로 간주하고 N의 경우에는 4 비트 중 3 비트 이상이 반전되면 새 데이터 지시로 간주한다.

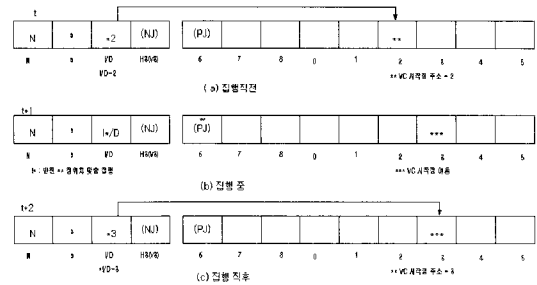


그림 9. 정 위치 맞춤 집행 설명도

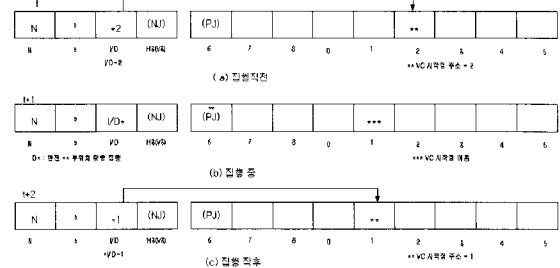


그림 10. 부 위치 맞춤 집행 설명도

### 2.1 Pointer interpreter timing generation block

이 블록은 포인터 해석에 필요한 인에이블 입력 신호를 생성하는 블록으로 입력 신호는 8kHz 프레임 클럭 신호 그리고 19.44 Mhz 8 비트 병렬 처리 클럭과 시스템 리셋 신호이다.

### 2.2 Pointer word detection block

이 블록은 MSOH 블록으로부터 입력되는 VC4 데이터에 대하여 포인터 값을 해석하여 all "1" (Path AIS), NDF 비트, SS 비트, 포인터 값의 동기 상태를 결정하고 Path AIS 및 LOP가 출력되면 POH generator 블록에 전달하여 역방향에 Path FERF를 송신토록 하는 출력을 발생하며 POH Processor 블록에 전달하여 순방향에 all "1"을 인가하도록 하는 블록이다.

### 2.3 Virtual container 4 enable output block

Pointer Word Detection Block으로부터 입력되는 I/D 값과 H3 인에이블 입력 신호로부터 VC4 Enable 신호를 출력하며 또한 I/D 입력 신호와 패이로드 어드레스 인에이블 타이밍 신호가 AND하여 Increment, Decrement의 출력 신호를 CPU 블록으로 출력한다.

## 3. 수신 셀 처리 블록

수신 셀 처리 블록은 Path OverHead와 PAYLOAD로 구성되어 있으며 이 블록의 오버헤드 추출과 PAYLOAD 데이터들을 ATM Layer로

전송하기 위하여 데이터들을 ATM 셀 단위인 53 바이트 단위로 추출하는 역할을 수행한다. 그림 11은 수신 셀 처리 블록의 구성을 보여 준다.

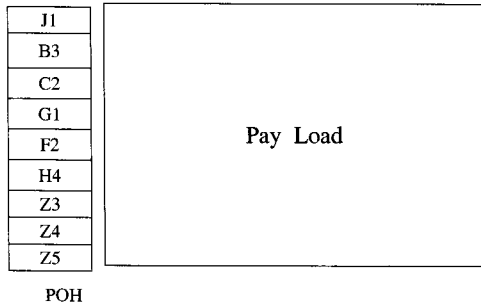


그림 11. 수신 셀 처리 데이터 구성도

3.1 Receive path OverHead block

고위 경로 오버헤드는 고위 가상 상자 즉, VC-3/VC-4에 부착되는 경로 오버헤드(POH)이다. 이것들은 VC-3나 VC-4의 첫 번째 열에 위치하고 한 바이트의 크기를 갖고 있으며 VC-3나 VC-4의 유료 부하들을 신뢰성 있게 수송하기 위해 필요한 제반 기능들을 수행하며 경로 오버헤드 종류 및 사용 용도는 다음과 같다.

J1 : VC4 신호 경로 추적용으로서 16 바이트의 레지스터에 저장한다.

B3 : 에러성능 감시용으로 수신 B3을 추출하여 B3 검출블록으로 출력한다.

C2 : C4 경로에 ATM 셀의 수용을 나타내는 용도로서 Default 값은 13H이고 수신되는 값과 이미 지정된 값을 비교하여 3 프레임 연속 부정합 상태가 검출되면 인터럽트 방식으로 이 상태를 CPU에 전달하며 이의 Disable 기능도 갖는다. 또한 동시에 이러한 경보 상태를 POH Handler 블록으로 전달하여 Path FERF를 자동으로 송출토록 하며 순 방향으로 C4 페이로드에 all "1"을 삽입한다.

G1 : 비트 1-4는 Path FEFE 비트 5는 FERF용으로 사용한다. 16비트 레지스터를 사용하여 매 프레임에서 발생하는 Path FEFE 값을 누적하여 overflow 발생시 또는 Path FERF가 10번 이상인 경우에 인터럽트 방식으로 CPU로 전달한다.

H4 : VC4 페이로드 내에서 ATM 셀 시작점을 지시하는 용도로서 수신된 H4 값과 셀 경계 식별 부에서 찾아진 값을 서로 비교하여 부정합이 발생하는 경우 인터럽트를 CPU로 발

생하고 이의 Disable 기능도 갖는다.

Z3~Z5 : 장애에 사용할 수 있도록 남겨둔 예비 바이트이다.

3.2 Receive Cell Block[1,4]

수신 된 셀을 처리하는 기능을 가지는데 수신된 5 바이트의 헤더에 대해서 디코딩과 Syndrome 생성 및 에러 정정 기능을 수행하며, 생성된 Syndrome을 이용하여 셀의 경계를 식별하고 이를 위한 각종 상태를 나타내 주는 기능을 출력하며 헤더 부분 5바이트를 제외한 Payload 부분 48 바이트를 디스크램블링 해주는 기능을 수행한다. 또한 각종 셀의 Filtering 및 Masking 하는 기능을 가지며 각종 알람 신호와 인터럽트 신호를 처리해 주는 기능을 포함하고 있다.

1) Head Error Correction Decoder Block

5 바이트 헤더에 대한 HEC(Head Error Correction) 검증 및 Header내에 포함된 단일 오류정정을 수행하며 셀 경계 식별 메커니즘의 제어신호를 생성한다.

① HEC 검증 : Syndrome 계산을 통해 수행함

- Syndrome은 수신된 헤더를 HEC 생성 다항 식으로 나눈 나머지이다.

$$g(x) = x^8 + x^2 + x + 1 \text{ (생성 다항식)}$$

$$\begin{aligned} s(x) &= Rg(x)[v(x)] \\ &= Rg(x)[c(x) + e(x)] \\ &= Rg(x)[a(x)g(x) + e(x)] \\ &= Rg(x)[e(x)] \\ &= s_7x^7 + s_6x^6 + s_5x^5 + s_0 \end{aligned}$$

② Syndrome은 채널의 에러 유무에 따라서 결정 된다.

$$S(x) = 0 \quad ; \text{ 에러 없음}$$

$$S(x) \neq 0 \quad ; \text{ 에러}$$

③ 주어진 코드는 단일 비트 오류 정정 기능이 있다. 그림 12는 비트 단위의 직렬 디코더 블록 구성을 보여주고 있다.

\* MSB가 에러인 경우의 Syndrome

- MSB의 에러를 수정한 후 신드롬을 갱신한다.

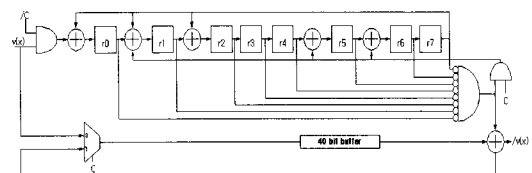


그림 12. 비트 단위의 직렬 디코더

- 단일비트 에러 수정 능력만 있으므로 에러수정 이후 신드롬이 0 이 됨
- 신드롬 갱신 경로를 삭제 가능함

\* 수식 표현

$$B1 = [d_7, d_6, d_5, d_4, d_3, d_2, d_1, d_0]$$

i) at  $t = T_b$

$$\begin{aligned} s_0(T_b) &= s_7(0) \oplus d_7 \\ s_1(T_b) &= s_0(0) \oplus s_7(0) \oplus d_7 \\ s_2(T_b) &= s_1(0) \oplus s_7(0) \oplus d_7 \\ s_3(T_b) &= s_2(0) \\ s_4(T_b) &= s_3(0) \\ &\vdots \\ s_7(T_b) &= s_6(0) \end{aligned}$$

위의 식을 행렬로 나타내면

$$S(T_b) = AS(0) + Bd_7$$

여기서

$$A = \begin{matrix} 00000001 & 1 \\ 10000001 & 0 \\ 01000001 & 0 \\ 00100000 & 0 \\ 00010000 & 0 \\ 00001000 & 0 \\ 00000100 & 0 \\ 00000010 & 0 \end{matrix} \quad B = \begin{matrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{matrix}$$

ii) at  $t = 2T_b$

$$\begin{aligned} s_0(2T_b) &= s_7(T_b) \oplus d_6 \\ s_1(2T_b) &= s_0(T_b) \oplus s_7(T_b) \oplus d_6 \\ s_2(2T_b) &= s_1(T_b) \oplus s_7(T_b) \oplus d_6 \\ s_3(2T_b) &= s_2(T_b) \\ s_4(2T_b) &= s_3(T_b) \\ &\vdots \\ s_7(2T_b) &= s_6(T_b) \end{aligned}$$

위의 식을 행렬로 나타내면

$$\begin{aligned} S(2T_b) &= AS(T_b) + Bd_6 \\ &= A_2(AS(0) + ABd_7) + Bd_6 \\ &= A^2S(0) + ABd_7 + Bd_6 \end{aligned}$$

iv) at  $t = 8T_b$

$$\begin{aligned} S(8T_b) &= A^8S(0) + A^7Bd_7 + A^6Bd_6 + ABd_1 + Bd_0 \\ &= A^8S(0) + [B|AB|A^2B|\dots|A^6B|A^7B]D \\ &= A^8S(0) + CD \end{aligned}$$

여기서

$$C = [B|AB|A^2B|\dots|A^6B|A^7B]$$

$$D = \begin{matrix} d_0 \\ d_1 \\ d_2 \\ d_3 \\ d_4 \\ d_5 \end{matrix} A^8 = \begin{matrix} 00000001 \\ 10000001 \\ 01000001 \\ 00100000 \\ 00010000 \\ 00001000 \\ 00000100 \\ 00000010 \end{matrix} \quad C = \begin{matrix} 00000001 \\ 10000001 \\ 01000001 \\ 01000001 \\ 01000001 \\ 01000001 \\ 01000001 \\ 01000001 \end{matrix}$$

④ Octet 단위의 병렬 디코더

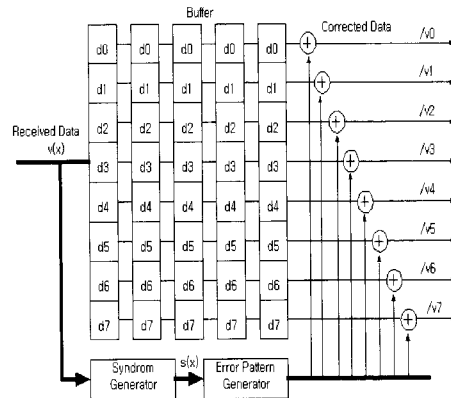


그림 13. Octet 단위의 병렬 디코더

그림 13은 Octet 단위의 병렬 디코더 블록을 보여주며 주요 블록의 기능은 다음과 같다.

i) Syndrome Generator

$$\begin{aligned} S_0(T) &= s_0(0) \oplus s_6(0) \oplus s_7(0) \oplus d_0 \\ S_1(T) &= s_0(0) \oplus s_1(0) \oplus s_6(0) \oplus d_1 \\ S_2(T) &= s_0(0) \oplus s_1(0) \oplus s_2(0) \oplus s_6(0) \oplus d_2 \\ S_3(T) &= s_1(0) \oplus s_2(0) \oplus s_3(0) \oplus s_7(0) \oplus d_3 \\ S_4(T) &= s_1(0) \oplus s_3(0) \oplus s_4(0) \oplus d_4 \\ S_5(T) &= s_3(0) \oplus s_4(0) \oplus s_5(0) \oplus d_5 \\ S_6(T) &= s_4(0) \oplus s_5(0) \oplus s_6(0) \oplus d_5 \\ S_7(T) &= s_5(0) \oplus s_6(0) \oplus s_7(0) \oplus d_7 \end{aligned}$$

ii) Error Pattern Generator

$$\begin{aligned} e0 &= s_0s_1s_2s_3s_4s_5s_6s_7 \\ e1 &= s_0s_1s_2s_3s_4s_5s_6s_7 \\ e2 &= s_0s_1s_2s_3s_4s_5s_6s_7 \\ e3 &= s_0s_1s_2s_3s_4s_5s_6s_7 \\ e4 &= s_0s_1s_2s_3s_4s_5s_6s_7 \\ e5 &= s_0s_1s_2s_3s_4s_5s_6s_7 \\ e6 &= s_0s_1s_2s_3s_4s_5s_6s_7 \\ e7 &= s_0s_1s_2s_3s_4s_5s_6s_7 \end{aligned}$$

⑤ 수식 표현

$$H = [B_1 B_2 B_3 B_4 B_5]$$



$$\begin{aligned}
 S(x) &= R_g(x)[H] \\
 &= R_g(x)[B_1 0000] + R_g(x)[0 B_2 000] \\
 &\quad + R_g(x)[00 B_3 00] + R_g(x)[000 B_4 0] \\
 &\quad + R_g(x)[0000 B_5] \\
 &= s_1(x) + s_2(x) + s_3(x) + s_4(x) + s_5(x)
 \end{aligned}$$

여기서 0은 all-zero 바이트를 나타냄. 이 때 매 클럭에서 순차적으로 신드롬을 구한 후 이를 합한다.

예를 들어,

$$\begin{aligned}
 s_4(x) &= R_g(x)[000 B_4 0] \\
 &= R_g(x)[[000 B_4 0] * x^8]
 \end{aligned}$$

여기서  $s_4(t) = R_g(x)[000 B_4 0]$ 라 하면  $s_4(t+T) = R_g(x)[000 B_4 0]$ 이며  $s_4(t)s_4(t)$ 와  $s_4(t+T)$  사이에는 다음과 같은 관계식이 성립하며, 그림 14는 해당 알고리즘의 블록도 이다.

$$\begin{aligned}
 S_0(t+T) &= s_0(0) \oplus s_6(0) \oplus s_7(0) \\
 S_1(t+T) &= s_0(0) \oplus s_1(0) \oplus s_6(0) \\
 S_2(t+T) &= s_0(0) \oplus s_1(0) \oplus s_2(0) \oplus s_6(0) \\
 S_3(t+T) &= s_1(0) \oplus s_2(0) \oplus s_3(0) \oplus s_7(0) \\
 S_4(t+T) &= s_1(0) \oplus s_3(0) \oplus s_4(0) \\
 S_5(t+T) &= s_3(0) \oplus s_4(0) \oplus s_5(0) \\
 S_6(t+T) &= s_4(0) \oplus s_5(0) \oplus s_6(0) \\
 S_7(t+T) &= s_5(0) \oplus s_6(0) \oplus s_7(0)
 \end{aligned}$$

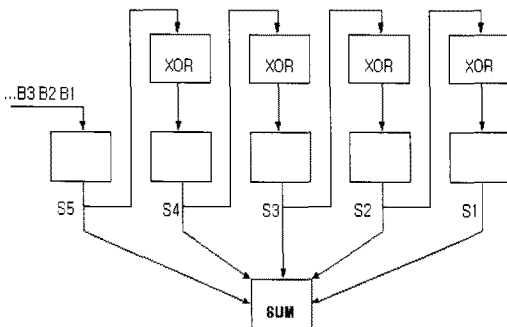


그림 14. Successive 알고리즘 블록도

### 2) Cell Unit Delineator Block

SDH 기반의 셀 동기 성취 상태는 3 가지 상태 즉, "HUNT", "PRESYNC", "SYNC" 상태를 두고 다음과 같은 알고리즘에 따라 셀 동기를 성취한다. 먼저 "HUNT" 상태에서는 바이트 단위의 데이터로부터 HEC를 이용하여 첫 번째 유효한 셀의 경계를 찾은 후 "PRESYNC" 상태로 들어간다. "PRESYNC" 상태에서는  $\delta$ 번 연속 HEC 에러가 없을 경우에 "SYNC" 상태로 들어가고 그렇지 않을 경우에는 다시 "HUNT" 상태로 되돌아간다. "SYNC" 상태에서는 HEC 에러가 연속  $\alpha$ 번 발생할 경우에 "HUNT" 상태로 들어가고 그렇지 않

을 경우에는 "SYNC" 상태에 머무른다.

여기서  $\delta$ 와  $\alpha$ 의 Default 값은 각각 6과 7이며 CPU에 의하여 8 이하의 값에 대해 임의의 설정이 가능하다.

Cell Unit Delineator는 내부 동작 상태 레지스터를 가지며 셀 경계 성취 상태("HUNT", "PRESYNC", "SYNC"), HEC 동작 모드("Correction 수정", "Detection 모드") 및 Errored 셀 수(단일비트 에러 셀, 멀티비트 에러 셀)를 감시할 수 있다. 그림 15는 셀 경계 추출상태 천이도를 보여주며 그림 16은 헤더오류 제어 운용모드를 보여주고 있다.

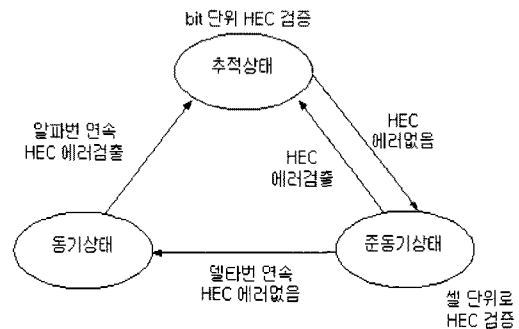


그림 15. 셀 경계 추출상태 천이도

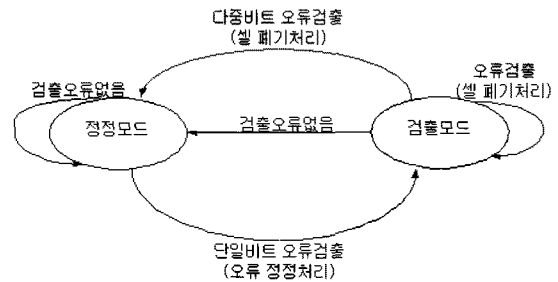


그림 16. 헤더오류 제어 운용모드

### 3) Receive Cell Identifier

5 바이트의 헤더를 제외한 순수한 48 바이트의 Payload data에 대해  $x^{43} + 1$ 의 자기동기식 생성 다항식을 바이트 단위로 하는 기능을 수행한다.

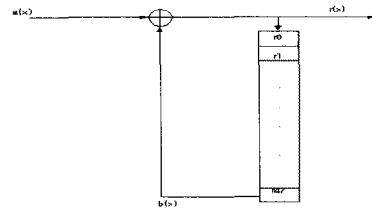


그림 17. 비트 단위의 디스크램블링 블록도

-  $\alpha(x) = r(x)(x^{43} + 1)$ 의 수식으로 표현되며 별도의 동기화 과정이 필요하지 않으나 43 비트 동안의 acquisition time이 필요하다. 그림 17은 비

트 단위의 디스크램블러와 그림 18은 Octet 단위의 병렬 디스크램블러 블록도를 보여 주고 있다.

- 디스크램블러의 수식 표현

$$\begin{array}{lll}
 t = T_b & t = 2T_b & \dots t = 8T_b \\
 \alpha_7(T_b) = r_{42}(0) + d_7 & \alpha_6(2T_b) = r_{41}(0) + d_6 & \dots \alpha_0(8T_b) = r_{35}(0) + d_0 \\
 r_{41}(T_b) = r_{41}(0) & r_{41}(2T_b) = r_{40}(0) & \dots r_{41}(8T_b) = r_{34}(0) \\
 r_{40}(T_b) = r_{40}(0) & r_{40}(2T_b) = r_{39}(0) & \dots r_{40}(8T_b) = r_{33}(0) \\
 \vdots & \vdots & \vdots \\
 r_0(T_b) = r_7 & r_0(2T_b) = r_6 & \dots r_0(8T_b)
 \end{array}$$

$t = 8T_b$ 가 지났을 때 최종 출력 상태

$$\begin{aligned}
 \alpha_7 &= r_7 \oplus r_{42}(0) = a_7 \\
 \alpha_6 &= r_6 \oplus r_{41}(0) = a_6 \\
 \alpha_5 &= r_5 \oplus r_{40}(0) = a_5 \\
 \alpha_4 &= r_4 \oplus r_{39}(0) = a_4 \\
 \alpha_3 &= r_3 \oplus r_{38}(0) = a_3 \\
 \alpha_2 &= r_2 \oplus r_{37}(0) = a_2 \\
 \alpha_1 &= r_1 \oplus r_{36}(0) = a_1 \\
 \alpha_0 &= r_0 \oplus r_{35}(0) = a_0
 \end{aligned}$$

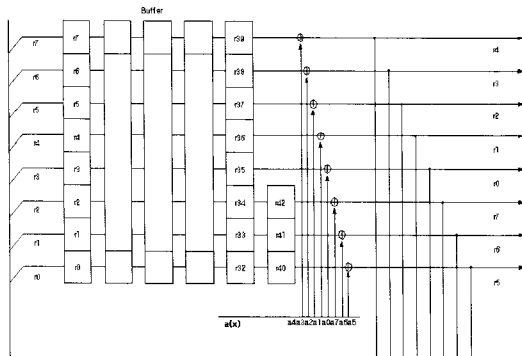


그림 18. Octet 단위의 병렬 디스크램블러

4) Receive Adaptor

이 블록에서는 유효 셀 가운데 Payload를 제외한 헤더 바이트들의 값 중에서 CPU의 제어에 의하여 특정 패턴들의 셀 들을 필터링 한다.

① Filter 기능

유효 셀 가운데 VPI(Virtual Path Identifier)=0, VCI(Virtual Channel Identifier)=0 인 셀에 한해서 VPI, VCI를 제외한 셀 헤더의 GFC(Generic Flow Control), PT(Payload Type), CLP(Cell Loss Priority) 영역의 정보들을 CPU에 의해 설정된 정보들과 비교함으로써 필요한 바이트만을 체크할 수 있다. 즉 Pattern 바이트와 수신된 데이터를 XOR 시켜 서로 일치하지 않는 경우라도

Masking 데이터가 “0”으로 되어 있다면 그 부분은 상관하지 않는다는 의미이다.

② 셀 폐기 기능

“SYNC” 상태에서는 에러정정 모드(Error Correction Mode)와 에러 검출 모드(Error Detection Mode)가 존재하며 에러정정 모드에서는 셀 헤더부의 단일 에러 셀은 에러 정정 후 셀 헤더 패턴에 따라 Filtering 하며 2개 이상의 에러 셀은 폐기한다. 또한, 에러 검출모드 상태에서 셀 헤더부가 에러가 있는 경우(Discard 신호) 그 셀은 폐기한다.

5) Alarm Interrupt

① OCD alarm과 LCD alarm 기능

“SYNC” 상태에서는 HEC 에러가 연속 a번 발생할 경우에 OCD (Out Of Cell Delineation)가 선언되며 이는 Maskable 인터럽트 신호를 사용하여 외부에 알려준다. OCD 선언 상태는 다시 “SYNC”상태로 돌아오면 OCD 선언 상태가 즉시 해제된다. OCD 상태가 N ms 이상 지속되면 LCD (Loss of Cell Delineation)상태를 선언하며 이는 Maskable 인터럽트를 발생시키고 동시에 이 상태는 POH Handler 블록으로 전달되어 송신 방향으로 path FERF가 전달되도록 한다. 이 때 path FERF의 삼입은 CPU에 의하여 Disable 가능하다. OCD 상태에서 “HUNT”상태와 “SYNC”상태가 간헐적으로 교대로 발생할 수 있으나 이러한 상태는 안정된 상태가 아닌 것으로 간주되며 LCD는 이전 상황과 동일하게 발생한다.

LCD가 선언된 후 M ms 이상 “SYNC” 상태가 유지되면 LCD 상태를 해제한다. 여기서 Default 값은 4 ms이며, 0~7 ms 이내의 범위에서 CPU에 의해 제어가 가능하다. “SYNC” 상태에서의 HEC 에러 검사는 두 개의 16비트 레지스터 즉, HEC 에러가 발생한 셀의 수를 누적하는 레지스터와 HEC 에러로 인하여 폐기되는 셀의 수를 계수하는 레지스터로 구성한다. 이들은 “HUNT” 상태에서는 레지스터가 Disable되며 “SYNC”상태에서만 Enable 된다. 각 레지스터는 CPU에 의해 임계치를 임의로 설정할 수 있으며 임계치 초과시 인터럽트로 CPU에 전달한다. 각 레지스터 값은 CPU가 읽어가는 순간 “0”으로 초기화한다.

② DCC (Discarded Cell Counter)와 ECC (Errored Cell Counter) Interrupt 기능

에러가 난 셀의 개수 [15:0]와 버려지는 개수 [15:0]를 카운트하여 지정해준 임계치[15:0]와 비교하여 그 기준을 넘었을 때 Interrupt 신호가 발생한다.

3.3 Receive FIFO(First-In-First-Out)

Rx FIFO는 VC4를 통하여 전달되는 셀을 비동기적으로 ATM 계층에게 전달하는데 요구되는 시간적 버퍼링 기능을 수행한다. 즉, ATM 계층의 동작 클럭과 물리 계층의 동작 클럭을 분리할 수 있는 기능을 제공한다. Rx FIFO를 통하여 ATM 계층은 바이트 단위의 데이터를 ATM 계층으로 전달한다. Rx FIFO는 4셀 단위의 데이터 용량을 갖는다.

Rx FIFO가 ATM 계층으로 보내줄 바이트 단위의 데이터가 있을 경우 이러한 상황을 RxEmpty 신호를 Disassert하여 ATM Layer에 알려주며 ATM 계층에게 보내줄 바이트 단위의 데이터가 없을 경우 RxEmpty 신호를 assert하여 ATM Layer에 알려준다. ATM 계층은 이러한 상황을 파악하여 Rx FIFO내의 데이터를 Enable 신호를 사용하여 읽어갈 수 있다. 이 때 바이트 단위의 데이터에 대한 Odd 패리티 신호를 함께 전달한다. Rx FIFO의 Overflow시 Rx FIFO는 자동 Reset되며 이와 같은 상황은 Maskable 인터럽트 레지스터 비트를 통하여 외부로 전달한다. 레지스터 비트는 CPU가 읽어갈 때 Reset되며 이후 셀 단위로 FIFO에 Write 한다.

III. 결 론

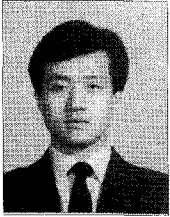
본 논문에서는 초고속 정보통신 서비스를 받는 각 가입자가 제공받을 수 있는 155Mbps급의 데이터를 수신할 수 있는 광 수신기를 설계 하였다. Front-End 부분을 설계하기 위한 이론적 배경 및 주요 블록을 설계하였다. 시뮬레이션 및 Back-End 분야 설계는 앞으로 더 검증하여야 할 부분이기도 하다. 설계상의 주요 특징은 병렬형태의 데이터 처리와 포인터 처리라 할 수 있으며 좀 더 효율적인 포인터 처리에 대한 연구가 추가 필요하다.

논문에서 설계하기 위하여 분석한 광 가입자용 수신 장치의 데이터 프로세싱에 대해서 요약하면 다음과 같다. 광 송수신부와 접속하여 SDH 신호 포맷을 갖는 8비트 병렬 형태의 19.44 Mbps 데이터를 수신하여 리프레임 알고리즘에 따른 프레임 동기화를 시행하며 디스크램블링을 수행한 후, 구간 오버헤드(SOH)를 추출한다. SOH상의 성능/경보 정보들은 하드웨어적으로 실시간 처리하여 외부 프로세서와 접속되도록 하고 다른 운용관리 채널들은 외부와 통신이 가능토록 직접 직렬 접속된다. STM-1 신호 수신 후 AU-4 포인터의 해석과 VC4 경로 오버헤드 처리 기능을 수행하며, 이때 VC4 신호 경로와 관련된 성능검사와 경보 감시 기능을 병행 수행한다. 또한 VC4 페이로드 내에 사상되어 있는 ATM 셀의 정렬과 헤더부의 에러검사, 1비트 에러정정 과정을 통해 유효 셀을 추출하고 이를 수신 FIFO를 통해 비동기적인 방법으로 외부와 인터페이스 한다. 이때 모든 수신 유효 셀을 전달하거나 Idle/assigned 셀들을 제거하여 전달할 수 있다. 또한, 셀의 역 스크램블링 기능을 제공한다.

[ 참고 문헌 ]

[1] 이병기, 강민호, 이종희, *광대역 정보통신*, 교학사, 서울, 1994.  
 [2] ITU-Ts G.70x  
 [3] ITU-Ts G.781, G.782, G.783  
 [4] M. Saxon and A. Reid, *Transmission networking: Sonet and the Synchronous Digital Hierarchy*, Artech House, Boston London, 1992.

## Biography



### 송 홍 종

1992년 전남대학교 물리학과(이학사)

1994년 전남대학교 전자공학과(공학석사)

1994년 ~ 1998년 현대전자 정보통신 연구소  
주임연구원

2004년 ~ 현재 연세대학교 전기·전자 공학과  
박사수료

2000년 ~ 현재 방송통신위원회 전파연구소 재직 중

<관심분야> 방송통신융합서비스, 광대역정보통신망, 광대역 무선  
통신시스템 등

<e-mail> shj@kcc.go.kr