

# MQASK 디지털 수신기 타이밍 복원 루프 구조의 최적화 연구

준희원 서 광 남\*, 정희원 김 종 훈\*

## The Optimization of Timing Recovery Loop for an MQASK All Digital Receivers

Kwang-nam Seo\* Associate Member, Chong-hoon Kim\* Regular Member

### 요 약

MQASK 디지털 수신기의 타이밍 복원 루프에서는 self-noise의 영향으로 발생하는 타이밍 jitter에 의해 성능이 저하된다. 타이밍 jitter는 타이밍 복원 루프 내에 전치필터를 사용함으로써 해결할 수 있지만, 전치필터에 의해 루프 지연이 발생하고, 타이밍 복원 루프의 안정성 및 acquisition 성능이 감소하게 된다. 또한, 전치필터에 의해 타이밍 복원 루프의 복잡도가 증가한다. 본 논문에서는 jitter-free 타이밍 복원 루프에서 전치필터로 인해 발생하는 루프 지연을 제거하기 위해 정합필터, resampler, 그리고 전치필터의 기능을 포함한 다상필터 구조의 resampler를 제안하였다. 본 논문에서 제안한 다상필터 구조의 resampler를 사용한 타이밍 복원 루프에서는 타이밍 jitter를 제거하기 위해 사용된 전치필터로 인해 발생하는 루프 지연을 해결함으로써 타이밍 복원 루프의 안정성을 향상시키고, 타이밍 jitter를 효과적으로 제거한다. 또한, 타이밍 복원 루프의 구조가 간단해지기 때문에 하드웨어 구현 시에 유리하다.

**Key Words** : Timing recovery loop, Timing jitter(Self-noise), Timing error detector(TED), Prefilter, Polyphase filter

### ABSTRACT

The timing error detector(TED) employed in the closed loop type timing synchronization scheme for an MQASK all digital receiver suffers from the selfnoise-induced timing jitter. To eliminate the timing jitter a prefilter can be added in front of the TED. The prefilter method, however, degrades the stability and timing acquisition performance due to the loop delay and increases the complexity of the synchronizer. This paper proposes a polyphase filter type resampler approach to optimize the performance and architecture of the synchronizer simultaneously. The proposed scheme uses two resamplers which performs matched filtering and matched prefiltering so that the loop delay is minimized with minimal hardware resources. Simulation results showed an excellent acquisition performance with reduced timing jitter.

### I. 서 론

그림 1은 MQASK 비동기 샘플링 방식 수신기의 타이밍 복원 루프의 구조이고, 고정 클럭으로 동작

하는 ADC와 resampler, 루프필터, 정합필터, 타이밍 controller, TED(Timing Error Detector) 등으로 구성된다. 심볼 타이밍 동기는 타이밍 에러를 이용하여 다상필터 구조를 갖는 resampler의 index를 제

\* 숭실대학교 정보통신전자공학부 무선통신시스템연구실 (master.skn@gmail.com, chkim@ssu.ac.kr)  
 논문번호 : KICS2009-10-454, 접수일자 : 2009년 10월 10일, 최종논문접수일자 : 2010년 1월 5일

어함으로써 획득된다<sup>[1]</sup>. 타이밍 에러 정보를 계산하기 위한 TED는 GAD(Gardner Detector)와 같은 NDA(Non-Data Aided) 방식과 ZCD(Zero-crossing Detector)와 같은 DA(Data Aided) 방식으로 구분할 수 있다. 고속으로 동작하는 수신기에 적합한 GAD와 ZCD는 구현이 간단하고, 매 심볼마다 2개의 샘플들을 이용해 타이밍 에러를 나타낸다. 이때, 인접한 샘플들의 영향에 의해 타이밍 jitter가 발생되는데, 비동기 샘플링 방식의 디지털 수신기에서의 타이밍 jitter는 루프 대역폭을 제한하여 타이밍 복원 루프의 acquisition 성능을 저하시킨다. 타이밍 jitter는 타이밍 복원 루프 내에 전치필터를 사용함으로써 제거할 수 있다<sup>[2]</sup>. 하지만 타이밍 jitter를 제거하기 위해 사용된 전치필터는 루프지연을 발생시켜 타이밍 복원 루프의 안정성을 감소시키고, 하드웨어 구현 시에 복잡도를 증가시킨다.

본 논문에서 제안한 타이밍 복원 루프에서는 전치필터에 의한 루프지연을 제거함으로써 타이밍 복원 루프의 안정성과 acquisition 및 tracking 성능을 향상시켰고, 효과적으로 타이밍 jitter를 제거하였다. 또한, 하드웨어 구현 시에 구조가 간단해지는 장점이 있다. 제안된 타이밍 복원 루프에서는 타이밍 jitter 제거를 위해 사용된 전치필터에 의해 발생하는 루프지연을 제거하기 위해 정합필터, resampler 그리고 전치필터의 기능을 포함한 다상필터 구조의 resampler를 사용하였다.

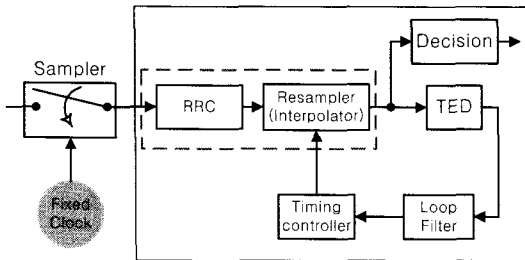


그림 1. 비동기 샘플링 방식의 타이밍 복원 루프 구조

## II. Jitter-free 타이밍 복원 루프

그림 2는 Jitter-free 타이밍 복원 루프의 구조이고, 타이밍 jitter를 제거하기 위해 전치필터를 사용하였다. 또한, 타이밍 복원 루프의 복잡도를 감소시키기 위해 정합필터를 다상필터 구조를 갖는 RRC resampler로 사용하였다<sup>[4]</sup>. TED에 ZCD를 사용할 경우, ZCD는 2배로 과샘플링된 신호를 입력받아

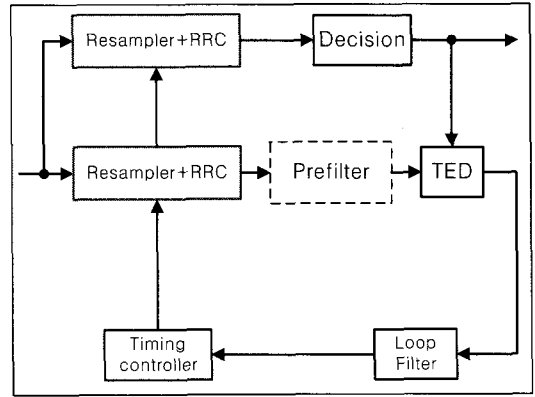


그림 2. Jitter-free 타이밍 복원 루프 구조

판정된 현재샘플, 이전샘플 그리고 판정되지 않은 중간샘플을 이용하여 타이밍 에러를 나타내고, ZCD의 타이밍 에러는 식 (1)과 같이 나타낼 수 있다.

$$e[n] = x\left[n - \frac{T}{2}\right] \times (\hat{x}[n] - \hat{x}[n - T]) \quad (1)$$

ZCD의 출력인 타이밍 에러  $e[n]$ 은 루프필터를 통해 타이밍 controller로 입력되고, 타이밍 controller의 출력은 다상필터 구조의 RRC resampler의 index를 제어함으로써 타이밍 동기화 획득된다.

ZCD에서는 인접한 샘플들의 영향에 의해 타이밍 jitter가 발생하고, 타이밍 jitter는 타이밍 복원 루프의 대역폭을 제한하기 때문에 빠른 acquisition을 방해하게 된다. 이러한 타이밍 jitter는 그림 2처럼 타이밍 복원 루프 내에 전치필터를 사용함으로써 제거할 수 있다<sup>[3]</sup>.

$$H_P(f) = \begin{cases} G_N\left(f - \frac{1}{T}\right), & 0 \leq f < \frac{1}{T} \\ G_N\left(f + \frac{1}{T}\right), & -\frac{1}{T} \leq f < 0 \end{cases} \quad (2)$$

식 (2)에서  $H_P(f)$ 는 전치필터이고,  $G_N(f)$ 는 RC 필터이다. 식 (2)의 조건을 만족하는 전치필터를 사용함으로써 인접한 샘플들의 영향에 의해 발생하는 타이밍 jitter를 제거할 수 있다. 하지만 타이밍 복원 루프의 안쪽에 위치하는 전치필터에 의해 루프지연이 발생하고, 타이밍 복원 루프의 안정성이 감소되어 acquisition 및 tracking 성능이 저하된다. 또한, 타이밍 복원 루프 내에 위치하는 전치필터에 의해 하드웨어 구현 시에 복잡도가 증가한다.

### III. 제안된 타이밍 복원 루프

그림 3은 본 논문에서 제안한 타이밍 복원 루프의 구조로 jitter-free 타이밍 복원 루프에서 타이밍 jitter 제거를 위해 사용된 전치필터에 의해 발생하는 루프지연 문제점과 타이밍 복원 루프의 복잡도가 증가하는 문제점을 해결하였다. 제안된 타이밍 복원 루프에는 다상필터 구조의 RRC resampler와 전치필터를 콘볼루션한 필터를 이용하여 필터의 계수를 획득하였고, 다상필터 구조의 resampler로 사용하였다.

타이밍 복원 루프 안쪽에 위치한 전치필터에 의해 발생하는 루프지연이 제거되기 때문에 루프의 안정성과 acquisition 및 tracking 성능이 향상된다. Jitter-free 타이밍 복원 루프에서 전치필터에 의해 제거되는 타이밍 jitter는 다상필터 구조 resampler에 의해 효과적으로 제거되기 때문에 타이밍 복원 루프의 대역폭을 넓게 할 수 있고, 이는 빠른 acquisition을 가능하게 한다. 또한, 타이밍 복원 루프 내에 전치필터가 제거됨으로써 복잡도가 감소하기 때문에 하드웨어 구현 시에 유리하다. 본 논문에서 제안한 타이밍 복원 루프에서 사용된 다상필터 구조의 resampler  $h_{prc}(t)$ 는 RRC resampler와 전치필터를 콘볼루션하여 획득하였다.

$$h_{prrc}(t) = h_{rx}(t) * h_{pre}(t) \quad (3)$$

$h_{rx}(t)$ 는 다상필터 구조를 갖는 수신기의 RRC 필터이고, 송신기의 RRC 필터와 동일한 특성을 갖는다.  $h_{pre}(t)$ 는 타이밍 jitter를 제거하기 위한 전치필터이고, 식 (2)의 조건을 만족한다.  $h_{prc}(t)$ 는 RRC 필

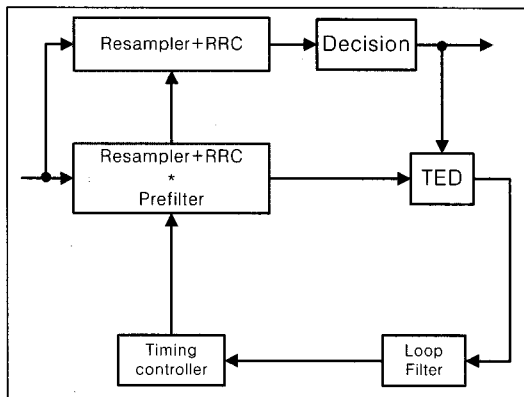


그림 3. 제안된 타이밍 복원 루프 구조

터와 전치필터를 콘볼루션하여 획득한 필터이다.  $h_{rx}(t)$ 의 임펄스 응답 특성은 식 (4)와 같고,  $h_{pre}(t)$ 의 임펄스 응답 특성은 식 (5)와 같다.  $\alpha$ 는 RRC 필터 및 전치필터의 roll-off 값이다.

$$h_{rx}(t) = \frac{\sin\left(\pi(1-\alpha)\frac{t}{T}\right) + 4\alpha\frac{t}{T}\cos\left(\pi(\alpha+1)\frac{t}{T}\right)}{\pi\frac{t}{T}\left(1 - \left(4\alpha\frac{t}{T}\right)^2\right)} \quad (4)$$

$$h_{pre}(t) = \frac{((8\alpha^2 r^2 - 2)\cos(\pi r) + \cos(\pi \alpha r))\sin(\pi r)}{\pi r(4\alpha^2 r^2 - 1)} \quad (5)$$

$h_{rx}(t)$ 와  $h_{pre}(t)$ 를 콘볼루션하여 획득한 필터  $h_{prrc}(t)$ 는 식 (6)과 같은 임펄스 응답 특성을 갖고 있다.

$$h_{prrc}(t) = \frac{4\alpha((3 - 16\alpha^2 r^2)\cos(\pi(\alpha+1)r))}{\pi(256\alpha^4 r^4 - 160\alpha^2 r^2 + 9)} \quad (6)$$

식 (6)을 이용하여 다상필터 구조의 resampler  $h_{prrc}(t)$ 의 계수를 획득하였고, 연속시간에서  $h_{rx}(t)$ 와  $h_{pre}(t)$ 의 콘볼루션을 계산하여 얻어진 결과인  $h_{prrc}(t)$ 를  $h_{rx}(t)$  필터 계수의 수만큼 샘플링하여 획득하였기 때문에 필터 계수의 수는 증가하지 않았다.

### IV. 모의실험

그림 4는 본 논문에서 제안한 타이밍 복원 루프의 모의실험 블록도이다. 송신기에서는 2 배 과샘플링된 임의의 데이터를 생성하여 다상필터 구조의 resampler의 입력으로 사용하고, resampler에서는 임의의 k 값을 이용하여 타이밍을 변화시킨다. 그리고 AWGN(Additive White Gaussian Noise)을 이용하여 잡음을 생성한다. 수신 데이터의 타이밍 동기는 다상필터 구조 resampler의 index를 제어함으로써 획득된다. 모의실험에 사용된 타이밍 복원 루프는 Type-II 2차<sup>[5]</sup>이고 타이밍 jitter 제거를 위한 resampler와 데이터 복원을 위한 resampler, ZCD, 루프필터, 타이밍 controller 등으로 구성된다. 그림 5는 jitter-free 타이밍 복원 루프와 제안된 타이밍 복원 루프의 타이밍 jitter를 roll-off 값에 따라 비교한 그림이다.

비교를 위해 사용한 jitter-free 타이밍 복원 루프에는 6 개 계수를 갖는 전치필터를 사용하였고, 동일한 계수를 갖는 루프필터를 사용하였다. 또한,

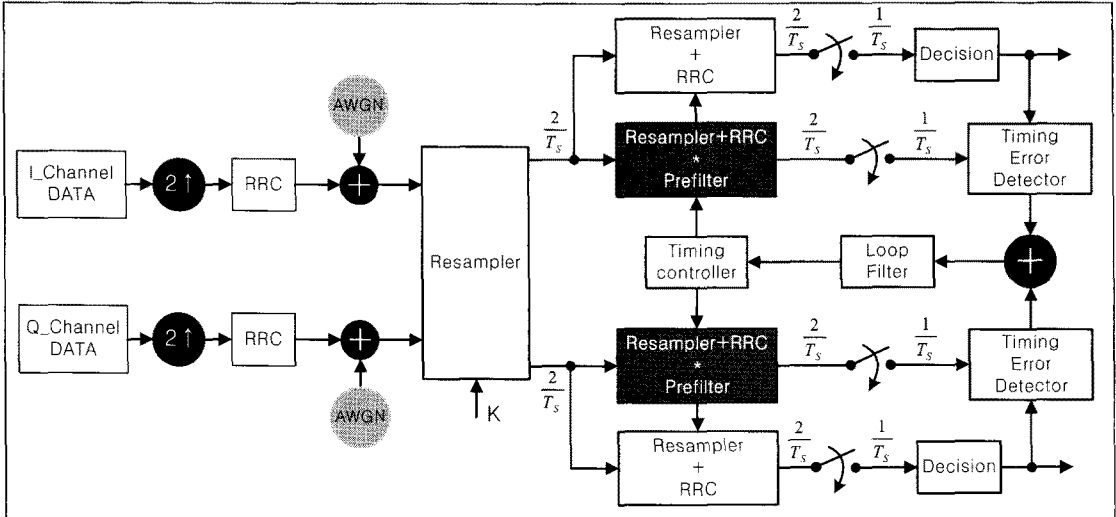


그림 4. 모의실험

1024개의 계수를 갖는 32 채널 다상필터 구조의 RRC resampler를 동일하게 사용하였다. 그림 5에서는 roll-off 값이 커짐에 따라 타이밍 jitter가 작아지는 것을 볼 수 있고, 제안된 타이밍 복원 루프에서의 타이밍 jitter 성능이 향상된 것을 볼 수 있다. 그림 6은 루프의 대역폭이  $2.5 \times 10^{-3}$ 이고, Type-II 2 차 타이밍 복원 루프를 사용했을 경우, jitter-free 타이밍 복원 루프와 제안된 타이밍 복원 루프의

acquisition 및 tracking 성능을 비교한 그림이다.

비교를 위해 사용한 jitter-free 타이밍 복원 루프에 사용된 전치필터는 6개 계수를 갖고 0.6의 roll-off 값을 갖는다. 또한, 제안된 타이밍 복원 루프에서 사용한 RRC resampler와 루프필터를 동일하게 사용하였다. 이때, 제안된 타이밍 복원 루프에서는 타이밍 jitter 제거를 위해 사용한 resample와 데이터 복원을 위해 사용한 RRC resampler의

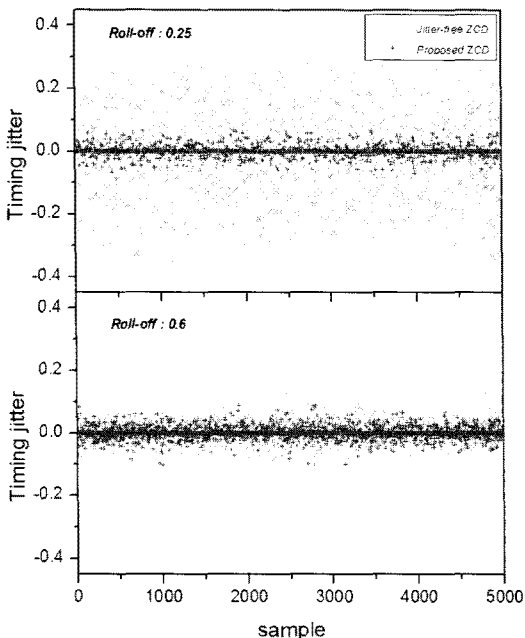


그림 5. Roll-off 값에 따른 타이밍 jitter 비교

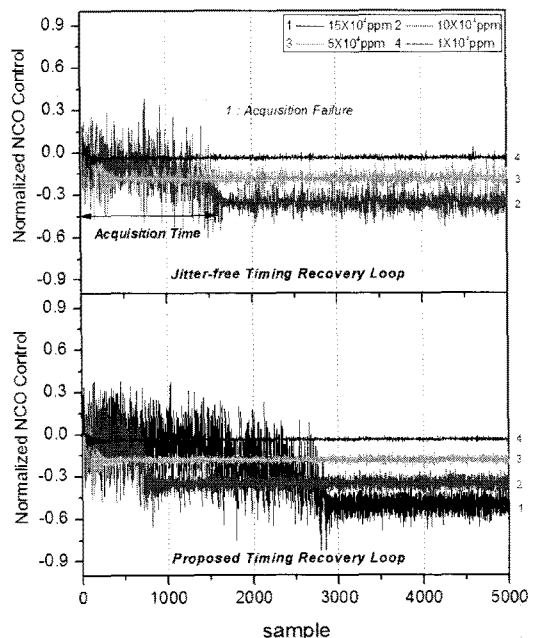


그림 6. Acquisition 및 Tracking 성능 비교

Roll-off 값은 0.6이고, 1024 개의 계수를 갖는 32 채널 다상필터를 사용하였다. 데이터 복원을 위한 resampler는 jitter-free 타이밍 복원 루프에 사용한 resampler와 동일하다. 제안된 타이밍 복원 루프에서는 전치필터에 의한 루프지연이 제거됨으로써 acquisition 및 tracking 성능이 향상된다. 그림 7과 그림 8은 jitter-free 타이밍 복원 루프와 제안된 타이밍 복원 루프에서의 QPSK 신호 타이밍 복원을 나타낸 그림이다. 이때, 과도현상 구간은 제외하였고, 루프의 대역폭은  $2.5 \times 10^{-3}$ 이고, Type-II 2차 타이밍 복원 루프를 사용했다.

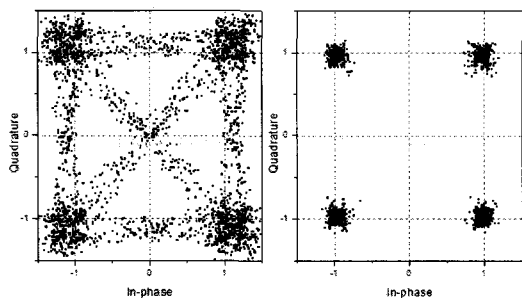


그림 7. Jitter-free 타이밍 복원 루프의 QPSK 타이밍 복원

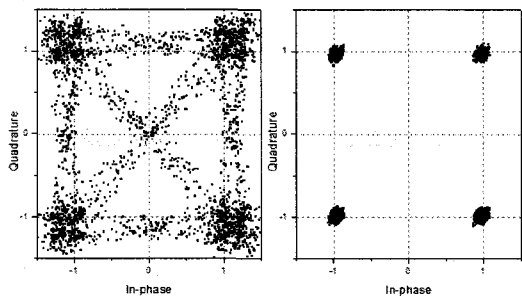


그림 8. 제안된 타이밍 복원 루프의 QPSK 타이밍 복원

### V. 결 론

기존의 jitter-free 타이밍 복원 루프에서의 타이밍 jitter는 전치필터에 의해 제거되지만, 타이밍 복원 루프 안쪽에 위치하는 전치필터에 의해 루프지연이 발생하고, 타이밍 복원 루프의 구조가 복잡해진다. 전치필터에 의해 발생된 루프지연은 타이밍 복원 루프의 안정성과 acquisition 성능을 감소시킨다. 본 논문에서는 타이밍 jitter를 효과적으로 제거함과 동시에 루프지연을 제거하기 때문에 타이밍 복원 루프의 acquisition 성능이 향상된다. 또한, 타이밍 복

원 루프의 복잡도가 감소되어 하드웨어 구현 시에 유리하다.

### 참 고 문 헌

- [1] F.M. Gardner, "Interpolation in digital modems - Part I," IEEE Trans. Commun., Vol.41, pp. 501-507, Mar. 1993
- [2] B.Lankl, G.Seбалd, "Jitterreduced Digital Timing Recovery for Multilevel PAM and QAM Systems," May 1993.
- [3] Nunzio Aldo D' Andrea, "Design and Analysis of a Jitter-Free Clock Recovery Scheme for QAM Systems," IEEE Trans. Commu., Vol.41, No. 9, Sep. 1993.
- [4] Fredic J.Harris, "Multirate Digital Filter for Symbol Timing Synchronization in Software Defined Radio," IEEE Journal Comuun. Vol. 19, No.12, Dec. 2001.
- [5] F.M. Gardner, Phaselock Techniques-Third Edition. New York : Willey.

서 광 남 (Kwang-nam Seo)

준회원



2008년 2월 숭실대학교 정보통신전자공학과 학사  
2008년 3월~숭실대학교 정보통신공학과 석사과정  
<관심분야> 무선통신 시스템, 고속 신호처리 회로설계

김 종 훈 (Chong-hoon Kim)

정회원



1984년 서울대학교 전자공학과 학사  
1986년 서울대학교 전자공학과 석사  
1993년 미국 Northwestern 대학교 EECS 박사  
1996년~현재 숭실대학교 정보통신전자공학부 부교수

<관심분야> 무선통신 시스템, 고속 신호처리 회로 설계