특집

메모리 설계기술과 향후 동향

홍상훈 (경희대학교)

I. 서 론

메모리 설계 및 제조 기술은 현재 우리나라가 세계 최고이다. 그러나 휴대폰의 대명사였던 Nokia와 삼성이 Apple의 Iphone 때문에 일격을 당한 것처럼 위기가 닥쳐오고 있다. iphone이 성공한 이유는 각각의 부품이 최고 였기 보다는 부품간의 조화를 최적화한 시스템과 이에 최적화된 소프트웨어 이었다. 메모리 또한 기존의 집적도와 bus 대역폭 증대라는 비교적 단순한 최적화를 벗어나 여러 가지 측면을 고려해야하는 임베디드 메모리 시대가 도래되고 있다.

이미 2000년대 초반부터 임베디드 메모리의 중요성이 대두대고 있었으나 국내에서는 사업성이 낮아서 본격적인 연구가 이루어지고 있지 않는 상황이다. 하지만 미국과 일본은 임베디드 메모리 분야를 활발히 연구해 왔으며 현시점에서는 본격적인 대량생산 제품화 단계에 들어섰다. 미국의 IBM은 POWER7 이라는 차세대 CPU에 자신들의 임베디드 DRAM인 eDRAM을 L3 캐쉬로 적용하기로 했다. 이것이 의미하는 바는 크다. 기존에는 임베디드 메모리의 개념이 하나의 IP로서 타 업체에 제공하는 것이었다. 그렇게 해야 시장성이 있다고 생각했기 때문이다. 하지만 Apple의 iphone의 예와 같이 하나의 시스템에 최적화된 임베디드 메모리의 성능은 훨씬 좋아질 것이고 결국에는 메모리 시장의 강자가 될 수 있다. 국내에서 이러한 시스템을 구성하기란 쉽지 않다. 왜냐하면 핵심 CPU는 거의 모두 해외 IP를 도입하여 사용하기 때문이다. 이런 면에서는 CPU 기술을 가지고 있는 미국을 비롯해 일본과 대만이 더 좋은 조건을 가지고 있다. 따라서 우리가 할 수 있는 방법은 임베디드 메모리의 표준화를 통하여 CPU IP 제공자들이 표준에 적합한 인터페이스를 제공하게 하는 개방형 전략을 취하는 것이 단기적으로는 가장 효과적인 방법일 것이다. 그렇게 하기 위해서는 일단 성능이 뛰어난 임베디드 메모리를 구성해야 할 것이다.

필자가 우려하는 메모리 대란을 극복하는 방법을 모색하기 위해서는 먼저 현재 연구 생산되고 있는 다양한 메모리와 그 설계 기술을 검토해야 한다. 이를 바탕으로 임베디드 메모리로 전환할 수 있는 적절한 메모리가 무엇인지 인지하고 향후 발전 방향을 제시해 보겠다.

II. 임베디드 메모리의 중요성

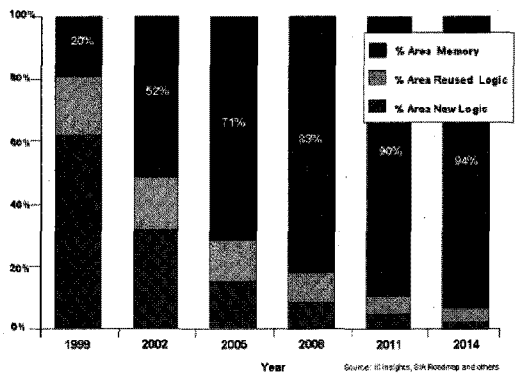
각종 IT 기기들의 휴대화와 소형화는 SoC의 발전으로 인해 급속도로 이루어지고 있다. 따라서 mp3 플래이어와 같은 비교적 단순한 기능을 요하는 제품에서부터 빠른 성능과 많은 계산량을 요하는 애플의 iphone에 까지 고성능 SoC가 요구되고 있다. 특히 휴대용 제품에서 고성능 프로세싱을 가능하게 하려면 여러가지 저전력 기술이 요구되게 된다. 그 중에서도 SoC에 임베디드 메모리를 사용하는 것이 저전력에 효과적이라는 연구결과가 나오기 시작했다 [1]. 이 연구결과에 따르면 MPEG-4와 같은 메모리 의존도가 높은 멀티미디어 연산을 기존의 단품 외부 메모리와 SoC 칩 사이의 버스 인터페이스를 통하여 구현하게 되면 제한된 버스 크기 때문에 버스 클록을 높이지 않고서는 프로세싱 능력을 충분히 소화시키지 못하게 된다. 외부 메모리와 SoC 칩간의 고속 데이터 이동은 핀과 핀 사이의 비교적 높은 캐패시턴스와 저항을 빠른속도로 구동해야 함으로 많은 전류, 즉 많은 파워소모를 유발한다. 하지만 멀티미디어 연산을 외부메모리에 의존하지 않고 메모리 자체를 SoC 내부에 통합시키게 되면 칩과 칩 사이의 통신이 필요하지 않게 되기 때문에 파워소모를 기존의 890mW에서 240mW로 71% 줄일 수 있었다.

임베디드 메모리를 사용하면서 파워 소모가 줄일 수 있는 또 다른 중요한 요소는 내부 버스의 크기이다. 내부 메모리를 사용하면서 기존의 16b~32b 인터페이스 보다 월등히 많은 256b 이상의 인터페이스가 가능해 지기 때문이다. 따라서 적절한 병렬 프로세싱을 추구한다면 같은 량의 계산에 대해 더욱 낮은 클록을 이용하여 같은 시간 내에 연산해 낼 수 있게 된다. 낮은 클록을 사용해서 나오는 장점은 내부 회로가 더욱 작은 전류로 구동 되도 (느리게 구동되도) 된다는 것이다. 즉, 추가적으로 파워 소모를 줄일 수 있다는 점이다 [2].

이러한 파워소모 절약이 멀티미디어 프로세싱이 많이 요구되는 SoC에서 더욱 두드러지게 나타날 것이다. 그 이유는 새로운 기능들을 안정적이고 빠르게 공급하기 위해서 custom 하드웨어 블록은 최소화하면서 내부 CPU와 메모리 연산에 최대한 의존하는 형태로 발전하고 있기 때문이다. <그림 1>은 이러한 발전에 따른 SoC 내의 임베디드 메모리 구성이 차지하는 면적을 나타내었다 [3].

<그림 1>에 나타나 있듯이 SoC 칩에서 임베디드 메모리가 하는 역할이 점점 확대되고 있고 이에 반해 새로 추가되는 custom 하드웨어의 비중은 점점 줄어들고 있음을 알 수 있다.

그러면 점점 비중이 커지고 있는 임베디드 메모리가 어떤 종류의 메모리로 이루어지고 있으며 향후 어떤 종류의 메모리가 대두되고 있는지 알아보겠다.



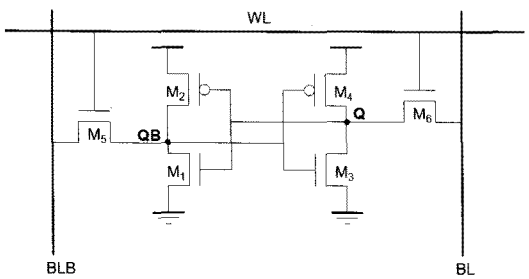
〈그림 1〉 SoC의 구성과 예측

III. 현재의 메모리 종류와 기술

1. SRAM

SRAM은 아직도 많이 사용되고 있으나 주 메모리로서는 사용되지 않는다. 그 이유는 집적도에서 효율이 월등한 DRAM이 있기 때문이다. 하지만 아직도 활용도가 높은 이유는 빠른 속도와 기존의 CMOS 공정으로 제작 가능하기 때문이다.

초창기의 SRAM은 다양한 형태로 존재하였다. Bipolar, NMOS, 또는 CMOS 형태로 존재하였는데 1980년대 와서는 거의 모두 CMOS 공정을 사용하였다 [4]. <그림 2>는 가장 많이 사용되는 6T SRAM 셀 회로를 나타낸다. 구조는 데이터를 저장하는 cross coupled inverter과 데이터를 읽고 쓰는 통로인 bitline transfer gate M5와 M6로 이루어져 있다. 간단히 write와 read의 동작을 설명하면 다음과 같다. Write 시에는 WL을 on 시키고 BL과 BLB를 강하게 드라이빙하여 Q값과 QB 값을 결정짓는다. Read 시에는 보통 BL과 BLB를 VDD/2로 precharge (플로팅 상태에서 BL과 BLB 값을 동일 값으로 유지 시킨 상태) 시킨후 WL을 on 시켜 bitline의 변화를 센스엠프로 증폭시켜 데이터를 읽어낸다. 여기서 센스엠프를 사용하는 이유는 작은

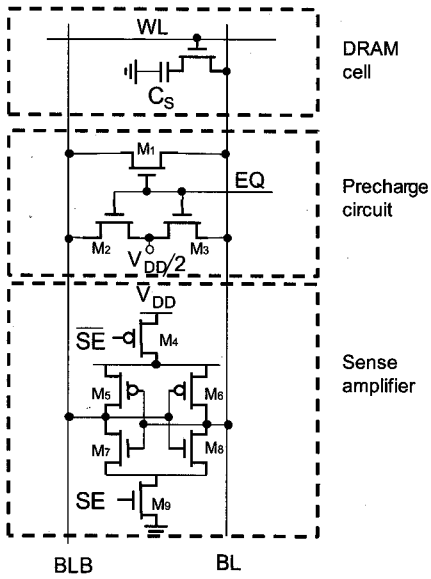


〈그림 2〉 6T CMOS SRAM

셀이 긴 비트라인을 드라이빙할 수 있는 능력이 작기 때문이다. 고 집적 회로를 지향할수록 이 문제는 심각해 지기 때문에 센스엠프는 필수 이다. 현재 SRAM은 단품으로 집적도가 72M bit 이상으로는 개발되고 있지 않는 상태이고 I/O 쪽의 speed를 증대시키는 연구가 활발하다. 집적도를 더 이상 높이지 못하는 직접적인 이유는 off current이다 [5]. 즉, standby 시 누설 전류가 높은 것이 그 이유이다. 누설 전류를 줄이기 위해서 공정을 특화 한다던가 다양한 전압 또는 Vt 조절을 통한 방식을 연구하고 있지만 상용화하기에는 DRAM에 비해 메리트가 너무 떨어진다. 따라서 현재에는 기존 SRAM의 역할을 DRAM에서 처리하려는 연구가 활발히 진행되고 있다.

2. DRAM

DRAM은 불과 5년전 까지만 해도 집적도가 가장 높은 메모리였다. 지금은 여러 bit을 한 셀에 저장할 수 있는 NAND형 플래시 메모리에 뒤쳐졌지만 아직까지는 write 와 read access로도 고려하면 가장 집적도가 높으면서 빠른 메모리라고 할 수 있다. 현재 연구 개발되고 있는 메모리 용량은 무려 8Gb 나 된다. 그럼 DRAM cell 구조를 살펴보자. <그림 3>은 하나의 DRAM cell과 그 밑에 연결된 센스 엠프를 보여 준다. DRAM cell 자체는 간단한 1 transistor 1 capacitor (1T1C) 형태를 취하고 있으나 실제 동작은 센스엠프의 정교한 제어가 없으면 불가능하다. 데이터는 Cs capacitor에 저장된다. 하지만 누설 전류에 의해 capacitor에 저장된 값이 없어질 수 있다. 뿐만 아니라 저장된 데이터를 읽어낼 때에도 BL의 기생 capacitance가 Cs 보다 크기 때문에 정교한 센싱이 필요하다. 동작 원리



〈그림 3〉 1T1C DRAM과 데이터 read와 write를 위한 회로

는 다음과 같다. 일단 데이터를 읽어내는 동작을 설명하겠다. 처음에는 EQ 신호를 일정시간동안 on 시켜 BL과 BLB를 VDD/2 전압으로 프리차지 시킨다. EQ를 끄고 메모리의 한 row를 선택한다. row 선택은 해당 WL을 on 시키면 된다. WL이 올라가면 Cs에 저장된 전하와 VDD/2로 BL에 저장되어 전하 사이에서 charge sharing이 일어나고 그 전압을 BLB의 VDD/2 와 비교하게 된다. BL 과 BLB 사이의 전압을 비교하기 위해서는 WL를 on 한 상태에서 SE도 on 시키다. 이때 만약 BL가 BLB보다 낮은 전압이었다면 BL을 0V로 내리고 BLB를 VDD로 올릴 것이다. 센스엠프는 데이터를 읽는 역할 뿐만 아니라 데이터를 복원하는 기능도 한다. WL이 계속 on 되어 있음으로 센싱된 데이터는 다시 Cs에 써지게 된다. 복원이 충분히 된 시점에 WL과 센스엠프를 off 시킨다. Write 동작은 비교적 간단하지만 이것도 마찬가지로 센스엠프의 도움이 필요하다. 센스엠프의 주된 역할은 write 되지 않은 column의 데이터를 보존하는 역할을 한다. 그 이유는 고집적도의 메모리에서 하나의 row에는 수천개의 column bit이 저장되기 때문이다. 보통 많아야 32 bit씩 write 하지만 WL on 시켰을 때 모든 column 이 억세스 되기 때문에 다시 복원시켜주어야 한다. 다만 실제 write되는 column은 강력한 driving으로 센싱결과를 뒤집을 수 있게 설계한다.

DRAM의 최대 단점은 전원이 공급되더라도 데이터가 소멸된다는 것이다. 따라서 주기적으로 refresh (내부적인 read동작) 를 해 주어야 한다. 하지만 저장하는 데이터는 전원의 직접적인 영향을 받지 않기 때문에 DRAM cell 자체는 SRAM cell 에서 발생하는 심각한 off current 문제는 없다. 따라서 향후 저전력 프로세싱에도 SRAM 보다는 DRAM이 많이 유리해졌다. 왜냐하면 기술이 진보할수록 트랜지스터의 문턱전압은 더 낮아질 것이고 off current는 더욱 증가할 것이기 때문이다.

3. Flash Memory

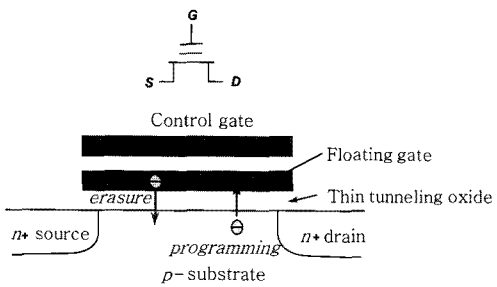
SRAM과 DRAM 은 휘발성 메모리이다. 다시 말해서 전원공급이 끊기면 저장했던 데이터를 잃어버린다. 따라서 SRAM과 DRAM을 잘 활용하려면 하드디스크와 같은 비휘발성 저장장치와 같이 사용해야 했다. 이럴 경우 처음에 데이터를 SRAM이나 DRAM으로 옮겨써야 함으로 전체 시스템 성능 저하를 가져왔다. 이런 문제를 해결할 수 있는 것이 비휘발성 메모리이고 비휘발성 메모리 중 가장 널리 사용되고 있는 것이 Flash 메모리이다.

현재 Flash 메모리는 32Gb 까지 연구 개발된 상태이다 [6]. 물리적인 집적도는 DRAM과 비슷

하지만 한 cell을 4개 또는 8개 레벨로 구분함으로써 논리적인 집적도를 2배 또는 3배 높일 수 있다. Flash는 2 종류가 있다. 하나는 NAND 형이고 다른 하나는 NOR 형 이다. NAND 형 은 집적도를 높일 수 있는 반면 랜덤 읽기 성능은 떨어지며 NOR 형 은 반대로 랜덤 읽기 성능이 뛰어나지만 집적도가 상대적으로 낮다. 다행히 많은 메모리를 요구하는 멀티미디어 데이터는 보통 순차적으로 억세스 됨으로 NAND 형 flash를 사용하더라도 문제가 없다. 현재에는 가장 활발히 연구되고 생산되는 Flash는 NAND 형이다.

하지만 Flash memory가 SRAM과 DRAM을 대체할 수 없는 이유는 느린 write이다. Flash에 데이터를 write하려면 erase와 program이라는 과정을 거쳐야 한다. <그림 4>는 Flash cell의 구조와 동작원리를 보여준다.

회로 심볼을 보면 일반 NMOS와 달리 중간에 gate가 추가적으로 있는 것을 볼 수 있다. 실제 물리적 구조를 보아도 그 gate가 존재한다. 이것을 floating gate라고 하는데 이 gate는 전기적으로 외부와 연결되어 있지 않다. Floating gate가 존재하는 이유는 전자를 붙잡아 두기 위함이다. 만약 floating gate에 전자가 많이 붙잡혀 있다면 control gate에 전압을 가하여 n 채널을 oxide-semiconductor junction에 형성하는 게



〈그림 4〉 Flash 메모리 셀

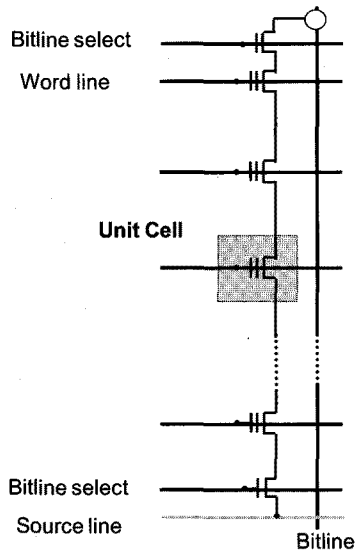
더 힘들어진다. 따라서 Vth 가 올라가게 되고 이렇게 floating gate에 존재하는 전자로 인해 setting된 Vth에 따라 데이터가 무엇인지 판단하게 된다. 전자를 floating gate에 채워넣는 작업을 programming이라고 한다. 이 작업은 control gate 전압을 body에 비해 높게 주고 전계를 gate에서 body로 향하게 하여 전자가 tunneling oxide 통하여 floating gate에 모아지게 하는 것이다. Programming 하기 전에는 cell을 erase 해 주어야 한다. Erase 하는 이유는 programming이 Vth를 높여주는 역할만 하기 때문이다. 한 cell의 Vth를 다시 낮추려면 erase 해 준 뒤, programming 을 그 cell에 해 주지 않으면 된다. Erase는 body 전압을 높이고 gate 전압을 낮추어 전계가 body에서 gate로 향하게 하여 floating gate의 전자가 다시 tunneling 되어 body로 빠져나가도록 한다.

<그림 5>는 NAND 형 플래시 메모리 cell이 연결되는 방식을 보여준다.

그림을 보면 unit cell 이 촘촘히 연결될 수 있음을 알수 있다. 그러나 너무 많이 연결하면 unit cell의 turn on 저항 때문에 bitline의 floating 된 전압을 source line으로 끌어 당기는 힘이 약하게 되어 읽기가 느려지게 된다. 또한 너무 unit cell을 적게 연결하면 상대적으로 bitline select 트랜지스터가 전체 면적에 차지하는 비율이 높아 집적도가 떨어지게 된다. NOR 형과 달리 NAND형은 read 속도보다는 집적도를 강조한 메모리로 볼 수 있다.

Programing과 erase는 gate와 body 전압을 사용하기 때문에 <그림 5>의 구조에서도 똑같이 적용된다.

데이터를 read 할 때에는 선택된 wordline에 연결된 unit cell이 저장한 데이터만 분석해야 하



〈그림 5〉 낸드형 Flash 메모리 구조

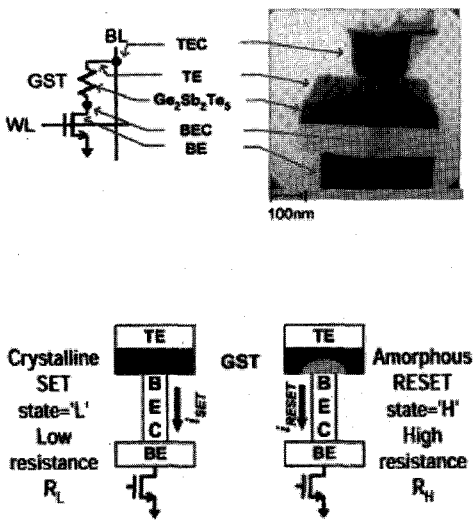
기 때문에 Bitline을 high로 precharge 한 상태에서 Source line을 접지 시키고 선택된 WL라인을 제외한 모든 WL을 program Vth보다 높게 하여 선택되지 않은 cell들이 모두 켜지게 하고 선택된 cell은 WL 값이 program Vth 보다 낮고 erase cell보다 높게 한다. 이럴 경우 program된 cell (Vth 가 높은 cell)이라면 Bitline select를 on 시키더라도 Bitline과 source line 사이는 단절되어 Bitline이 precharge 된 값을 유지하여 '1'로 읽힐 것이고 만약 cell이 erase Vth를 가지고 있다면 켜져서 bitline값이 pull down 될 것이다. 이것을 센싱하면 저장된 데이터가 '0'이었음을 알 수 있다.

Flash의 가장 큰 문제는 program하고 erase하는 시간이 오래 걸린다는 점이다. 그 이유는 높은 전압으로 전계를 형성해야 하는데 너무 높으면 트랜지스터를 파괴할 수 있기 때문에 적당히 높은 전압으로 오랜 시간동안 유지시켜주어 전자를 터널링 시킨다. 또한 이때 파워 소모도 크기 때문에 임베디드 메모리로서의 가치는 떨어진다. 이 두 문제만 극복된다면 DRAM이 필요 없게 된다.

4. 차세대 비휘발성 memory

차세대 비휘발성 메모리는 Flash의 약점인 write 속도의 한계를 극복하고 DRAM 이상의 집적도를 갖는 메모리를 일컫는다. 이 두 마리의 토끼를 잡는 것이 쉽지는 않은 모양이다. 첫 번째 주자는 자성물질을 사용하는 FeRAM 이었으나 집적도 문제 때문에 (작게 만들었을 때 reliability가 떨어짐) 용량이 작은 메모리로만 적용되고 있으며 그 외에도 MRAM과 PRAM 등이 있다.

현재 양산에 가장 근접한 차세대 비휘발성 메모리는 PRAM이다 [7]. <그림 6>은 PRAM의 동작을 잘 나타낸다. PRAM은 PCRAM이라고도 하며 Phase-Change RAM의 약자이다. phase change RAM은 온도에 따라 물질의 저항 특성이 변하는 것을 응용해 만든 메모리이다. Chalcogenide Alloy물질은 온도를 아주 높



〈그림 6〉 PCRAM cell과 구동 원리

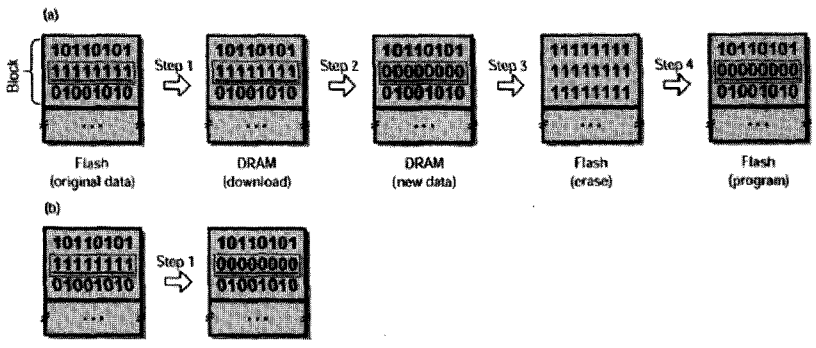
고 짧게 heating 해주면 (약 600℃ 이상) amorphous 물질로 바뀌어 높은 저항을 가지고 조금 낮은 온도 (약 200℃ 이상) 일정 시간 동안 heating 해주면 crystalline 물질로 바뀌어 저항값이 낮아진다. 저항을 높이는 작업을 RESET이라고 하고 저항을 낮추는 작업을 SET이라고 한다. 그 이유는 저항이 높으면 BL precharge이후 WL을 on 시키더라도 전류가 많이 흐르지 않기 때문에 저장값이 1로 RESET 되었다고 하는 것이고 저항이 낮으면 WL을 on 시켰을 때 BL을 pull down 시키기 때문에 저장값을 0으로 set 시켰다고 한다.

SET과 RESET 시키는 방식을 그림으로 설명하면 SET 일 경우 Top Electrode (TE)와 Bottom Electrode (BE) 사이에 전류를 흘려 Bottom Electrode Contact (BEC)를 heating 시켜 Ge2Sb2Te5 (GST)를 crystalline 물질로 바꾸어준다. 온도가 너무 높으면 안 됨으로 long pulse와 낮은 전압을 사용하여 낮은 전류가 BEC를 통해 흐르게 한다. RESET일 경우 소자를 파괴시키지 않으면서 높은 온도를 발생시켜야 함으로 높은 전압과 short pulse를 사용하여 순간적으로 온도를 높인다. 여기서 높은 전압은 기존 Flash의 높은 전압보다는 훨씬 낮은 전압이다. 또한 SET 시키는 시간이 길긴 하지만 Flash보다는 훨씬 빠르고 DRAM 보다는 약간 느리다.

<그림 7>은 PRAM이 본격 양산되었을 때 기존 시스템의 변화를 잘 나타낸다. 기존의 시스템에서는 Flash memory의 write성능을 보완하기 위하여 DRAM 또는 SRAM과 병행하여 사용되었다.

<그림 7>-(a)은, 외부에서 데이터를 빠르게 write하고 read 하면서 전원을 껐을 때에도 데이터를 보관하게 하기 위해서는 DRAM과 Flash를 병행해서 사용되는 방식을 보여준다. 일단 응용 프로그램이 시작되면 Flash의 데이터를 DRAM으로 loading하고 DRAM access를 하다가 응용 프로그램이 끝날 때 다시 flash를 erase 해주고 DRAM의 데이터를 programming해 주는 것을 나타낸다. <그림 7>-(b)는 PRAM을 사용했을 때의 데이터 억세스를 보여준다. PRAM은 빠르게 read/write할 수 있기 때문에 DRAM이 필요 없게 된다.

PRAM의 성능이라면 DRAM을 대체할 수 있을 것으로 전망된다. 하지만 아직까지도 상용화 제품이 본격적으로 출시되지 않는 것으로 보아 집적도를 높이는 데에는 문제가 있는 것으로 파악된다.



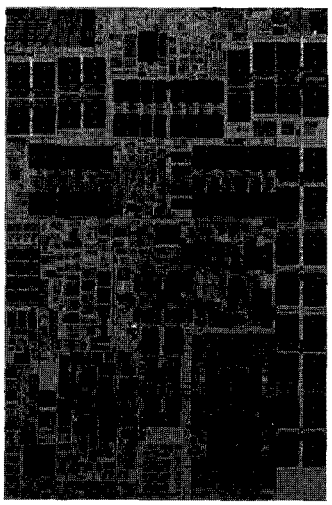
<그림 7> (a) flash에 데이터 write하기 위한 Flash와 DRAM 조합. (b) PRAM을 이용한 데이터 write

III. 최신 임베디드 메모리 종류와 기술

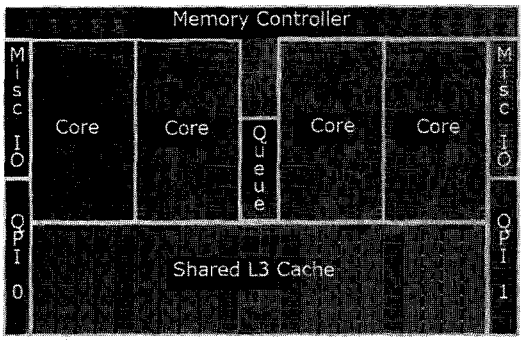
서론에서 언급하였듯이 상용화되는 CPU에 임베디드 DRAM 기술이 본격적으로 적용될 예정이다. 기존의 약 4MB 정도의 L3 캐쉬를 임베디드 DRAM을 사용함으로써 32MB로 늘렸다 [8]. 캐쉬가 크면 CPU의 파워소모를 줄여줄 뿐만 아니라 cache miss를 줄여 줌으로써 컴퓨터 성능을 올려줄 수 있다. 이것은 앞으로 메모리의 미래를 알려주는 신호탄으로 볼 수 있는 획기적인 제품이다. <그림 8>은 IBM이 개발한 Power7 cpu 일부를 보여준다. 그림에는 8개의 core 중 1개만 나타나 있으며 각 core당 4MB의 memory를 내장하고 있다.

이 칩이 획기적인 이유는 <그림 9>의 최신 인텔 i7 cpu 칩과 비교하면 알 수 있다.

i7은 4개의 core가 8MB의 L3 cache를 공유한 형태를 취한다. 물론 직접적은 성능비교는 불가능하지만 1개의 core당 2MB L3 cache로 볼



〈그림 8〉 IBM 8 Core Power 7 CPU 중 1개의 core와 32개의 1Mbit DRAM macro



〈그림 9〉 Intel의 4 Core i7 CPU

수 있다. 그런데 <그림 8>과 <그림 9>를 비교하여 보면 L3 cache가 core에 차지하는 비중이 확연히 다름을 알 수 있다. 이것은 곧 성능차이로 나타날 것이다.

활발히 연구되고 있는 또 다른 임베디드 메모리는 SRAM이다. SRAM의 가장 큰 문제는 파워소모이며 이것을 줄이기 위한 설계 개선의 노력과 공정 개선의 노력이 계속 진행 중이다 [9]. 하지만 IBM의 임베디드 DRAM기술이 성공적으로 상용화 된다면 앞으로 임베디드 SRAM의 미래가 암울한 것은 사실이다. 이외에도 EEPROM 또는 Flash가 embedded memory로써도 사용되고 있지만 주로 억세스를 자주 하지 않는 펌웨어 용도로 사용되고 있다. 이 문제는 write시 높은 전압과 많은 시간을 요구하기 때문에 기인한 것이다. 따라서 앞으로도 PRAM과 같은 기술이 안정화 되지 않는 한 비휘발성 메모리를 임베디드 메모리로 활용하는 비중은 낮을 것으로 판단된다.

IV. 우리가 준비해야 할 기술

현재 지금 시점에서는 우리가 미래의 메모리 설계기술을 선도할 역량이 부족한 형편이다. 앞

으로 메모리 단품 뿐만 아니라 임베디드 메모리 IP 시장도 위축될 것으로 예상된다. 반면 특정 프로세서 전용 임베디드 메모리가 성장할 것이며 이를 대비하여 메모리 설계능력 뿐만 아니라 프로세서 설계능력도 겸비하여야 한다. 또 한편으로는 우리가 이 문제를 쉽게 극복할 수 있는 장점도 지니고 있다. 현재 우리나라는 세계 최고의 메모리 설계 제조 능력을 가지고 있으며 최첨단 컴퓨터, 스마트폰, 및 각종 IT 기기를 제조하고 있다. 따라서 궁극적으로는 비메모리 기술의 비약적인 발전이 있을 것으로 예상되며 여기에 메모리 기술을 접목시킨다면 장기적으로는 메모리 세계 1위를 계속 유지할 수 있을 것이다.

단기적으로 본다면 비메모리 설계 기술이 약한 현재가 위기라고 볼 수 있다. 따라서 우리가 준비할 수 있는 것은 2가지라고 본다. 하나는 차세대 통합 메모리가 될 수 있는 PRAM 또는 MRAM을 상용화시킴으로써 현재의 임베디드 메모리 기술이 우리가 확보한 차세대 비휘발성 메모리 기술 접목 없이는 부가가치 창출이 힘들게 하는 것이다. 그렇게 된다면 해외 기업과 공동개발 형식으로 발전해 나아갈 수 있을 것이다. 또 다른 방법은 임베디드 DRAM 기술을 표준화 하여 메모리기술을 가지고 있지 않은 기업들이 프로세서를 임베디드 DRAM 표준에 최적화되게 유도하는 것이다. 물론 이 방법에는 한계가 있다. 왜냐하면 특정 기업이 추구하는 연산을 고정되거나 유연성이 부족한 메모리 구조로 최적화하기는 힘들기 때문이다.

필자는 메모리 설계 기술의 패러다임 시프트가 도래하였다고 생각한다. 그리고 우리는 이 문제를 슬기롭게 풀어 나아갈 수 있는 기술을 가지고 있다고 믿는다. 궁극적으로는 세계 최고의 메모리 기술이 세계 최고의 SoC 기술로 이어질 것이고 이것을 위해 단기적인 준비와 장기적인 준비를 동시에 추구해야 할 것이다.

참고문헌

[1] T. Nishikawa et al., "A 60 MHz 240mW MPEG-4 video-phone LSI with 16Mbit embedded DRAM," ISSCC Digest of Technical Papers, pp.230-231, Feb., 2000.

[2] Sang Hoon Hong and Woodward Yang, "An Embeddable Low Power SIMD Processor Bank," ISSCC Digest of Technical Papers, pp.192-193, Feb., 2000.

[3] E. Marinissen et al., "Challenges in Embedded Memory Design and Test," Proceedings in Design, Automation and Test in Europe 2005, pp.722-727.

[4] A. K. Sharma, "Semiconductor Memories - Technology, Testing, and Reliability," Wiley Interscience, 1997.

[5] Y. Wang, et al., "A 4.0 GHz 291Mb voltage-scalable SRAM Design in 32nm high-k metal-gate CMOS with integrated power management," ISSCC Digest of Technical Papers, pp.456-457, Feb., 2008.

[6] H. Kim, et al., "A 159mm2 32nm 32Gb MLC NAND-Flash Memory with 200MB/s Asynchronous DDR Interface," ISSCC Digest of Technical Papers, pp.442-443, Feb., 2010.

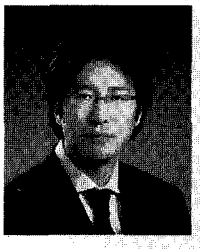
[7] K.-J. Lee et al., "A 90nm 1.8V 512Mb

Diode-Switch PRAM with 266MB/s Read Thoughput," IEEE Journal of Solid-State Circuits, Vol.43, No.1, pp.150-162, 2008.

[8] J. Barth, et al., "A 45nm SOI embedded DRAM macro for POWER7TM 32MB on-chip L3 cache," ISSCC, pp.342-343, Feb., 2010.

[9] P. Kolar, et al., "A 32nm high-k metal-gate SRAM with adaptive dynamic stability enhancement for low-voltage operation," ISSCC Digest of Technical Papers, pp.346-347, Feb., 2010.

저자소개



홍 상 훈

1993년 2월 연세대학교 전자공학 학사
1998년 6월 Harvard Univ. 전기공학 석사
2001년 6월 Harvard Univ. 전기공학 박사
1998년 2월~2005년 4월 하이닉스반도체 책임연구원

주관심 분야 : 임베디드 메모리, 저전력 회로 및 시스템, 혼성모드 시스템