

# 밀리미터파 CMOS 위상배열시스템

이종욱 (경희대학교)

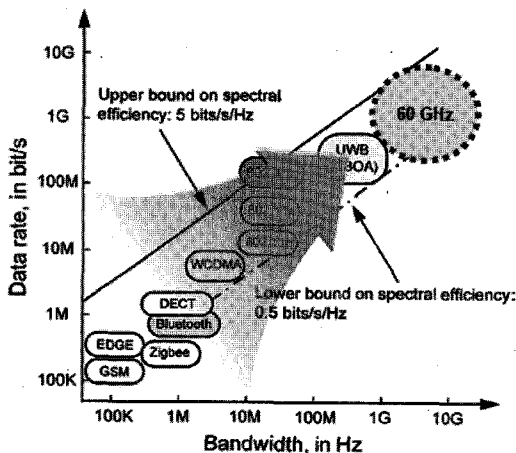
## I. 서론

1900년도 초기 무선통신에 사용된 주파수는 수 MHz 대역의 장파장이었고, 이는 당시 기술로는 고주파 증폭기를 구현할 수 없었기 때문이다. 현재의 무선통신 기술은 주로 마이크로파 (< 5 GHz) 대역 위주로 연구되고 있으나, 여타 기술처럼 초고속/초고주파 기술도 시간에 따라서 진화를 거듭하여 미래의 무선통신에는 수십~수백 GHz에 이르는 밀리미터파 대역을 활용할 시대가 도래할 것으로 예상된다. <그림 1>에 나타난

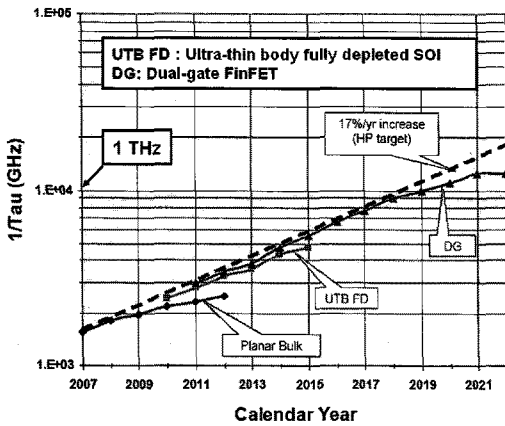
바와 같이 무선 통신기술은 대역폭 향상을 통한 고속 데이터 통신시스템 구현으로 진행되고 있으며, 현재 802.11n 및 UWB 시스템에 대한 연구가 상당한 진보를 이루었고, 향후 연구방향은 60 GHz 대역의 초광대역 시스템으로 이어질 것으로 예상된다.

최근의 CMOS 아날로그 소자의 속도는 10년에 10배씩 증가할 정도로 경이적 발전이 이루어지고 있으며 게이트 전극 선포의 급격한 스케일링으로 45nm CMOS 기술을 이용하여  $f_T = 485$  GHz의 특성이 발표되었고<sup>[1]</sup>, 향후 이러한 디지털 특성은 지속적으로 향상되어, <그림 2>에 나타난 바와 같이 2020년도에 이르면 1 THz 급 소자가 선보일 것으로 예상된다.

이러한 CMOS 기술의 비약적 향상으로 최근에는 저전력 및 저가격의 장점을 갖는 CMOS공정을 이용한 RF 능동 회로에 대한 연구 개발이 밀리미터파 대역까지도 확장되고 있다. 이러한 추세에 따라, 2008년 현재 10만개에 해당하는 HDTV용 설치들이 2012년 까지 100만개에 이를 것으로 예상되고 이들의 무선 전송은 60GHz 기술이 사용될 전망이다. 이러한 수요는 기존의 III-V를 이용한 고가의 밀리미터파 시스템으로



<그림 1> 무선 통신의 기술 진보 방향



〈그림 2〉 ITRS 로드맵에 따른 CMOS 소자의 연도에 따른 스위칭 특성

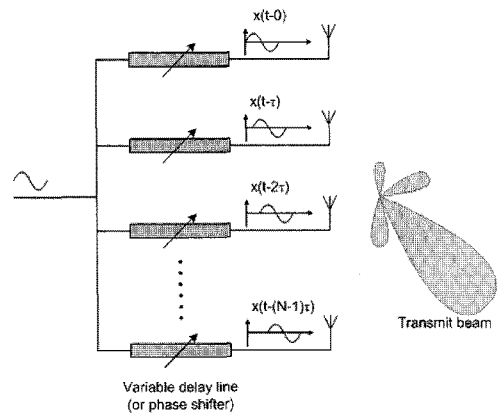
는 부응하기 어려우므로, 저가격의 밀리미터파 CMOS 기술은 새로운 가능성을 열고 있다.

최근, 60GHz 대역은 다양한 소출력 무선전송 통신 규격에 대한 표준화가 (Ecma TC48, IEEE 802.15.3c, IEEE802.11ad) 진행됨에 따라 밝은 시장이 전망된다<sup>[2]</sup>. 특히 IEEE 802.15.3c task group 3c(TG3c)에서는 FCC에서 할당된 57-64 GHz 주파수 대역을 이용하여 최소 1 Gbps의 데이터 전송을 목표로 대부분의 기술적 이슈를 정리한 상태이다. 60 GHz 대역 무선 통신 기술은 2010년 HR-WPAN (High data Rates Wireless Personal Area Network)과 비압축 방식의 디지털 비디오/오디오 인터페이스 규격인 HDMI (High Definition Multimedia Interface) 시장에서 사업화가 되면서부터 급속하게 성장하여 2015년까지 연평균 218%의 성장을 보일 것으로 전망되고 있다<sup>[3]</sup>.

2008년도 International Technology Roadmap for Semiconductors (ITRS 2008)에 의하면 CMOS 기술은 집적도 향상과 함께 구동전압이 2012년에 가서는 1V 이하로 될 전망이다. 그러나 낮은 동작 전압은 저전력 SoC 핵심요소이면

서 밀리미터파 시스템 구현의 기술적 난제로 인식된다. 전달정수는 소자의 전류에 비례하기 때문에 낮은 동작 전압에서의 RF/아날로그단의 경우 성능은 전압과 전류가 낮아질수록 더욱 저하된다. 특히, 전력증폭기의 경우 그 문제가 더 심각한데, 구동 전압 1.8 V를 이용하는 0.18  $\mu\text{m}$  CMOS공정을 이용하여 전력증폭기를 설계할 경우 50  $\Omega$  부하로 전달되는 전력은 15 dBm (32 mW) 정도이다.

이에 대한 실용적 해결책으로 <그림 3>에 나타난 phase array 시스템을 들 수 있다. phase array 송수신 시스템에서는 N-개의 수신기를 통해 sensitivity를  $10\log(N)$ 으로 개선할 수 있고, 여러 송신기의 출력을 결합함으로써 CMOS의 낮은 동작전압으로도 충분한 출력을 전송할 수 있다. 특히, phase array 시스템은 SoC 구현의 bottleneck인 CMOS 전력증폭기 구현에 실용적으로 해결책이 될 것으로 기대되고 있다. 실리콘 칩 상에서 power combining을 구현할 경우 약 1 dB의 손실로도 20% 증폭기 효율은 2-way 일 때 16%, 4-way 일 때 10%로 감소한다. 이에 반해, phase array 시스템을 통해 공

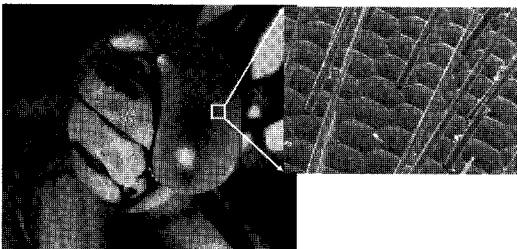


〈그림 3〉 phase array를 시스템의 구조

간상에서 결합될 때는 거의 100%에 가까운 효율을 나타내게 되는데, 60 GHz 에서는 파장이 짧아 여러 안테나를 사용하는 것도 실용적 대안이 된다.

이러한 배열시스템은 몇 천 년의 진화과정 속에 우수성이 입증된 시스템으로, <그림 4>에 잠자리의 겹눈을 예로 들었다. 잠자리의 겹눈을 구성하는 개별 시세포는 해상도는 우수하지 않지만, 다수의 배열시스템을 선택함으로써 움직이는 물체 파악에 탁월한 성능을 가진 시각시스템을 가졌고, 이를 통해 천적의 먹이사슬 시스템 속에서도 자연 선택되었다. CMOS 기술도 개별 소자 특성은 다른 진보된 공정 기술에 대해 좋다고 보기가 어려우나, CMOS 기술은 18개월마다 트랜지스터의 개수가 2배씩 증가하는 무어의 법칙을 따라 집적도가 향상되었으며, 이와 같은 기술 추세는 phase array 시스템과 같은 다수의 배열구조가 앞서 제시한 자연계유사성으로부터 유추할 때 가장 적절한 선택이라고 판단된다. 즉, 개별 CMOS 소자의 특성은 III-V 화합물보다 우수하지 않으나, 다수의 배열구조를 채택함으로써 전체적으로 원하는 성능을 얻을 수 있다.

향상된 집적도와 저가격의 장점으로 상용화가 가장 적합한 CMOS 기술은 phase array 시스템을 통해 기존의 III-V 화합물 이상의 저잡음 특성 및 출력 전력 특성을 얻을 수 있다. 기존의

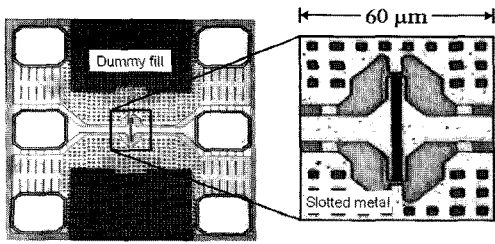


<그림 4> 진화과정을 통해 관측 우수성이 입증된 잠자리 겹눈의 배열시스템

phase array 시스템은 모듈방식으로 제작되어 배선 연결, 가격, 신뢰성 측면에서 많은 제약점이 있었으나 CMOS 기술의 높은 집적도를 이용하여 신뢰성 및 가격 면에서 높은 이점이 있다. 또한 phase array 기술에 바탕을 둔 beam forming 통신 방식을 통해 공간의 선택성을 제공하여 신뢰성을 향상시켜 고품질화를 가능하게 하는 enabling technology이다.

## II. 밀리미터파 CMOS 능동 및 수동소자

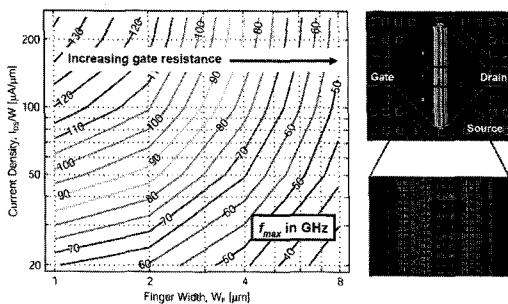
CMOS를 밀리미터파 대역에 응용하기 위해서는 소자 레벨에서의 주파수 특성 최적화 및 이를 반영하는 소자 모델링이 필요하다. MOSFET의 고주파 특성을 제한하는 주된 두 요소는 비교적 높은 전도성 실리콘 기판( $\sim 10\Omega\text{-cm}$ )과 polysilicon (sheet resistance  $\sim 10\Omega/\square$ ) 게이트 사용에 의한 높은 게이트 저항이다. 이 두 요소는 GaAs FET 같은 소자에 비해 고주파에서 이득을 감소시킬 뿐만 아니라, 기판에 의한 커패시턴스와 손실에 의한 영향으로 모델링과 설계를 복잡하게 한다. 게이트 저항의 영향은 multi-finger 레이아웃을 이용하여 줄일 수 있으나, 이로 금속 배선간의 커패시턴스가 증가하기 때문에 여러 크기의 MOSFET 제작과 측정을 통해 최적화된 구조를 얻는다. <그림 5>에 CMOS소자의 특성을 측정하기 위한 단일 소자 테스트 패턴을 나타내었다<sup>[4]</sup>. 최근의  $0.13\ \mu\text{m}$ 이하 CMOS공정에서는 금속배선과 절연체 다층구조의 평탄도를 유지하기 위해 CMP (chemical mechanical polishing)를 사용하고 있어, 각 금속배선에 사용되는 metal을 일정 비율 이상으로 사용하기 위해 (metal density



〈그림 5〉 CMOS단일 소자의 특성을 측정하기 위한 테스트 패턴

rule), dummy metal이 필요하다. 또한 ground plane과 같은 너비가 큰 metal은 thermal stress에 의한 영향을 줄여 reliability를 확보하기 위해 〈그림 5〉에 나타낸 바와 같이 slot이 사용된다. CMOS소자는 테스트 패턴의 pad에 비해 비교적 크기가 작기 때문에 소자만의 특성을 파악하기 위해서는 open 및 short dummy 테스트 패턴을 이용하여 측정용 pad의 영향을 de-embedding한다. 〈그림 6〉에는 finger width와 전류 밀도의 함수로 측정된 0.13 μm CMOS의  $f_{MAX}$  값을 보여주고 있다. 같은 전류밀도에서 finger width를 짧게 할 경우  $f_{MAX}$ 가 향상됨을 알 수 있고, 밀리미터파 대역 회로의 경우 높은 전류 밀도에서 동작하여야 함을 알 수 있다.

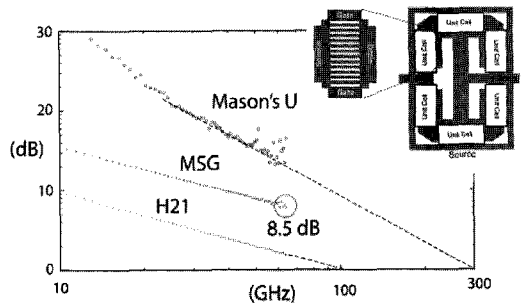
Gate-length scaling에 의해 intrinsic CMOS



〈그림 6〉 Finger width와 바이어스 전류 밀도에 따른 0.13 μm CMOS의  $f_{max}$  특성 및 측정된 CMOS의 레이아웃 패턴

소자의 특성은 향상되고 있지만, 기생성분에 의해 고주파 특성은 레이아웃에 의해 많은 영향을 받는다. 이는 특히 전력 증폭기와 같은 회로에서 사용되는 비교적 큰 크기의 소자의 경우 게이트, 소오스, 드레인 저항과 피드백 커패시턴스가  $f_{MAX}$ 를 제한하는 주된 성분으로 작용한다. 〈그림 7〉에 기존의 multi-finger 레이아웃을 개선한 round-table형태를 가진 CMOS 소자의 주파수 특성을 나타내었다<sup>[5]</sup>. 여기서 각unit cell은 90nm gate-length, finger width 1um, finger 개수 10개로 구성된다. 각 unit cell의 게이트를 연결하기 위해 게이트는 양쪽에서 연결된 구조(double side contact)를 사용하였으며, 게이트와 드레인 연결부, 그리고 substrate 연결부에 많은 contact를 사용함으로써, 기생저항을 감소시켰다. Mason's unilateral gain으로 외삽한 경우 약 300GHz의  $f_{MAX}$ 를 나타내었다. 파라미터 fitting에 의해 추출한 모델을 이용한 경우에도 약 200 GHz의  $f_{MAX}$ 특성을 나타내어 기존의 레이아웃(약 140 GHz) 보다 향상된 결과를 나타내었다.

CMOS공정은 비교적 낮은 전도성 기판의 손실에 의해 수동 소자의 Q값이 낮아 고주파 회로



〈그림 7〉 Round-table형태의 레이아웃을 가진 90nm CMOS의 전류이득( $H_{21}$ ) 및 전력 이득(MSG) 특성

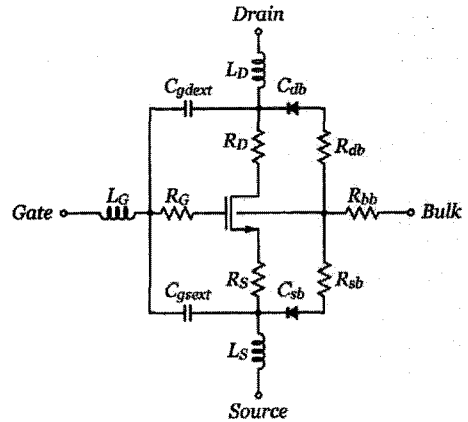


〈그림 8〉 Substrate-shielded CPW structure

설계에 상당한 제약이 따른다. 인덕터의 경우 PGS(patterned ground shield)기법을 사용하여 Q값을 향상시켰듯이, 전송선로의 경우도 signal선로에서 실리콘 기판으로 유입되는 전계를 차단하는 방법으로 손실이 적은 전송선로를 구현할 수 있다. CMOS공정이 스케일다운 되면서 사용 가능한 금선배선의 수와 금속 배선 층간 절연체의 두께도 증가하고 있는데, 0.13  $\mu\text{m}$ 의 경우 8개 이상의 금속배선을 사용할 수 있다. 전송선로는 금속 배선 중 최상위 metal과 최하위 metal을 이용하여 microstrip line을 구현하거나 최상위 metal로 CPW 구조를 구현할 수 있는데, 〈그림 8〉에 substrate-shielded CPW구조를 나타내었다. 이 전송선로 구조는 하위 두 개의 metal을 이용하여 slot을 가진 구조를 사용하면 서로 기판으로 유입되는 전계를 효과적으로 차단한다. 이와 같은 shielding 테크닉을 이용할 경우 40 GHz에서 0.25 dB/mm의 낮은 삽입손실을 나타내는 것으로 보고되었다. 전송선로 이외에도 60 GHz 대역에서 비교적 낮은 손실을 갖는 인덕터와 transformer에 대한 논문도 발표되었다<sup>[6]</sup>.

### III. 밀리미터파 CMOS 모델링

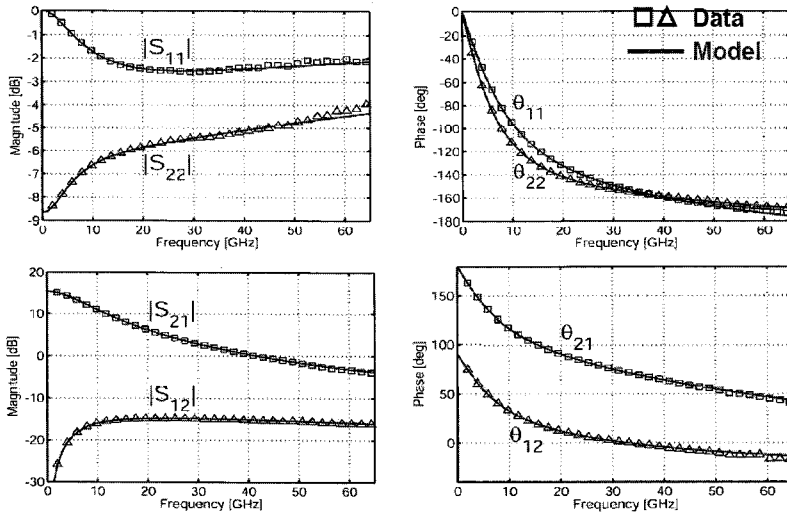
밀리미터파 대역의 높은 주파수에서는 소자의



〈그림 9〉 Digital CMOS model과 레이아웃에 따른 parasitic R, L, C값을 추가한 RF CMOS model

특성이 레이아웃에 의해 많은 영향을 받는다. RF 모델을 제공하는 foundry에서도 여러 크기를 가지는 소자를 제작한 다음 bias 의존적인 부분은 BSIM계열 모델을 사용하고 parasitic R, L, C는 각 소자의 측정값을 바탕으로 fitting function을 사용하고 있다.

〈그림 9〉에 digital CMOS model에 레이아웃에 따른 parasitic R, L, C값을 추가한 RF CMOS 모델을 나타내었다. 여기서  $L_G, L_D, L_S$ 는 연결 배선 (interconnect line)의 delay effect,  $C_{gsext}, C_{gdext}$ 는 extrinsic wiring capacitance,  $C_{sb}, C_{db}$ 와  $R_{sb}, R_{db}$ 는 substrate에 의한 커패시턴스와 손실을 나타낸다. MOSFET의 고주파 특성은 저항성 손실에 의해 많은 제한을 받으므로 정확한  $R_G, R_D, R_S$ 의 값의 추출이 필요하다. 특히  $R_G$ 는  $f_{max}$ 에 큰 영향을 끼친다. Digital CMOS model인 BSIM3모델과 레이아웃에 의존하는 parasitic R, L, C값을 추가한 RFCMOS모델을 사용하였을 때 〈그림 10〉에 나타낸 바와 같이 측정 및 모델된 S-parameter값이 60 GHz범위까지 잘 일치하는 것을 알 수 있다.



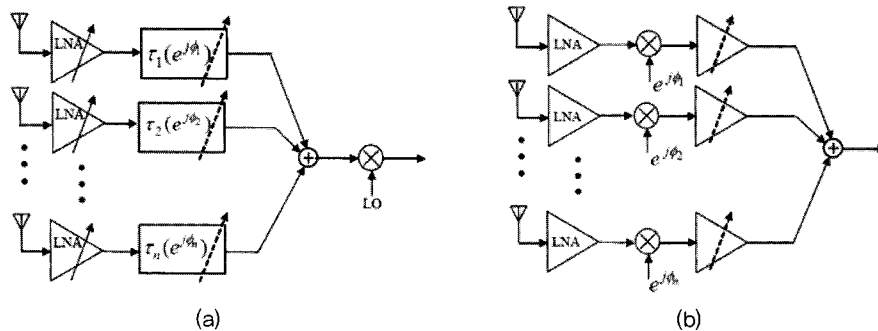
<그림 10> 65 GHz까지 측정된 S-parameters 와 RFCMOS 모델 비교

### IV. 밀리미터파 CMOS 위상배열시스템

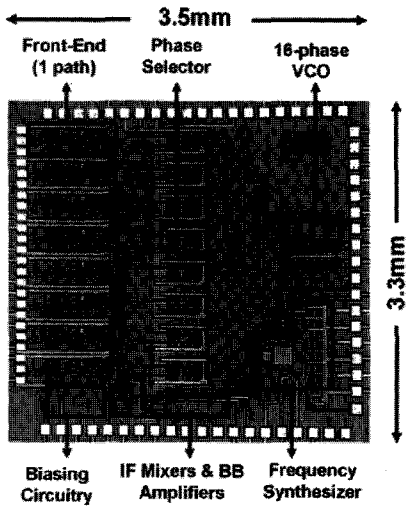
앞에서 소개된 밀리미터파 CMOS 설계 기법을 바탕으로 다수의 위상배열시스템이 발표되었다. 위상배열 시스템은 다수의 안테나로 입력되는 신호의 delay를 결합하기 위해 RF단에서 phase shift를 하는 구조<그림 11>-(a)와 mixer의 LO 단에서 phase shift를 주는 구조<그림 11>-(b)가 사용된다. RF 단에서 phase shift를 하는 방법은 구조가 간단하여 모듈형태

로 많이 사용되고 있으며, 다른 구조에 비해 전력 소모가 적고 칩 면적도 작은 장점이 있다. 반면, 이 방식은 RF 단의 phase shifter의 손실에 의해 SNR이 감소하고 비선형성에 의해 신호의 효과적인 결합이 약화되는 단점이 있다. LO단에서 phase shift 방식을 이용한 phase array 시스템은 array의 개수 N이 많아질수록  $N^2$ 에 해당하는 LO 주파수를 분배해야하므로 복잡도가 크게 증가하는 단점이 있다.

<그림 12>에 Caltech에서 발표된 24 GHz



<그림 11> (a) RF phase shift 방식을 이용한 phase array 시스템 (b) LO phase shift 방식을 이용한 phase array 시스템

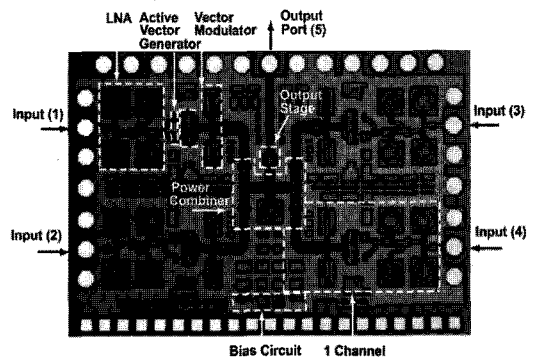
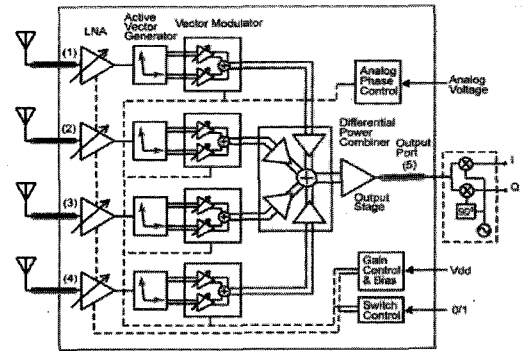


〈그림 12〉 LO shifting 방식의 24 GHz 8-element phase array

8-element phase array 수신기를 나타내었다. 실리콘 기반 시스템으로는 완성도가 높은 편이지만 전력소모가 커서 송신부와 같이 사용되면 약 1 A의 전류가 소모된다<sup>[7]</sup>.

〈그림 13〉에 active phase shift를 이용하여 RF 단에서 phase shift하는 24 GHz 대역에서 구현된 phase array 시스템을 나타내었다<sup>[8]</sup>. 이 방식은 구조가 LO shift 방식에 비해 간단해서 시스템의 면적이 작기 때문에 다수의 phase shifter가 필요한 대형 시스템에 적합하다. 또한 디지털 위상제어 기능과 결합하여 정확한 이득/위상 밸런스 특성을 얻을 수 있는 장점이 있다. 그러나 이 구조는 〈그림 12〉에 나타낸 LO shifter 방식에 비해 작은 면적과 적은 소모의 장점이 있는 반면 저항성 부하와 차동 증폭기를 사용한 active phase shift 방식을 사용하여 신호의 크기와 위상에 비교적 큰 오차를 나타내고 있다.

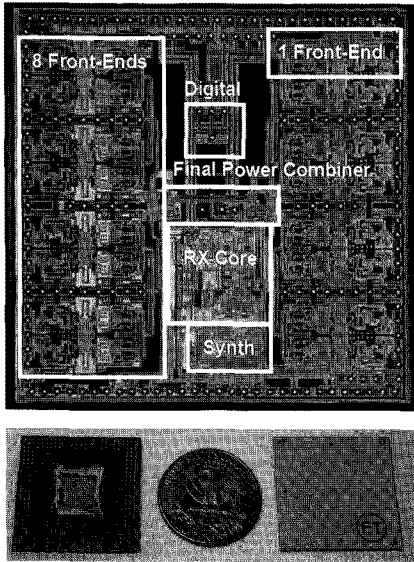
전 세계적으로 실리콘을 이용한 밀리미터파 위상배열 시스템은 60 GHz 대역을 이용한 통신



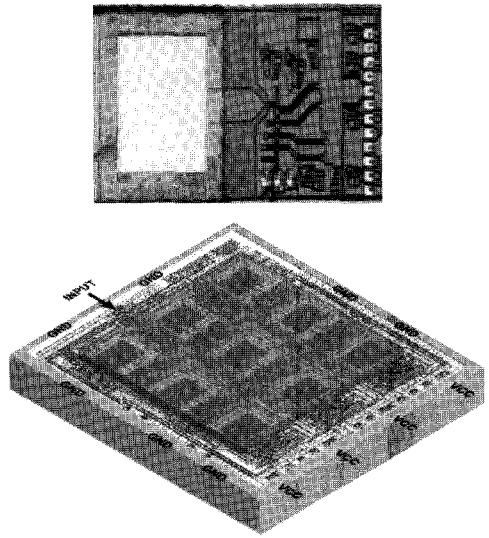
〈그림 13〉 RF 단에서 phase shift하는 22-24 GHz phase array 시스템

시스템과 그 이상의 주파수에서 기존보다 높은 출력 전력 레벨을 얻는데 활발히 응용되고 있다<sup>[9]</sup>. 〈그림 14〉에는 미국 IBM사에서 발표한 60 GHz 16-element phase array 수신기의 칩 사진 및 패키징 된 칩의 사진을 보여주고 있다. 상용화를 염두에 두고 개발된 칩으로 온도 변화에도 좋은 성능을 유지할 수 있도록 BiCMOS 공정을 사용하고 있다. 현재로서는 수신기의 칩만 집적이 되었지만 패키징도 진행되었기 때문에 송신기도 곧 개발이 될 것으로 판단된다.

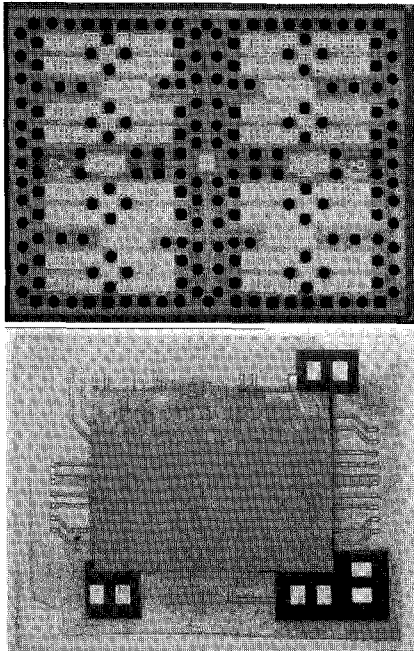
〈그림 15〉는 Intel사에서 발표한 60 GHz 32-element phase array 송수신기 및 플립 칩 패키징 사진을 보여주고 있다. 밀리미터파 대역에서 패키징은 매우 고난도의 기술로 기존의 wire bonding 방법 보다 성능 면에서 플립 칩 패



〈그림 14〉 미국 IBM사에서 발표한 60 GHz 16-element phase array 수신기의 사진



〈그림 16〉 UCSD에서 발표한 W-band phase array 전력증폭기의 칩 사진 및 패키징



〈그림 15〉 Intel사에서 발표한 60 GHz 32-element phase array 송수신기 및 플립 칩 패키징

조가 개발되었지만 송수신기를 모두 내장하고 있고, 32-element로 구성되어 있지만 칩의 크기는  $4 \times 3 \text{ mm}^2$  정도로 상용화시 매우 큰 가격 경쟁력을 가질 것으로 예상된다.

이러한 국외 연구 동향으로 판단해 볼 때 미국의 최신 선도대학들은 60 GHz 대역 phase array 시스템에 대한 연구개발은 거의 완성단계에 다다른 것으로 판단된다. 한 예로 〈그림 16〉에 UCSD에서 발표한 W-band phase array 전력증폭기의 칩 사진 및 패키징 결합도를 나타내었다. 미국의 최신 연구그룹들은 통신뿐만 아니라 phase array 시스템을 이용하여 밀리미터파 대역에서 전력결합도 시도하고 있는 것을 알 수 있다.

## V. 결론

키정이 우수한 것으로 보고되고 있다. 앞서 IBM에서 제시한 수신기의 구조보다는 다소 간단한 구

인류가 과거 및 현재 사용하고 있는 통신용 주파수의 발전 추세로 볼 때 향후 밀리미터파의 이



용은 이를 뒷받침하는 반도체 기술의 발달과 함께 급속히 증가될 것으로 사료된다. 특히, CMOS 밀리미터파 기술은 여러 기술적인 난제에도 불구하고, CMOS의 광범위한 활용분야로 볼 때 매우 유망하다. 과거 군수용 등 제한적으로 사용되어 오던 밀리미터파 기술은 향후 대용량 가전기기로 확장되어 그 시장규모가 확대되어 우리나라가 향후 역점을 두고 개발해야 할 비메모리 반도체 분야 중의 하나라고 사료된다. 이를 뒷받침하기 위해서는 R&D 정책에서 여러 가지 지원이 필요하다. 밀리미터파 시스템 설계에 필요한 최신 nm 공정 지원은 IDEC을 통해서 꾸준히 향상되고 있다. 다만, 밀리미터파 구현에 필요한 공정은 디지털 baseband공정에 부가적인 공정이 필요한 데, 국내 foundry가 아직 개발 초기로 이에 대한 지원이 미흡한 편이다. 또한, 밀리미터파 시스템은 아직 측정 장비가 고가이므로 개별 대학 및 기업체 연구소에서 전체 시스템을 구성하기가 어렵다. 대학 및 연구소에서 시스템을 개발하더라도 측정 시스템의 부족으로 많은 어려움을 겪고 있는 실정으로, 지리적으로 가까운 위치에 이를 지원할 수 있는 통합된 측정 시스템 구축이 선행되어야 할 것이다.

#### 참고문헌

- [1] S. Lee, "Record RF performance of 45 nm SOI CMOS Technology", *ISSCC Dig. Tech. Papers*, 2008.
- [2] IEEE 802.15.3.c. [Online]. Available: <http://www.ieee802.org/15/pub/TG3c.html>
- [3] WirelessHD Group. [Online]. Available: [www.wirelesshd.org](http://www.wirelesshd.org)
- [4] C. H. Doan, S. Emami, A. M. Niknejad, and R. W. Brodersen, "Millimeter-wave CMOS design" *IEEE J. Solid-State Circuits*, Vol.40, No.1, Jan., 2005.
- [5] B. Heydari, M. Bohsali, E. Adabi, and A. M. Niknejad, "Low-power mm-wave components up to 104 GHz in 90nm CMOS," *ISSCC Dig. Tech. Papers*, 2007, session 10.7.
- [6] T. O. Dickson, M.-A. LaCroix, S. Boret, D. Gloria, R. Beerkens, and S. P. Voinigescu, "30-100 GHz inductors and transformers for millimeter-wave (Bi)CMOS integrated circuits," *IEEE Tran. Microwave Theory Tech.*, Vol.53, No.1, 2005.
- [7] H. Hashemi, X. Guan, A. Komijani, and A. Hajimiri, "A 24-GHz SiGe phased-array receiver - LO phase shifting approach," *IEEE Trans. Microwave Theory Tech*, Vol.53, No.2, pp.614-625, 2005.
- [8] Tiku Yu and G. M. Rebeiz, "A 22-24 GHz 4-element CMOS phased array with on-chip coupling characterization," *IEEE J. Solid-State Circuits*, Vol.43, No.9, pp.2134-2143, 2008.
- [9] *IEEE Radio Frequency Integrated Circuit (RFIC) Symposium*, 2010.

## 저자소개



이 종 욱

1993년 서울대학교 전기공학과 학사  
1997년 서울대학원 전기공학과 석사  
2003년 Purdue University at West Lafayette 공학박사  
2004년 3월~2010년 2월 경희대학교 전자정보대학 전  
임강사/조교수  
2010년 3월~현재 경희대학교 전자정보대학 부교수  
주관심 분야 : RFID태그, RFIC설계, RF모델링