

# 고해상도 시그마-델타 ADC 기술동향

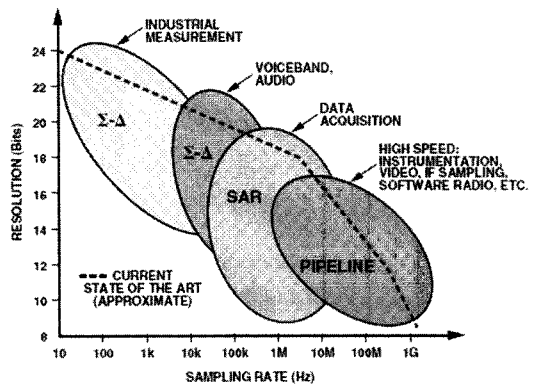
최영길·노정진 (한양대학교)

## I. 서론

현재 주요 전자 산업으로 일컬어지는 이동통신 및 홈 네트워크 시스템 분야에서는 영상 및 음성 신호들이 보다 세밀하고 정확하게 처리되기를 원하고 있다. 또한 휴대 및 이동에 편리하도록 소형화 및 저 전력 설계 측면도 요구되고 있다. 이와 같은 요구 사항들을 수용하기 위해 칩 설계자들은 다양한 기능의 IP들을 SoC(System On a Chip)화하여 하나의 칩 안에 구현하고 있다. 기존의 단일 칩들을 IP로 처리하는 SoC 구현에서는 아날로그 신호와 디지털 신호 간의 인터페이스 기술이 매우 중요시되며, 이러한 역할을 담당하고 있는 ADC(Analog-to-Digital Converter)와 DAC(Digital to Analog Converter)는 광범위한 응용 분야에서 사용됨과 동시에 없어서는 안 될 IP가 되었다.

<그림 1>은 샘플 비(sampling rate) 대비 해상도로 나타난 ADC의 분류이다. 지난 수십 년 동안 18 비트 이상의 고 해상도를 갖는 오디오 신호 처리 시스템에서는 오버샘플링(over-sampling) 시그마-델타 ( $\Sigma\Delta$ , sigma-delta) ADC를 주로 사용하여 왔다. 본 ADC의 특징은

아날로그 신호가 디지털 신호로 변환되는 과정에서 발생하는 에리(error)가 시스템의 입력으로 부 변환(negative feedback)됨으로 인해 잡음 성형(noise shaping)이 가능하게 되고, 결국 출력에서는 입력 신호에 상응하는 높은 해상도를 갖는 디지털 신호를 얻을 수 있게 된다는 것이다. 이렇듯  $\Sigma\Delta$  ADC는 좁은 대역에서 고해상도를 얻을 수 있다는 장점으로 인해 오디오 분야 외에도 다양한 센서 응용 분야에서도 널리 사용되었다. 예를 들자면 [2]에서와 같이 오일(oil) 탐색을 위한 지질 검파에 사용되는 분산 센서 네트워크(distributed sensor networks) 에서는



<그림 1> ADC 구조, 응용, 해상도 및 샘플 비<sup>[1]</sup>

400Hz의 신호대역 내에서 18 비트 이상의 해상도를 요구하는  $\Sigma\Delta$  ADC를 사용하게 된다. [3]에서 기술된 홀 센서를 이용한 모터 제어 및 전류 측정용으로  $\Sigma\Delta$  ADC가 주로 사용되고 있으며, [4]에서와 같이 다양한 생체 전위 신호(bio-potential signal) 처리용으로도 사용되고 있다.

지금까지 보여준 좁은 대역에서의 고해상도를 요구하는  $\Sigma\Delta$  ADC와는 다르게 고속의 통신용 모듈에서도 최근에  $\Sigma\Delta$  ADC가 사용되고 있다.

무선 통신 기술의 발달에 따라 다양한 시스템들이 SoC화 되는 추세와 더불어 RF 회로뿐만 아니라 기저대역(baseband) 아날로그 회로들도 동일한 디지털 공정으로 제작되도록 요구되고 있다. 따라서 채널과 인접 채널간의 간섭까지도 모두 디지털화 시킬 수 있을 정도의 넓은 대역폭을 갖는 ADC를 요구하게 된다. 이렇듯 10 비트 이상의 고해상도를 갖는 ADC를 구현하기 위해서 처리하고자 하는 주파수 대역내의 양자화 잡음을 성형하는 오버샘플링  $\Sigma\Delta$  데이터 변환기 기술이 선호되고 있다. 과거의 통신 모듈에서 사용되었던 파이프라인 ADC는 동일 해상도를 얻

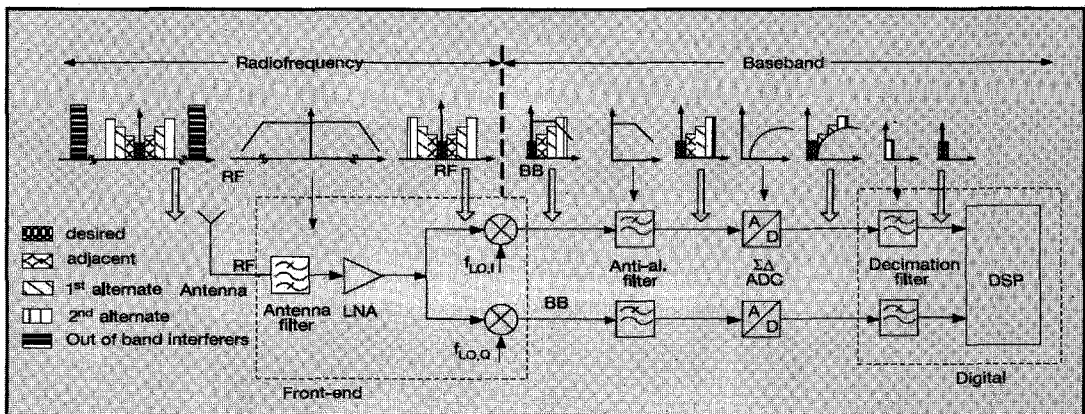
을 경우  $\Sigma\Delta$  ADC 보다 두 배 정도의 면적과 파워를 더 소모하게 된다<sup>[6]</sup>. 이로 인해 현재 다수의 기업들이 통신 모듈용으로 [7]과 같은 고속의  $\Sigma\Delta$  ADC를 설계하게 되었다. <그림 2>는 최근 무선 통신에서 각광 받고 있는 변환 방식인 직접 변환 수신기(direct conversion receiver)에 대하여 보여주고 있다.

본고에서는  $\Sigma\Delta$  ADC의 핵심 부분인  $\Sigma\Delta$  모듈레이터(modulator)에 대하여 다루도록 하겠다. 제 II 절에서는  $\Sigma\Delta$  모듈레이터의 개념적인 이해 및 구조에 대하여 알아보고, 제 III 절에서는 다양한 응용분야에 적합하도록 설계된  $\Sigma\Delta$  모듈레이터들에 대하여 살펴본다.

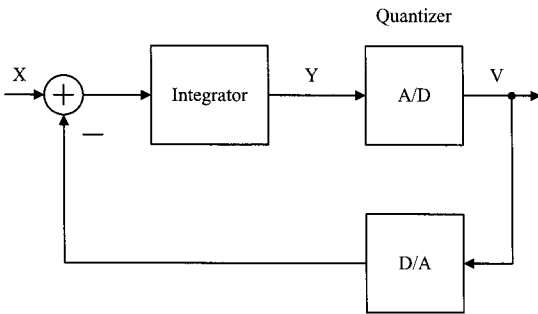
## II. 시그마-델타 모듈레이터

### 1. 시그마-델타 모듈레이터의 기본 개념

<그림 3>은 간단한  $\Sigma\Delta$  모듈레이터의 블록도이다.  $\Sigma\Delta$  모듈레이터는 적분기(integrator), 양자화기(quantizer), 그리고 케환 경로에 있는 D/A



<그림 2>  $\Sigma\Delta$  ADC를 사용하는 직접 변환 수신기<sup>[5]</sup>

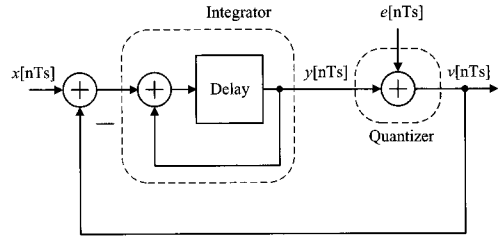


〈그림 3〉 1차  $\Sigma\Delta$  모듈레이터의 블록도

변환기로 구성되어 있다. 두 개의 레벨(level)을 가지는 양자화기일 경우 양자화기는 간단한 1-비트 비교기로 구현된다. D/A 변환기는 양자화기의 출력에서 모듈레이터 입력으로 연결되는 궤환 경로를 이용하여 구현되며, 부 궤환 역할을 담당하고 있다. 모듈레이터의 출력이 양의 값으로 커지면 이 값은 궤환 경로를 따라 모듈레이터의 입력으로 인가된다. 인가된 값은 모듈레이터의 입력 값에서 빼지므로 적분기의 출력(Y) 값은 낮아지게 된다. 이와 같은 동작이 이뤄지게 되면 적분기의 출력 값은 0으로 가게 되는데, 이는 곧 입력 신호와 양자화된 출력 신호와의 차이가 없게 되는 것을 의미한다.

1차  $\Sigma\Delta$  모듈레이터의 등가 회로를 〈그림 4〉에 나타내었다. 양자화기를 추가적인 에러  $e$ 로 가정하였고, 양자화 에러는 입력신호에 의존하지 않는 white noise(백색 소음)로 가정하였다. 레벨 사이 간격이  $\Delta$ 인 양자화기로 부터 생성된 잡음은  $\pm\Delta/2$  사이 어느 곳에서도 동일하다. 잡음 전력은 [8]에서 구할 수 있으며 식 (2.1)과 같다.

$$P_e = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{1}{12} \Delta^2 \quad (2.1)$$



〈그림 4〉 1차  $\Sigma\Delta$  모듈레이터 등가회로

〈그림 4〉의 모듈레이터에서 입력과 출력의 관계식은 다음과 같이 나타낼 수 있다.

$$y[nTs] = x[(n-1)Ts] + e[nTs] - e[(n-1)Ts] \quad (2.2)$$

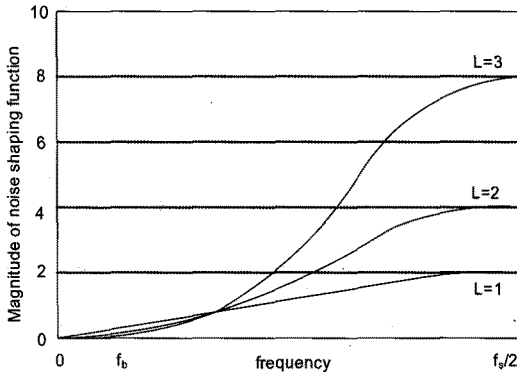
식 (2.2)를 z-domain 의 식으로 변경하면 다음과 같다.

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z) \quad (2.3)$$

$X(z)$ ,  $Y(z)$ ,  $E(z)$  는 각각 모듈레이터 입력, 출력, 양자화 에러에 대한 z-변환을 의미한다.  $X(z)$ 의 곱셈계수는 신호 전달함수(STF, signal transfer function) 이라 하고  $E(z)$ 의 곱셈계수는 잡음 전달함수(NTF, noise transfer function) 이라 한다.

2차  $\Sigma\Delta$  모듈레이터는 〈그림 3〉에서 적분기 하나를 더 추가함으로써 구현 가능하다. 2차  $\Sigma\Delta$  모듈레이터의 잡음 전달함수는  $(1-z^{-1})^2$ 으로 나타낼 수 있고, 이는 DC에 두 개의 zero가 위치하고 있음을 의미한다. L-차  $\Sigma\Delta$  모듈레이터의 잡음 전달함수는 다음과 같이 나타낼 수 있다.

$$NTF(z) = (1 - z^{-1})^L \quad (2.4)$$



〈그림 5〉 잡음 전달 함수의 크기

주파수 도메인(domain)에서 잡음 전달함수의 크기는 다음과 같다.

$$|NTF(f)| = \frac{\sqrt{|(1 - e^{-j2\pi f T_s})|^L}}{(2 \sin \pi f T_s)^{L/2}} \quad (2.5)$$

식 (2.5)를 각기 다른 차수에 대하여 주파수 변화에 따른 크기를 〈그림 5〉에 나타내었다.  $\Sigma \Delta$  모듈레이터의 차수가 높아짐에 따라 신호 대역( $f_b$ ) 안에서의 양자화 잡음은 감소되는 것을 볼 수 있다. 신호 대역 밖의 양자화 잡음은  $\Sigma \Delta$  모듈레이터의 뒷단에 위치하는 디지털 필터에 의해 제거가 된 후 nyquist rate으로 re-sampling 된다.  $\Sigma \Delta$  ADC에서 사용되는 디지털 필터를 흔히 데시메이션(decimation) 필터라고 한다.

## 2. 시그마-델타 모듈레이터의 성능 기준

$\Sigma \Delta$  모듈레이터의 성능을 비교할 수 있는 기준은 크게 다음과 같다.

- 신호 대 잡음비(SNR, signal to noise ratio): 입력 신호 전력 대비 모듈레이터 출

력 잡음 전력 비이다. 여기서 잡음은 양자화 잡음과 회로 내에서 생기는 각종 잡음들을 포함한다.

- 신호 대 잡음 및 왜곡 비(SNDR, signal to noise and distortion ratio): 위의 SNR 계산에서 사용되는 잡음 전력 외에 추가로 왜곡 성분을 포함한 잡음 전력과 입력 신호 전력에 대한 비를 나타낸 것이다.
- 다이내믹 레인지(DR, dynamic range): 모듈레이터의 성능 저하 없이 최대 가능한 입력 신호의 전력 대 모듈레이터가 감지할 수 있는 최소의 입력 신호 전력 비이다.

위 세 가지 중 DR에 대해 살펴보겠다. 양자화기가  $2^N$ 의 양자화 레벨을 가지고 있고, 모든 레벨이 1의 차이를 가지고 있다고 가정한다. 여기서 N은 양자화기의 비트 수를 의미한다. Peak-to-peak 크기가  $(2^N - 1) \Delta$ 이고, full scale인 정현파 신호의 전력은 다음과 같이 나타낼 수 있다.

$$P_s = (2^N - 1)^2 \frac{\Delta^2}{8} \quad (2.6)$$

신호대역에서 저역통과(lowpass) 필터를 거친 후 총 양자화 잡음의 전력을 구한 식은 다음과 같다<sup>[9]</sup>.

$$P_e = \int_{-f_b}^{f_b} (2 \sin \frac{\pi f}{f_s})^{2L} \left( \frac{\Delta^2}{12 f_s} \right) df \quad (2.7)$$

$$= \left( \frac{\pi^{2L}}{2L+1} \right) \left( \frac{1}{OSR^{2L+1}} \right) \left( \frac{\Delta^2}{12} \right)$$

DR는 식 (2.6)과 식 (2.7)의 비로 정의될 수 있다.

$$DR = \frac{3}{2} \left( \frac{2L+1}{\pi^{2L}} \right) (2^N - 1)^2 OSR^{2L+1} \quad (2.8)$$

1차 잡음 성형의 경우 오버샘플링 비(OSR, over-sampling ratio)가 2배 증가 할 경우 DR는 9 dB 상승하나 2차와 3차 잡음성형의 경우 각각 15 dB, 21 dB 상승한다. 이는 잡음 성형의 차수가 커지면 커질수록 높은 DR를 얻을 수 있다는 것을 보여주고 있다.

### 3. Distributed feed-forward (DFF)

#### ΣΔ 모듈레이터 구조

휴대용 이동기기들의 영향으로 인해 모든 회로 설계 부분에서 저 전압 설계가 중요한 이슈가 되었다. ΣΔ 모듈레이터 설계에서 저 전압 전원의 사용으로 인해 고려해야 되는 부분들 중 하나는 적분기의 출력이다. 적분기의 출력을 작게 유지하기 위하여 적분기 커패시터의 크기를 크게 하는 방법도 있지만, 더 좋은 방법은 적분기의 출력 스윙 폭이 작은 모듈레이터 구조를 사용하는 것이다.

<그림 6> 은 DFF 구조를 갖는 ΣΔ 모듈레이터의 예이다. 피드-포워드(feed-forward) 방식의 가장 큰 장점은 입력 신호가 피드-포워드 경로( $b_0$ )를 통해서 양자화기 앞 까지 바로 인가

된다는 것과, 모듈레이터의 루프 필터(loop filter)에서는 오직 양자화 잡음만이 처리된다는 것이다. ΣΔ 모듈레이터의 전달 함수는 다음과 같다.

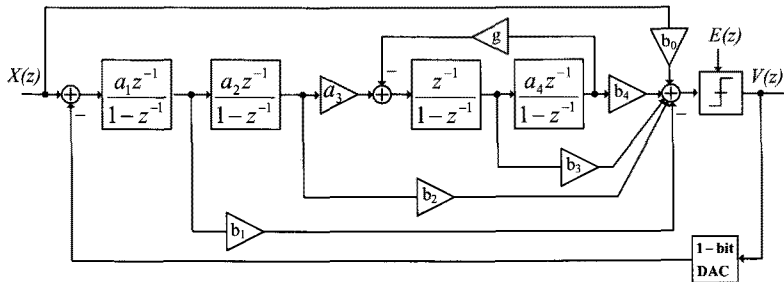
$$V(z) = STF(z)X(z) + NTF(z)E(z) \quad (2.9)$$

식 2.9에서  $V(z)$ 는 모듈레이터의 출력이고  $X(z)$ 는 입력 신호,  $E(z)$ 는 양자화 잡음을 나타낸다. 일반적인 피드백(feedback) 구조에서  $STF(z)$ 는  $z^{-1}$  값을 가지는데 반하여, <그림 6>에 나타난 DFF구조는 입력 피드-포워드 경로를 ΣΔ 루프에 삽입함으로써  $STF(z)$ 의 값을 1로 만들 수가 있게 된다. 이로 인해 모듈레이터의 출력은 모든 주파수 대역에서 지연(delay)이나 필터링(filtering)되지 않는 입력 신호의 값을 얻을 수 있게 된다<sup>[8]</sup>. 이때  $NTF(z)$ 는 다음과 같다.

$$NTF(z) = \frac{A(z)}{B(z)} \quad (2.10)$$

분자 값인  $A(z)$ 는 아래와 같이 나타낼 수 있으며,

$$A(z) = z^4 - 4z^3 + (6 + a_4g)z^2 - (4 + 2a_4g)z - (1 + a_4g) \quad (2.11)$$



<그림 6> DFF 구조를 갖는 ΣΔ 모듈레이터<sup>[10]</sup>

분모 값인  $B(z)$ 는 다음과 같다.

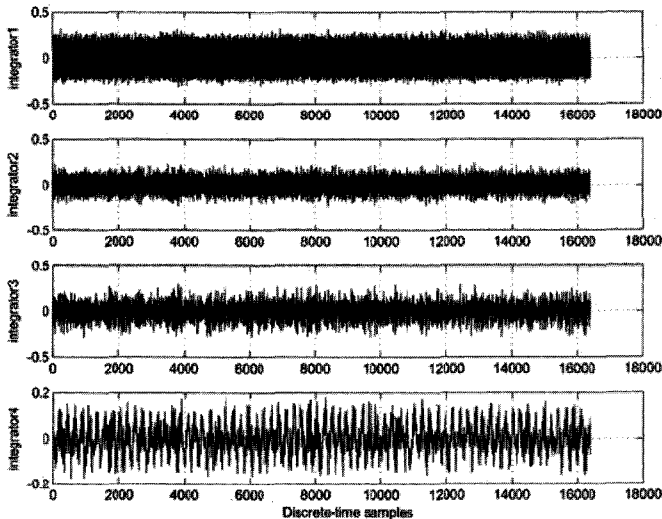
$$\begin{aligned}
 B(z) = & z^4 \\
 & + (-4 + a_1b_1)z^3 \\
 & + (6 + a_4g - 3a_1b_1 + a_1a_2b_2)z^2 \\
 & + (-4 - 2a_4g + 3a_1b_1 - 2a_1a_2b_2 + a_1a_4b_1g + a_1a_2a_3b_3)z \\
 & + \{(1 + a_4g)(1 - a_1b_1 + a_1a_2b_2) + a_1a_2a_3(a_4b_4 - b_3)\}
 \end{aligned}
 \tag{2.12}$$

$\Sigma\Delta$  모듈레이터의 pole과 zero의 위치는 <그림 6>의 적분기 계수 값들을 조정함으로써 변경이 가능하다. <그림 6>에서 두 개의 적분기를 연결하는 계수  $g$ 는 NTF의 최적화를 위하여 구성된 resonator의 계수 값이다. DC에 있는 zero들을 신호대역 내에서 분산시킴으로써 신호대역 안의 잡음 성분을 최소화하여 모듈레이터로 하여금 보다 높은 해상도를 얻을 수 있게 한다<sup>[8]</sup>. 일반적으로 각각의 계수 값들은 MATLAB tool을 이용하여  $\Sigma\Delta$  모듈레이터가 최적의 성능을 낼 수 있도록 결정된다.

앞서 얻어진 STF( $z$ )와 NTF( $z$ )의 값을 이용하여 각 적분기의 출력 값을 구해보면 각 적분기의 출력에는 양자화 잡음만이 남게 되는 것을 알

수 있다. 이 같은 사실은 이상적인 경우 입력 신호 성분이 적분기의 출력에 아무런 영향도 미치지 않게 되며, 루프 필터 내에는 양자화 잡음만이 처리됨으로써 적분기의 출력 스윙도 감소된다는 것을 의미한다.

<그림 7>은 half scale의 크기로 8.7kHz의 정현파 신호를 입력 하였을 때 각 적분기의 출력 파형을 나타낸 것이다. 각 적분기의 출력 값이 기준 전압의 30%를 넘지 않는 것을 확인 할 수 있다. 앞에서 언급했듯이 루프 필터 내에서 입력 신호를 처리하지 않음으로써 적분기의 출력 신호가 입력 신호의 고조파 왜곡(harmonic distortion) 성분에 영향을 받지 않으며, OTA (operational transconductance amplifier)의 비선형성에 의한 영향을 감소시킬 수 있게 된다. 이러한 이유로 피드-포워드 구조에서는 앰프의 DC이득이 낮은 경우라 하더라도 왜곡 성분들을 상당 부분 억제할 수 있다<sup>[11]</sup>. 이러한 사실은 OTA 설계를 위한 요구 조건들을 완화시켜 주는 역할을 하며, 결국 저 전압 저 전력 설계가 가능하게 된다.



<그림 7> 각각의 적분기 출력 파형

### III. $\Sigma\Delta$ 모듈레이터에 대한 다양한 예제들

이미 서론에서 몇 가지의  $\Sigma\Delta$  모듈레이터에 대한 예제들에 대해 언급하였다. 본 절에서는 좀 더 다양한 예제들을 통하여  $\Sigma\Delta$  모듈레이터가 사용되고 있는 응용 분야에 대하여 다뤄 보았다.

#### 1. 20kHz BW를 갖는 0.9V 60 $\mu$ W $\Sigma\Delta$ 모듈레이터<sup>[10]</sup>

휴대용 이동통신 기기의 발달은 회로 설계자로 하여금 저 전압 저 전력 설계를 요구하고 있다. 과거에는 저 전압  $\Sigma\Delta$  모듈레이터 설계 시 스위치를 위한 charge pumps를 사용하였지만, 본  $\Sigma\Delta$  모듈레이터는 이러한 추가 회로 없이 1V 이하의 단일 전압에서 최고의 성능을 나타내도록 설계되었다. 이미 앞 절에서 설명된 바와 같이 DFF 구조를 사용하여 저 전압 저 전력 설계에 용이하도록 하였으며, 모듈레이터 내의 앰프의 요구사항을 최소화 하였다. 총 60 $\mu$ W의 전력이 사용되었으며, 82.2dB의 최대 SNR과 83dB의 최대 DR를 얻었다.

#### 2. 저 전력 바이오 메디컬용 $\Sigma\Delta$ 모듈레이터<sup>[12]</sup>

본 연구는 심장박동조율기(cardiac pacemaker)와 같은 바이오 메디컬용으로 설계된 초 저 전력  $\Sigma\Delta$  모듈레이터에 관한 내용이다. 바이오 센서와 함께 인체에 이식을 요하는 만큼 저 전압 저 전력을 위한 설계 기법은 모듈레이터 설계 시 극히 중요한 사안이다. 트랜지스터의 게이트로 입

력을 받는 일반적인 OTA와는 다르게 bulk로 입력 신호를 받는 bulk-driven 구조를 사용하였으며, 이와 같은 방법을 통해 0.8V 전원 전압 사용으로 인해 발생하는 여러 문제들이 효과적으로 해결되었다. 0.8V 단일 전원 사용 시 모듈레이터에서 소모되는 전체 전력은 816nW이며, 최대 SNR은 50.2dB이다.

#### 3. $\Sigma\Delta$ 변조기법을 이용한 D급 오디오 앰프<sup>[13]</sup>

최근 PDAs, 휴대폰과 같은 휴대기기들에서는 전력 효율이 높으면서도 선형성이 우수한 D급 오디오 앰프들을 사용하고 있다. 본 연구에서는 PWM (pulse width modulation) 기법의 단점을 보완하고 더불어 THD+N (total harmonic distortion plus noise)을 높이기 위한 방법으로 D급 오디오 앰프에  $\Sigma\Delta$  변조기법을 적용하였다. 3V의 단일 전원에서 부하 저항으로 32 $\Omega$ 을 연결하였을 경우 0.022%의 낮은 THD+N을 나타내고 있다. 0.18 $\mu$ m 공정을 이용하였으며, 칩의 실 사용면적은 1.6mm<sup>2</sup>이다.

### IV. 결론

본고에서는 VLSI의 발달로 인해 그 응용범위가 더욱 넓어진  $\Sigma\Delta$  모듈레이터에 대하여 살펴 보았다.  $\Sigma\Delta$  모듈레이터의 대표적인 특징인 잡음 성형과 그 외의 기본적인 개념에 대하여 간단한 수학적 공식 등을 이용하여 알아보았으며, 이를 통해 고해상도를 요하는 응용분야에서의  $\Sigma\Delta$  모듈레이터의 필요성에 대해 알 수 있었다. 또한 본고에서는 DFF 구조가 최근 저 전압 저

전력  $\Sigma\Delta$  모듈레이터 연구에서 비중이 커져가는 이유에 대하여 알아보았다.

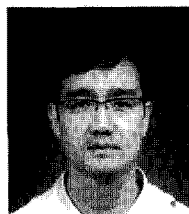
### ===== 참고문헌 =====

- [1] W. Kester: Which ADC architecture is right for your application?, June, 2005, [online] Available: <http://www.analog.com>
- [2] S. Brigati, F. Francesconi, P. Malcovati and F. Maloberti, "A fourth-order single-bit switched-capacitor  $\Sigma\Delta$  modulator for distributed sensor applications," *IEEE Trans. Instrumentation and Measurement*, Vol.53, No.2, pp.266-270, Apr., 2004.
- [3] F. Ohnhaeuser, A New Generation of Hall Sensors Including Delta-Sigma Modulators, 2005, [Online] Available: <http://focus.ti.com/lit/an/slaa286/slaa286.pdf>
- [4] J. Goes, N. Paulino, H. Pinto, R. Monteiro, B. Vaz and A. S. Garcao, "Low-power low-voltage CMOS A/D sigma-delta modulator for bio-potential signals driven by a single-phase scheme," *IEEE Trans. Circuits Syst. I*, Vol.52, No.12, pp.2595-2604, Dec., 2005.
- [5] Y. L. Guillou: Analyzing sigma-delta ADCs in deep-submicron CMOS technologies. Feb., 2005, [online] Available: <http://www.rfdesign.com/ar/502rfd1.pdf>
- [6] S. Paton, A. D. Giandomenico, L. Hernandez, A. Wiesbauer, T. Poetscher and M. Clara, "A 70mW 300MHz CMOS continuous-time sigma-delta ADC with 15 MHz bandwidth and 11-bit of resolution," *IEEE J. Solid-State Circuits*, Vol.39, No.7, pp.1056-1063, July, 2004.
- [7] ADC12E050 Data Sheet, National Semiconductor, Inc. [Online] Available: <http://www.national.com/analog>
- [8] R. Schreier and G. C. Temes, *Understanding Delta-Sigma Data Converters*. New York: WILEY/IEEE Press, 2004.
- [9] D. A. Johns and K. Martin, *Analog integrated circuit design*. John Wiley & Sons, 1997.
- [10] J. Roh, S. Byun, Y. Choi, H. Roh, Y. Kim and J. Kwon, "A 0.9-V 60- $\mu$ W 1-bit fourth-order delta-sigma modulator with 83-dB dynamic range," *IEEE J. Solid-State Circuits*, Vol.43, No.2, pp.361-370, Feb., 2008.
- [11] L. Yao, M. Steyaert and W. Sansen, "A 1-V, 1-MS/s, 88-dB sigma-delta modulator in 0.13  $\mu$ m digital CMOS technology," in *Proc. Symp. VLSI Circuits Dig. Tech. Papers*, June, 2005, pp.180-183.
- [12] H. Roh, H. Lee, Y. Choi and J. Roh, "A 0.8-V 816-nW delta-sigma modulator for low-power biomedical applications," *Analog Integrated Circuits and Signal Processing*, Vol.63, pp.101-106, Apr., 2010.
- [13] K. Kang, J. Roh, Y. Choi, H. Roh, H.



Nam and S. Lee, "Class-D Audio Amplifier Using 1-Bit fourth-Order Delta-Sigma Modulation," *IEEE Trans. Circuits Syst. II*, Vol.55, No.8, pp.728-732, Aug., 2008.

### 저자소개

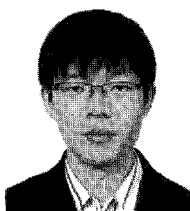


노 정 진

1990년 02월 한양대학교 전기공학과 학사  
 1998년 05월 Pennsylvania State University, Electrical Engineering 석사  
 2001년 05월 University of Texas at Austin, Computer Engineering 박사  
 1989년 12월~1996년 06월 Senior Engineer, Samsung Semiconductor, Korea  
 2000년 02월~2001년 08월 Senior Design Engineer, Intel, USA.  
 2001년 12월~2002년 02월 University of Texas at Austin, Visiting Professor  
 2001년 09월~현재 Associate Professor, Hanyang University, Ansan, Korea

주관심 분야 : Mixed-signal VLSI Design, Over-sampling Delta-sigma Data Converters, Power Management ICs, DC-DC Converters

### 저자소개



최 영 길

2004년 02월 한양대학교 전자공학부 학사  
 2006년 02월 한양대학교 전자전기제어계측공학과 석사  
 2006년~현재 한양대학교 전자전기제어계측공학과 박사과정

주관심 분야 : Oversampling Sigma-Delta A/D Converter