

데이터변환기 설계기술 현황 및 전망

문준호·송민규 (동국대학교)

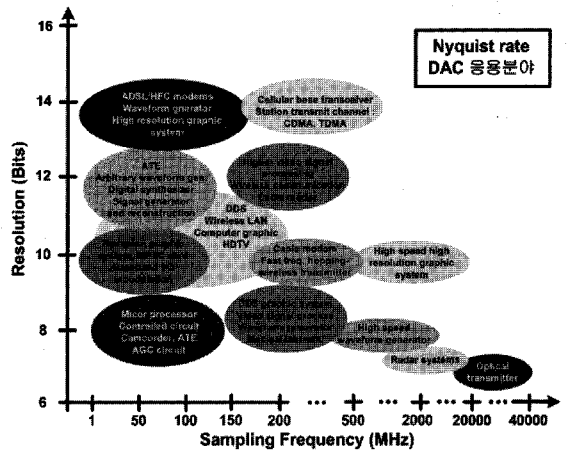
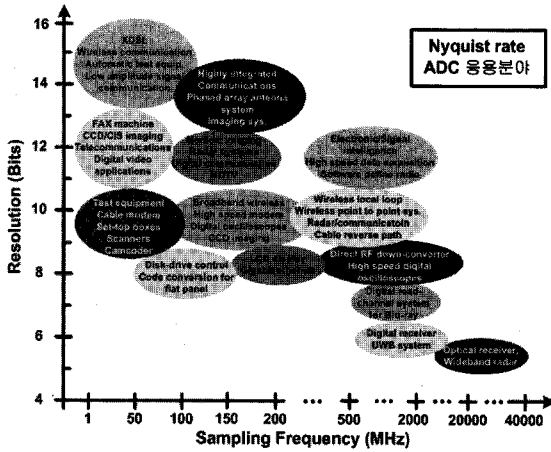
I. 서론

최근 CMOS 공정의 지속적인 발전으로 인해 기존의 마이크론 기술은 나노 공정으로 변화되고 있다. 이에 따라 최신의 고성능 전자 시스템은 대부분 나노 CMOS 공정을 기반으로 설계되며, 특히 낮은 전원전압(1V이하)에서 구현이 용이한 디지털 신호처리 기법을 기반으로 구현되고 있다. 그러나 정작 디지털 영역에서 구현되는 전자 시스템을 사용하는 우리 인간은 이러한 디지털 신호를 직접적으로 해석할 수 없다. 인간이 듣고 보고 말하고 느끼고 냄새를 맡는 오감은 자연계 신호인 아날로그 신호이기 때문이다. 따라서 기계어인 디지털 신호를 인간이 이해하기 위해서는 반드시 디지털 신호처리의 최초단계 및 최종단계에 아날로그 신호로 변환시켜주는 데이터 변환기가 필요하다.

일반적으로 데이터 변환기라 하면 온도, 전압, 전류 및 시각적 신호 등과 같은 각종 아날로그 입력 신호를 디지털 출력 비트로 변환시켜주는 A/D 변환기(ADC)와 그 반대 역할인 디지털 입력신호를 아날로그 출력신호로 변환하는 D/A 변환기(DAC) 두 가지로 구분한다. 종종 이러한 기

능 때문에 ADC를 인코더(encoder), DAC를 디코더(decoder)라고 칭하기도 한다^[1]. 이와 같은 데이터 변환기는 이동통신 단말기, 광대역 모뎀 등과 같은 통신분야를 비롯해 HDTV, 캠코더, Set-Top Box, 스캐너 등과 같은 영상신호 처리 분야, MRI, CT, 보청기 캡슐 내시경 등의 의료 기기 분야, 음성인식, 비디오 그래픽 제어기 센서 등의 컴퓨터 분야 등 산업 전반에 널리 쓰이고 있다^[2]. 이러한 다양한 응용분야에 사용되는 데이터 변환기는 각 시스템이 요구하는 변환속도 및 해상도에 따라 다양한 구조로 구현된다. <그림 1>에 데이터 변환기의 해상도와 변환속도에 따른 세부 응용분야를 정리하였다. 또한 데이터 변환기는 최근 CMOS 공정의 발달로 바이폴라, SiGe 공정을 필요로 하는 특수한 응용분야를 제외하고는 모두 제작 단가가 낮은 CMOS 공정으로 구현 되고 있다.

이에 본 논문에서는 CMOS 공정으로 구현되는 데이터 변환기의 구조 및 최신 기술 개발 동향을 살펴보고 이를 바탕으로 앞으로의 데이터 변환기 발전 방향에 대해 전망해보고자 한다. 특히 일반적인 응용시스템에 널리 적용되며 최근 비약적인 기술적 발전을 이루고 있는 6~14비트, 수MHz~



〈그림 1〉 나이퀴스트 데이터변환기(ADC, DAC)의 해상도와 변환속도에 따른 세부 응용분야

수십GHz에 이르는 나이퀴스트(Nyquist) 변환기에 대해 초점을 맞춰 기술한다.

II. 데이터 변환기의 구조

먼저, 데이터 변환기의 성능사양 및 구조를 이해하기 위해 아래와 같이 주요 용어들을 정리하였다^[1].

- Differential Non-Linearity (DNL): 입력 축에서 연속하는 두 코드 사이의 차이는 오차가 없는 경우 1LSB나, 실제 이 값보다 크거나 작아질 수 있는데 이들 변화량 중 가장 큰 값을 뜻한다.
- Integral Non-Linearity (INL): 실제 입력 출력 특성 곡선에서 각 시작점과 끝점을 연결한 직선에서 실제 특성 곡선과의 최대 차이를 뜻한다.
- 오프셋오차(Offset error): 데이터 변환기의 특성 곡선이 아날로그 입력 축과 만나는 점에서부터 원점까지의 거리를 뜻한다. 이러

한 오프셋오차는 외부에서 적당한 DC를 인가하거나 다른 방법을 통해 제거 가능하다.

- 이득오차(Gain error): 변환기 특성 곡선의 기울기가 예러가 없을 때의 값인 1과 비교했을 때의 차이 값을 뜻한다. 이득오차 역시 오프셋오차와 마찬가지로 신호의 선형특성과 큰 관계가 없기 때문에 변환기의 결정적인 사양은 아니라고 할 수 있다.
- Full Scale (FS): 변환기가 처리할 수 있는 아날로그 신호 크기의 최대값과 최소값의 차이로써 통상 사용하는 전원전압 및 응용기기에 따라 다른 값을 갖는다.
- 해상도 (Resolution): 디지털 코드에 대응하는 서로 다른 입력 수준의 수로써, N-bit 해상도의 변환기는 2^N 개의 서로 다른 아날로그 수준을 갖는다.
- 정확도 (Accuracy): 데이터 변환기의 정확도는 오프셋오차 및 이득오차를 포함하는 절대적 정확도와 이를 제거한 이후의 상대적 정확도로 구분되며, 특히 해상도와 구분하여 사용함으로써 데이터 변환기의 성능특성을 가늠할 수 있다.

- 안정도 (Stability): 변환기의 성능은 동작 중의 전원전압, 온도 등의 변화에 따라 변화되는데 이러한 전체적 성능이 선형성과 단조도 등을 만족시키는 상태를 뜻한다.
- 단조도 (Monotonicity): 변환기의 전달 특성에서 볼 때, 입력이 증가하는 경우 출력 또한 증가하는 성질을 뜻한다. 구현된 데이터 변환기가 어떠한 내 외부적인 요인으로 인해 비단조도 특성을 갖는다면 유효한 변환기라 할 수 없다.

1. DAC 구조

일반적으로 알려진 가장 간단한 구조의 DAC는 디코더를 이용한 구조로써 저항열 (Resistor string) 구조, 폴딩(Folded) 또는 다단(Multiple) 저항열 구조가 있다. 또 다른 구조로는 2진 가중치 배열(Binary weighted array) 구조로써 가중치 저항, 전류 및 커패시터를 이용하여 구현하기도 한다. 또한 최근의 DAC는 높은 해상도를 구현하기 위해 위 두 구조를 혼합하여 사용하기도 하며, 특히 높은 동작속도를 만족하기 위해 전류원을 이용한 전류구동방식의 DAC 구조를 많이 사용한다. 이 전류 구동 방식의 DAC는 주로 2진 가중치 배열 과 단위 전류셀 매트릭스의 장점을 혼합한 (Current steering : CS-DAC) 구조로 구성된다. CS-DAC는 다른 구조에 비해 구조가 복잡하고 전력소모가 크다는 단점이 있으나, 수백MHz~수십GHz까지의 고속 동작이 가능하며 10bit 이상의 해상도를 분할구조를 이용해 높은 정확도로 구현할 수 있다는 장점이 있다. 또한 최근 DAC의 주요 응용분야인 영상 신호처리, 광대역 통신시스템이 급격하게 발전하면서 DAC의 높은 해상도와 동작속도가 요구됨에 따

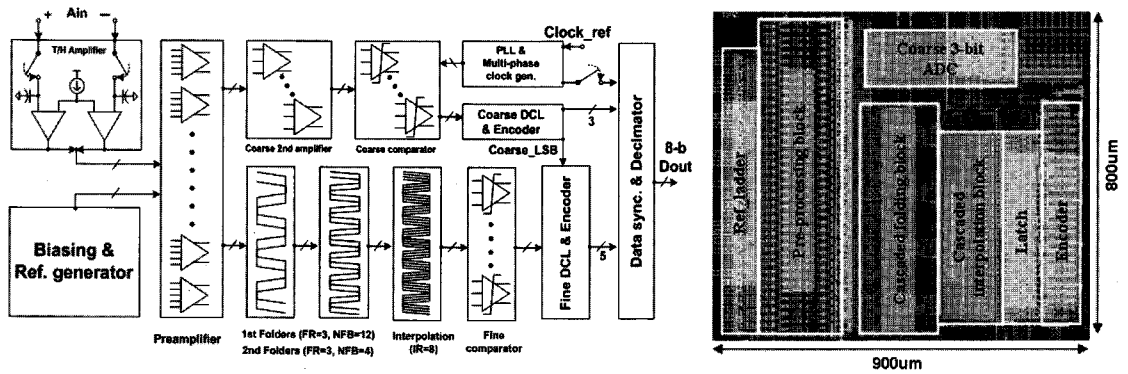
라 CS-DAC가 많은 응용분야 전반에 걸쳐 다양하게 적용되고 있다.

2. ADC 구조

ADC의 구조 또한 DAC와 마찬가지로 해상도와 동작속도에 따라 매우 다양하다. 일반적으로 낮은 변환속도가 요구되는 응용분야에는 적분형(Integrating), 경사형(Slope), 전하평형(Charge-balancing), 알고리즘(Algorithmic) 또는 연속근사형(Successive approximation) 구조가 적합하며, 높은 변환속도를 위해서는 플래쉬(Flash), 폴딩(Folding), 서브레인지(Sub-ranging) 또는 파이프라인(Pipeline) 구조가 주로 사용된다. 또한 변환속도를 극대화하기 위해 단일 ADC를 병렬로 나열하여 전체 동작속도를 높이는 time-interleaved 구조는 높은 동작속도를 요구하는 응용분야에 주로 사용된다.

<그림 2>는 최근 고속의 영상 및 데이터 신호처리를 요하는 응용분야에 많이 사용되는 폴딩 신호처리 기법을 사용한 전형적인 8b ADC의 구조와 이를 0.18um CMOS 공정으로 구현한 시제품 칩 사진이다. 최대 1GS/s의 변환속도로 동작하는 이 시제품 ADC는 상위(3b) 하위(5b)의 분할구조로 설계되어 200mW 이하의 낮은 전력만을 소비하며 0.18um CMOS 공정으로 구현시 약 0.72mm² 이하의 소면적으로 구현 가능하다. 이와 같이 ADC의 여러 구조는 각 응용분야에서 요구하는 해상도, 동작속도, 전력소모 및 면적특성에 따라 이를 반영할 수 있는 최적화된 구조로 다양하게 구현된다.

그러나 최근에는 ADC의 아날로그 신호처리를 디지털 주변회로의 도움으로 대체하거나, 새로운 신호처리 개념을 도입하는 등, 각 구조가 가



〈그림 2〉 8b 1GS/s 폴딩 ADC의 블록 다이어그램과 0.18um CMOS 공정으로 구현된 시제품 칩 사진

지고 있던 장점을 혼합하여 설계하는 형태로 발전되고 있다. 몇 가지 사례를 제시하면, 낮은 변환속도의 SAR ADC는 병렬처리기법을 통해 최대 수십GHz의 변환속도로 구현이 가능하며, 8b 이하 해상도 구현을 위해 주로 사용되었던 폴딩 ADC의 경우 수GHz의 변환속도를 유지하면서 최대 12b 해상도까지 확장되어 구현되고 있다 [3]. 이와 관련된 기술적인 사항은 III, IV장에 걸쳐 자세히 언급한다.

III. 데이터 변환기의 기술개발 동향

1. DAC 기술개발 동향

최근 고속의 영상 신호처리 및 광대역 통신시스템이 급격하게 발전함에 따라 시스템 구성을 위한 고속 고해상도의 DAC가 필수적으로 요구되고 있다. 이에 따라 높은 변환속도, 고해상도를 모두 만족하면서 낮은 전원전압 사용으로 시스템 내부에 디지털 회로와 온-칩이 가능한 CS-DAC 구조가 많은 응용분야에 다양하게 사용되고 있다. 이를 반영하듯 최근 해외 유명저널

에 발표된 DAC 논문의 경우 CS-DAC 구조에 대한 연구 결과가 집중되어있다.

이러한 CS-DAC의 경우 높은 변환속도를 만족하며 다양한 응용분야에 적용이 가능한 장점이 있지만, 공정 오차 및 고속 동작 시 출력단에서 발생하는 글리치 등에 의해 DAC의 성능이 저하되는 단점을 지닌다. 이에 따라 최근 CS-DAC의 기술개발은 구조적 변화보다는 전류셀의 매칭특성을 극대화 하고 소면적으로 구현하기 위한 layout 기법 등이 활발히 연구되고 있는 추세이다. 또한 CS-DAC의 동작성능에 가장 큰

〈표 1〉 고성능 DAC의 최신연구 동향

해상도	변환속도	구조	공정	비고
14b	200MS/s	Current string	0.18um CMOS	JSSC '07
12b	3GS/s	Current string	65nm CMOS	JSSC '09
11b	8.6GS/s	Current string	SiGe	JSSC '10
9b	2MS/s	Resistor string	0.5um CMOS	JSSC '09
8b	12GS/s	Current string	90nm CMOS	JSSC '08
6b	3GS/s	Current string	130nm CMOS	JSSC '08

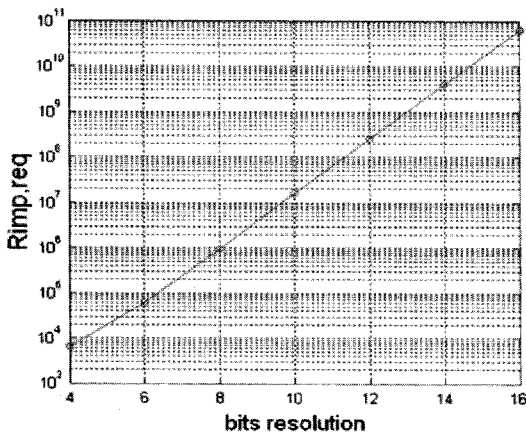
영향을 미치는 전류셀의 출력 임피던스를 높이는 설계방법에 대한 연구가 활발하다.

가. 출력 임피던스 향상기법

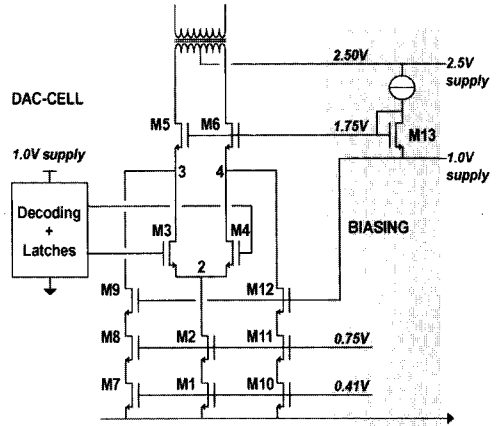
CS-DAC의 주요 성능지표인 SFDR, INL 및 DNL은 모두 전류셀의 출력 임피던스와 밀접한 관련이 있다. 식 (1)에서 단위 전류셀의 출력 임피던스(r_o)가 클수록 INL이 작아지는 것을 알 수 있다. 예를 들어 12b 해상도 CS-DAC의 INL 및 DNL이 0.5LSB 이하를 만족하기 위한 최소의 출력 임피던스는 300M Ω 이다^[4]. 이를 도표로 나타내면 <그림 3>과 같다.

$$INL = \frac{I_{unit} \times R_L^2 \times N^2}{4r_o} \quad (1)$$

일반적으로 전류셀의 출력 임피던스를 증가시키기 위해서는 cascode 방식의 전류원을 사용하는 방법이 가장 일반적이지만, cascode 방식의 전류원은 낮은 전원전압에서 출력 신호의 크기를 제한함과 동시에 확장성이 제한되는 문제점을 지닌다. 이러한 문제점을 해결하기 위하여 최



<그림 3> DAC 해상도 VS 출력 임피던스^[4]



<그림 4> 전원전압 분할구조의 전류셀^[5]

근에는 <그림 4>와 같이 전원전압을 분할해서 전류셀을 구성하는 회로설계 기법^[5]이 시도되고 있다.

나. 전류셀 배치기법

일반적으로 전류셀은 차동 증폭단과 같은 구조로 구현되어 있으므로 공정상의 오차가 발생할 경우 전류셀간의 정확한 전류비를 기대할 수 없게 되며, 이 경우 DAC의 최종출력인 아날로그 신호의 선형성은 급격히 저하된다. 이와 같은 전류셀의 공정오차를 최소화하기 위해 랜덤워크 또는 공통중심(Common-centroid) 배치기법을 사용하여 공정 부정합에 의한 성능저하를 줄일 수 있다. <그림 5>에 일반적인 2차원 공통중심 구조의 전류셀 배치기법을 도식화 하였다.

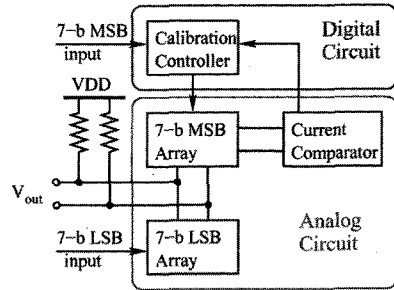
이와 같은 전류셀 배치 기법은 매우 다양한 방식으로 구현할 수 있으며, 온도계 구조에서는 하나의 셀을 1/4등분하여 4군데의 위치가 대칭구조를 가지게 함으로써 간단히 구현할 수 있다. 다만 복잡한 형태의 전류셀간 연결로 인해 기생 저항 및 커패시터성분이 증가하여 고속 동작을 저해하는 하나의 단점으로 작용한다.

	1	10	13	15	14	12	11	1	
	10	9	5	7	8	6	9	11	
	13	5	4	2	3	4	6	12	
	15	7	2	B1	B2	3	8	14	
	14	8	3		B3	2	7	15	
	12	6	4	3	2	4	5	13	
	11	9	6	8	7	5	9	10	
	1	11	12	14	15	13	10	1	

〈그림 5〉 2차원 centroid 전류셀 배치

다. DAC 자가 보정기법

CS-DAC가 비교적 높은 해상도 및 빠른 동작 속도를 갖는 구조이지만, 부가적인 보정기법 없이 14b 이상, 수백 MHz의 동작속도를 보장하기는 어렵다. 〈그림 6〉은 전류셀의 오차를 전류 비교기를 통해 감지한 뒤 이를 디지털 영역에서 보정하는 설계기법이 적용된 DAC^[6]의 개념도이다. 비록 보정회로로 인해 전체 DAC의 면적 및

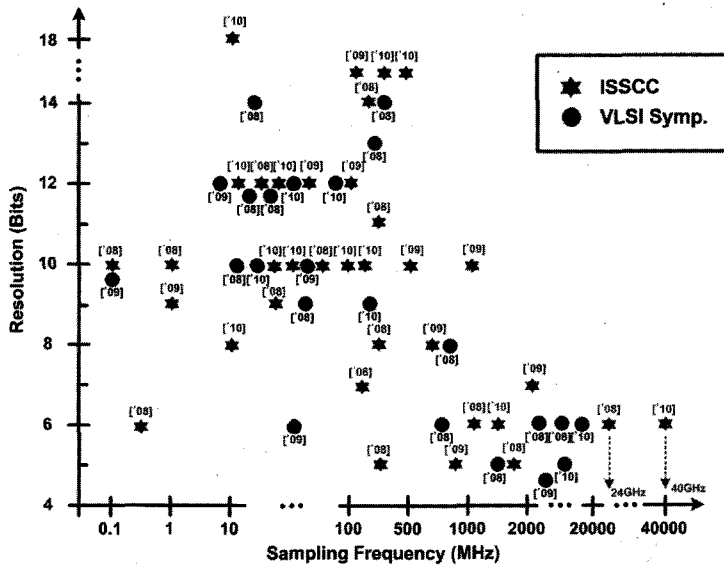


〈그림 6〉 자가 보정회로가 포함된 CS-DAC

전력소모가 커진다는 단점을 지나지만, 최신의 보정기법은 대부분 디지털 영역에서 이루어지기 때문에 그 증가분이 미미하고 CMOS 공정의 가속적인 스케일링으로 인해 좀 더 손쉽게 보정회로를 구현할 수 있다.

2. ADC 기술개발 동향

최신 ADC의 기술개발 동향을 알기위해 최근 3년간 ISSCC 및 VLSI Symposium에 발표된 논문들을 〈그림 7〉에 정리하였다. 파이프라인을



〈그림 7〉 최근 3년간 ('08-'10) ISSCC 및 VLSI Symposium에 발표된 ADC

비롯해 SAR, 폴딩, 플래쉬 등 다양한 구조의 ADC가 수백 KS/s의 낮은 변환속도에서부터 광통신을 위한 40GS/s의 초고속 변환속도까지 다양한 응용분야에 적합한 기술들이 개발되어 발표되었다.

가. 고효율 ADC

ADC의 성능을 객관적 지표로 비교하기 위해 주로 FoM(figure of merit)이 사용된다. FoM은 ADC의 변환속도, 전력소모 및 유효비트수로 표현되며 단위는 [J/conversion-step]으로 ADC의 에너지 효율을 가늠할 수 있는 지표가 된다. 식 (2)에 현재 가장 많이 사용되는 FoM 계산법을 나타내었다.

$$FoM = \frac{Power\ diss.}{2^{ENOB} \times 2 \times ERBW} [J/conv-step] \quad (2)$$

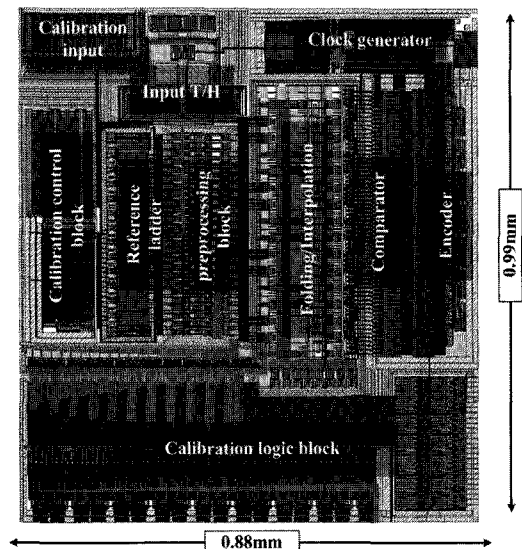
ISSCC는 종종 그해 관심이 높은 분야를 지정해 따로 session을 할애하는 경우가 있는데, 2008년도의 경우 총 8편의 고효율 ADC가 (session 12) 발표되었다. 그 중 4.4f[J/conv-step]의 에너지 효율을 갖는 10b 1MS/s SAR 구조의 ADC는 전하 재분배 기법을 사용한 DAC를 기반으로 1.9 μ W의 초 저전력 소모 특성을 갖는다.

이와 같이 높은 에너지 효율을 갖는 ADC는 모바일 기기를 비롯하여 저전력으로 장시간 구동되어야 하는 시스템에 매우 유용하게 활용되고 있다.

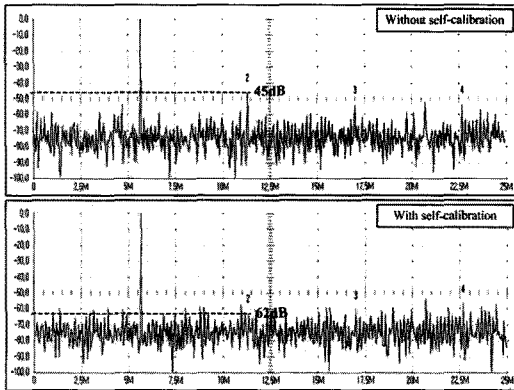
나. ADC 자가 보정기법

서론에 언급한 바와 같이 CMOS 공정의 스케

일링 및 1.2V 이하 저전압에서 아날로그 신호처리의 한계로 인해 이를 디지털 영역에서 보정하는 설계 기법이 활발히 연구되고 있다. 특히 ADC 출력을 외부에서 모니터링한 후 측정보드 상에서 부가적인 시스템을 사용하여 보정하는 외부보정 기법보다는 직접 ADC와 온-칩 구현하여 자체적으로 보정을 하는 자가 보정기법이 연구의 주를 이루고 있다. 이는 미세공정으로 인하여 디지털 회로의 집적도가 높아짐에 따라 가능해진 이점이라 할 수 있다. <그림 8>은 자가 보정기법이 적용된 7b 800MS/s 폴딩 ADC^[7]의 칩 사진이다. 이 시제품 ADC에 적용된 자가 보정기법은 zero-crossing을 형성하는 모든 preamp의 offset 오차를 feedback loop를 통해 자체적으로 오차 범위를 분석한 후 이를 보정할 수 있는 디지털 코드를 선택한 뒤 preamp의 offset을 제어하는 DAC를 조정하여 offset 오차를 보정한다. <그림 9>는 자가 보정회로 동작 전, 후의 측정 비교 결과이다. HD2가 약 15dB



<그림 8> 자가 보정 회로를 포함한 7b ADC^[7]

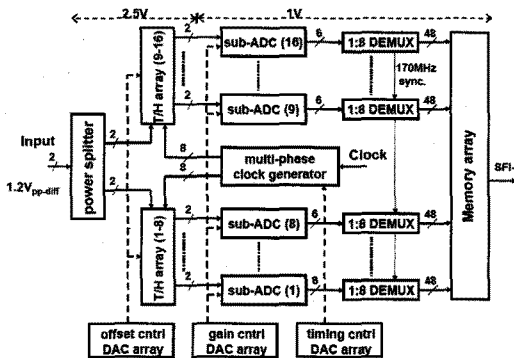


<그림 9> FFT 스펙트럼 [보정 전(上)·후(下)]^[7]

이상 감소되었음을 확인할 수 있으며, 결과적으로 SFDR은 약 10dB 정도 향상되었다.

다. Parallelism (Time-interleaved)

대부분의 전자회로 설계에서 높은 동작속도를 얻기 위해 병렬신호처리 기법을 사용하듯 ADC 또한 단일 ADC를 병렬로 연결하여 변환속도를 높일 수 있다. 그러나 병렬신호 처리 기법은 각 채널간 타이밍 부정합, 이득 부정합 그리고 offset 부정합으로 인해 성능이 급격히 저하되는 단점을 지닌다. 이에 따라 여러 채널을 갖는 병렬 구조에는 반드시 부정합 오차를 감소시키기 위한 보정회로가 필요하다. <그림 10>은 1.5GS/s



<그림 10> 6b 24GS/s ADC (16X Interleaved)^[8]

의 동작속도를 갖는 단일 6b ADC를 16개 병렬 처리하여 최대 24GS/s의 변환속도를 갖는 ADC^[8]의 구조이다. 각 채널간 이득 및 offset 오차를 최소화하기 위한 DAC가 존재하며, 타이밍 부정합을 최소화하기 위해 클럭 발생기 또한 보정회로를 포함한다.

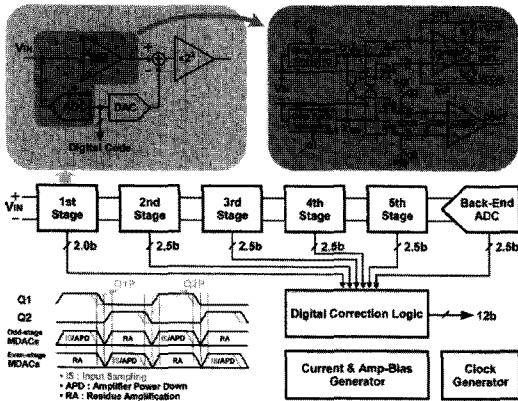
라. SAR ADC

최근 ADC 설계자들에게 가장 큰 관심을 받고 있는 구조는 바로 SAR ADC다. 이를 반영하듯 2010년 ISSCC의 session 21은 총 7편의 고성능 SAR ADC 논문으로 구성되었다. 이 중 18b 12.5MS/s ADC 및 6b 40GS/s ADC는 각각 SAR 구조가 해상도와 변환속도를 얼마만큼이나 확장할 수 있는지 가능성을 보여주었다. 이와 같이 SAR 구조가 최근 각광을 받는 가장 큰 이유는 CMOS 공정의 스케일링에서 오는 손실을 다른 구조보다 덜 둔감하게 느낄 수 있는 구조적 이점을 지녔기 때문이다. 대표적인 예로 대부분의 SAR ADC는 높은 전압이득 및 주파수 특성을 지닌 고성능 증폭기를 필요로 하지 않는다.

마. 파이프라인 ADC

앞서 소개한 바와 같이 ADC의 성능향상을 위해 다양한 구조 및 주변회로들이 연구되고 있지만, 여전히 파이프라인 ADC는 10b 이상의 해상도에서 수십~수백MHz의 동작속도를 얻기 위한 가장 매력적인 구조이다. <그림 11>은 12b의 해상도를 얻기 위해 2.5b(2b) 5단 및 3b 플래쉬 ADC로 구성된 전형적인 파이프라인 구조의 ADC^[9]이다.

최근의 파이프라인 ADC는 낮은 전력소모 및 높은 SNR을 얻기 위해 샘플 앤 홀드 증폭기



〈그림 11〉 12b 50MS/s Pipelined ADC^[9]

(SHA)를 제거한 구조로 많이 구현되는 추세이다. 다만 최초 아날로그 입력신호가 SHA를 거치지 않고 직접 첫 단 MDAC 및 플래쉬 ADC에 인가되기 때문에 <그림 11>과 같은 샘플링 타이밍 오차를 최소화하기 위한 입력단 구성이 필요하다. 또한 최근에는 높은 전력소모를 필요로 하는 증폭기대신 비교기 또는 ZCBC(Zero-crossing based circuit)을 사용하여 MDAC을 구성함으로써 높은 에너지 효율을 기대하는 파이프라인 ADC가 연구되고 있다.

IV. 향후 데이터 변환기의 기술 전망

향후 데이터 변환기의 세부적인 기술 발전 방향을 쉽사리 예측하기는 매우 어려우나, 앞서 정리한 현재의 최신 기술 동향을 파악함으로써 어느 정도의 큰 흐름은 가늠해볼 수 있다.

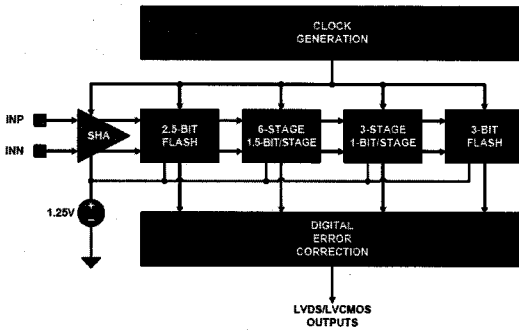
1. DAC 기술 전망

향후 DAC의 기술 개발 방향을 앞서 살펴본 최신 연구 동향에 비추어 예측해 보면, 특수하게

초저전력 DAC를 필요로 하는 응용분야를 제외한 대부분의 경우에는 CS-DAC 구조가 계속해서 넓은 분야 전반에 걸쳐 사용될 것으로 전망된다. 이에 따라 CS-DAC 구조의 성능 향상을 위해 전류셀 출력단의 높은 임피던스를 유지할 수 있는 다양한 전류셀 구조의 개발과 나노 CMOS 공정을 사용함으로써 발생하는 소자들의 부정합을 줄이기 위한 각종 형태의 레이아웃 기법이 연구될 것이다. 또한 전류셀이 사용하는 전력소모는 출력에 사용되는 출력저항의 크기와 출력신호의 범위에 따라 고정되기 때문에 크게 고려되지는 않을 것이다. 그러나 전류셀 구동을 위한 디지털 회로와 보정회로의 중요도가 높아지면서 디지털 영역의 전력소모가 전체 전력소모의 상대적 크기에 큰 영향을 미치게 될 것이다. 이에 따라 DAC의 입력 디지털 신호처리 방식의 변화와 디지털 보정회로 추가 등을 이용하면서 최소한의 전력소모에서 동작속도와 해상도를 증가시킬 수 있는 설계 기술이 발전할 것으로 예상된다.

2. ADC 기술 전망

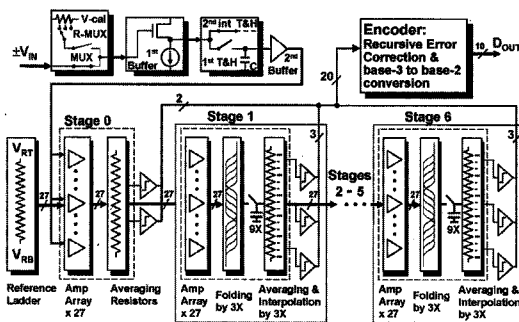
최근(2010년 8월) 미국 Intersil社의 10/12b 500MS/s 및 14b 250MS/s ADC가 새롭게 출시되었다. 이 제품군은 2003년경 MIT의 대학벤처인 Kenet에서 개발된 FemtoCharge™ 기술이 사용되어 기존 동일 성능의 ADC에 비해 약 3배 낮은 전력만을 필요로 한다. 이와 같은 우수한 성능을 가능하게 한 FemtoCharge™ 기술은 기존 파이프라인 구조 ADC에 CCD(charge-coupled device) 처럼 전하패킷을 통과하는 기법을 적용하여 많은 전력소모를 유발하는 증폭기를 제거함으로써 가능하다. 이와 같이 기존 데이터 변환기 기술에 다른 분야의 설계 기법을



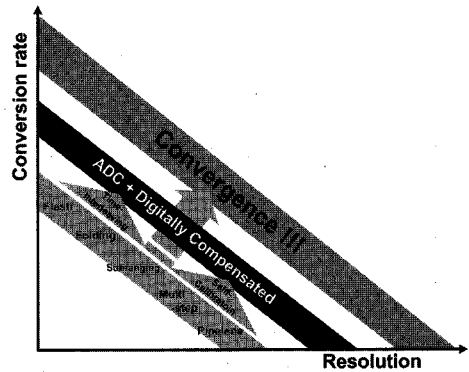
〈그림 12〉 Intersil사의 FemtoCharge™ 기술이 적용된 12-bit 500MS/s ADC^[10]

적용함으로써 지금껏 어려움을 겪고 있던 많은 문제점들을 한 번에 해소할 수 있는 기술적 도약을 이룰 수 있다.

ADC의 기술적 도약을 이룬 또 다른 예로 2009년 National Semiconductor社가 ISSCC에 발표한 폴딩 ADC^[3,11]를 예로 들 수 있다. 이 ADC는 폴딩율이 높아질수록 입력대역폭의 제한되고 zero-crossing 오차증가 및 선형성이 저하된다는 고정관념을 깨고 폴딩율을 무려 $3^6 (= 729)$ 까지 높여 10b 해상도에 1GS/s (단일채널:500MS/s)의 높은 변환속도를 만족한다. 이와 같이 기존의 관념을 뒤집는 구조는 unified 설계 기법을 도입함으로써 가능해졌다. Unified 구조는 동일한 폴딩율, 폴딩증폭기(개수), 인터폴



〈그림 13〉 NS社의 Unified-Folding-Interpolating 기술이 적용된 10-bit 1.0GS/s ADC^[11]



〈그림 14〉 ADC 설계 기술의 발전 전망

레이션율을 갖는 단일블록을 해상도가 요구하는 만큼 나열하여 구성할 수 있다. 또한, 그 구조적 특성상 $n-1$ 블록의 아날로그 출력 신호가 n 번째 블록 아날로그 출력신호의 기준이 되어 폴딩율이 높아져도 오차범위 내에서 자동적으로 보정된다. 이는 언제나 부분이 전체를 닮는 자기유사성을 갖는 프랙탈(fractal) 구조와 흡사하다. 또한 앞서 소개한 FemtoCharge™ ADC와 마찬가지로 자가 보정기법 및 time-interleaved(2x) 구조로 설계되어있다.

이와 같이 향후 ADC 설계 기술은 기존 ADC가 갖는 구조적 단점 및 공정 스케일링에 따른 아날로그 신호처리의 손실을 극복하기 위해 디지털 영역에서 오차 보정이 가능한 주변회로가 강화됨과 동시에 구조간 융복합을 통해 서로의 장점만을 취한 새로운 구조의 ADC가 속속 등장할 것으로 예상된다. 마지막으로 향후 ADC의 기술 전망 추이는 <그림 14>와 같이 진행될 것으로 예상된다.

V. 결론

본 논문에서는 나이퀴스트 데이터 변환기를

중심으로 기존의 구조, 현재의 기술동향, 그리고 향후 연구전망에 대해 논하였다. DAC의 경우는 CS-DAC를 중심으로 연구가 진행되고 있으며, 앞으로도 CS-DAC가 중심이 되어 연구가 계속 진행될 것이다. ADC의 경우는 기존의 SAR, 플래쉬, 폴딩, 파이프라인 등의 구조가 중심이 되어 연구가 진행되어 왔다. 그러나 현재는 각 구조의 장점을 혼합한 하이브리드형태의 구조가 계속 연구 중이며, 이러한 연구는 앞으로도 더욱 가속화 될 것이다. 또한, 디지털 보정기술이 기본적으로 탑재되어 ADC의 성능을 더욱 향상시킬 것으로 전망된다.

VI. 감사의 글

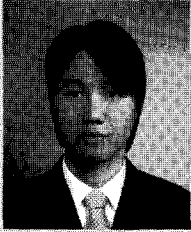
본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었습니다. (NIPA-2010-C1090-1001-0003)

참고문헌

- [1] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그 / 혼성모드 집적시스템 설계," 시그마프레스, 1999.
- [2] 조영재, 임신일, 이승훈, "Data Converters (ADC, DAC) IC 설계기술, 전자공학회지, 제 31권, 제 9호 (통권 제 244호), pp.21-31, 2004년 9월.
- [3] www.national.com/analog/adc/ultra_high_speed_adc
- [4] Junho Moon et al., "Design of a laminated current cell relocation 12-bit CMOS D/A converter with a high output impedance technique and a merged switching logic," Analog Integrated Circuits and Signal Processing, Vol.63, No.3, pp.407-414, June, 2010.
- [5] Chi-Hung Lin et al., "A 12bit 2.9GS/s DAC with IM3 < -60dBc Beyond 1GHz in 65nm CMOS," IEEE J. Solid-State Circuits, Vol.44, No.12, pp.3285-3293, Dec., 2009.
- [6] Tao Chen et al., "A 14bit 200-MHz Current-Steering DAC With Switching-Sequence Post-Adjustment Calibration," IEEE J. Solid-State Circuits, Vol.42, No.11, pp.2386-2394, Nov., 2007.
- [7] 김대윤, 문준호, 송민규, "Offset Self-Calibration 기법을 적용한 1.2V 7-bit 800MS/s Folding-Interpolation A/D 변환기의 설계," 대한전자공학회지 논문지, 제 47권, SD편, 제 3호, pp.18-27, 2010년 3월.
- [8] Peter Schvan et al., "A 24GS/s 6b ADC in 9nm CMOS," in ISSCC Dig. Tech Papers, Feb., 2008, pp.544-545.
- [9] Y. J. Kim, H. C. Choi, G. C. Ahn and S. H. Lee, "A 12bit 50MS/s CMOS Nyquist A/D Converter With a Fully Differential Class-AB Switched Op-Amp," IEEE J. Solid-State Circuits, Vol.45, No.3, pp.620-628, Mar., 2010.
- [10] www.intersil.com/converters
- [11] R. C. Taft et al., "A 1.8V 1.0GS/s Self-Calibration Unified-Folding-Interpolat

-ing ADC with 9.1 ENOB at Nyquist Frequency,” in ISSCC · Dig. Tech. Papers, Feb., 2009, pp.78-79.

저자소개



문 준 호

2005년 8월 동국대학교 반도체과학과 학사
2007년 8월 동국대학교 반도체과학과 석사
2007년 9월~현재 동국대학교 반도체과학과 박사과정

주관심 분야 : CMOS 아날로그 회로, 고성능 데이터 변환기 설계

저자소개



송 민 규

1986년 2월 서울대학교 전자공학과 학사
1988년 2월 서울대학교 전자공학과 석사
1993년 2월 서울대학교 전자공학과 박사
1993년~1995년 동경대학교 초빙연구원
1995년~1997년 삼성전자 ASIC 설계팀 선임연구원
1997년~현재 동국대학교 반도체과학과 교수

주관심 분야 : CMOS 아날로그 회로 설계, 저 전력 혼성 모드 회로 설계, 데이터 변환기 설계