

3개의 스위치를 이용한 벡-부스트 컨버터 설계

A Design of Three Switch Buck-Boost Converter

구용서*, 정준모**

Yong-Seo Koo*, Jun-Mo Jung***

Abstract

In this paper, a buck-boost converter using three DTMOS(Dynamic Threshold Voltage MOSFET) switching devices is presented. The efficiency of the proposed converter is higher than that of conventional buck-boost converter. DTMOS with low on-resistance is designed to decrease conduction loss. The threshold voltage of DTMOS drops as the gate voltage increases, resulting in a much higher current handling capability than standard MOSFET. In order to improve the power efficiency at the high current level, the proposed converter is controlled with PWM(pulse width modulation) method. The converter has maximum output current 300mA, input voltage 3.3V, output voltage from 700mV to 12V, 1.2MHz oscillation frequency, and maximum efficiency 90%. Moreover, the LDO(low drop-out) is designed to increase the converting efficiency at the standby mode below 1mA.

요약

본 논문에서는 기존의 벡-부스트 컨버터의 효율 보다 높은 효율을 갖는 세 개의 DTMOS 스위칭 소자를 사용한 벡-부스트 컨버터를 제안하였다. 낮은 온-저항을 갖는 DTMOS 스위칭 소자를 사용하여 전도 손실을 줄이도록 설계하였다. DTMOS 스위칭 소자의 문턱 전압은 게이트 전압이 증가함에 따라 감소하고 그 결과 표준 MOSFET보다 전류 구동 능력이 높다. 제안한 컨버터는 넓은 출력 전압 범위와 높은 전류 레벨에서 높은 전력 변환 효율을 갖기 위해 PWM 제어법을 이용하였다. 제안한 컨버터는 최대 출력전류 300mA, 입력 전압 3.3V, 출력 전압 700mV~12V, 1.2MHz의 스위칭 주파수, 최대 효율 90% 갖는다. 1mA이하의 대기모드에서도 높은 효율을 구현하기 위하여 LDO를 설계하였다.

Key words : Buck-Boost converter, PWM, PMIC, DTMOS

1. 서론

오늘날의 다양한 기능을 갖춘 수많은 유비쿼터스 휴대용 단말기 중 많은 제품들이 3V 혹은 3.3V의 중간 전압 레일을 요구한다. 그러나 기존의 벡 컨버터나 부스트 컨버터는 배터리 입력 전압의 넓은 범위(2.7V~4.6V)에서 중간 전압 범위를 적절하게 공급하지 못하는 단점을 갖는다.

이러한 문제점을 해결하는 방법으로 벡-부스트 컨버터를 사용하는 방법이 있으나, 벡-부스트 컨버터는 벡 컨버터나 부스트 컨버터에 비하여 효율이 많이 떨어지는 단점을 가지고 있다.

또한 기존의 스위칭 소자로 사용되는 CMOS는 온-저항(on-resistance)을 줄이기 위해 W/L을 크게 설계하였다. 스위칭 소자의 면적을 작게 하면서 낮은 온-저항을 갖기 위한 연구가 진행 되고 있지만 아직까지

* 檀國大學校 電氣電子컴퓨터工學部

(School of Electrical, Electronics, and Computer Engineering, Dankook University)

** 西京大學校 電子工學科

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)

본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)[K10030521, 디스플레이 및 모바일용 PMIC 및 BMIC 개발]과 2010년도 「서울시 산학연 협력사업」의 「나노 IP/SoC 설계 기술 혁신 사업단」의 지원과 지식경제부와 한국산업기술진흥원의 지역산업기술개발사업으로 수행된 연구 결과입니다.

接受日:2010年 5月 22日, 修正完了日: 2010年 6月 29日

CMOS를 대체하는 스위칭 소자가 개발되지는 않았다. 본 논문에서는 기존 벡 컨버터와 부스트 컨버터의 단점 개선을 위해 3개의 스위칭 소자를 사용한 벡-부스트 컨버터를 제안한다. 제안한 컨버터는 기존의 벡 컨버터나 부스트 컨버터와 비교하여 동일 면적에서 동일 효율 또는 적은 효율 감소만으로도 중간 전압 범위를 포함한 넓은 출력 범위를 갖는다. 3개의 스위칭 소자로써 앞서 언급한 스위칭 소자의 문제를 개선하고자 문턱 전압을 낮추어 온-저항을 줄일 수 있는 DTMOS 스위칭 소자를 제안한다. 제안된 소자는 기존의 CMOS공정을 이용하면서 CMOS 소자 보다 더 적은 면적으로 보다 작은 온-저항을 갖는다. 또한, 휴대용 기기의 대기모드에서 높은 효율을 보장하기 위해 대기모드에서는 LDO를 이용하여 전원을 공급, 낮은 로드 조건에서 효율이 급격하게 떨어지는 SMPS의 단점을 보완 하고자 한다.

II. 본론

1. DTMOS(Dynamic Threshold voltage CMOS)

SMPS는 스위치를 차단과 도통 시킴으로써 교류 펄스를 생성하고, 다시 이 교류펄스를 필터를 통해 직류로 바꾼다. 이때 스위치가 온-오프(on-off) 하면서 발생하는 손실은 스위치의 기생 커패시턴스(capacitance)에 의해 발생하는 스위칭 손실(switching loss)과 스위치가 도통했을 때 스위치의 온-저항에 의해 발생하는 도통 손실(conduction loss)이 있다[1][2].

스위칭 손실은 스위치의 기생 커패시턴스와 스위칭 주파수에 비례한다. 한편 스위치의 크기는 최대 출력 전류에 의해 결정되고, 스위칭 주파수 역시 SMPS를 PWM(Pulse Width Modulation)방식으로 제어했을 때 고정된다. 이와 같이 스위칭 손실은 고정된 요인이지만, 스위치의 온-저항에 의한 도통 손실은 출력 전류가 커질수록 증가하게 된다.

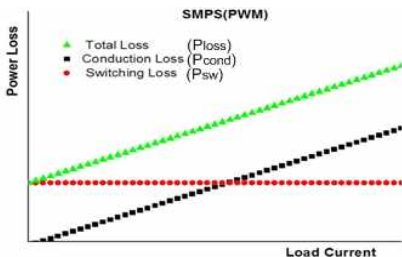


Fig. 1. Analysis of SMPS efficiency loss
그림 1. SMPS 효율 손실 분석

$$P_{loss} = P_{cond}(I_{load}) + W_{sw}f_{sw} \quad (1)$$

그림 1과 식 (1)에서와 같이 출력전류가 커질수록 도통 손실은 점점 증가하여 높은 출력전류에서는 스위칭 손실보다 더 커지게 된다[3]. 결국 SMPS의 효율을 높이기 위해 낮은 온-저항을 갖는 스위치의 개발은 필수적이다.

회로 성능의 손실 없이 저전력을 구현하려면 공급 전압의 축소에 따라 문턱전압도 줄여야 하는데, 이는 대기상태에서의 누설전류(leakage current)의 양 때문에 한계가 있다. 이 문제에 대한 해결책으로 동적 문턱전압(dynamic threshold voltage) 기술이 있다. 동적 문턱 전압 기술은 로직 천이(logic transition)시에는 낮은 문턱전압을, 대기상태에서는 높은 문턱전압을 가지게 하여 동작속도는 빠르게 하면서 대기상태의 전력 소모는 줄이는 기술이다[4][5].

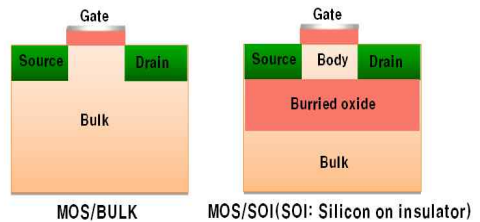


Fig. 2. Bulk NMOS and NMOS with SOI wafer
그림 2. Bulk NMOS와 SOI 기판에서의 NMOS

그림 2는 SOI 기판(bulk)을 사용한 NMOS의 단면을 나타낸 것이다. 그림 2의 SOI 기판을 사용한 NMOS 처럼 DTMOS는 게이트와 몸체(body)를 연결시켜 문턱전압이 낮아지도록 한 것이다. 이렇게 하여 낮아진 문턱전압으로 인해 동일한 면적과 게이트 전압에서 더 많은 전류를 흘릴 수 있게 되어 스위칭 소자에서 향상된 효율을 기대 할 수 있게 된다. 하지만 이 경우 몸체로 흐르는 누설 전류가 커지게 된다. 몸체로 흐르는 전류를 제어하기 위해서 그림 3과 같은 회로구성을 택하였다.

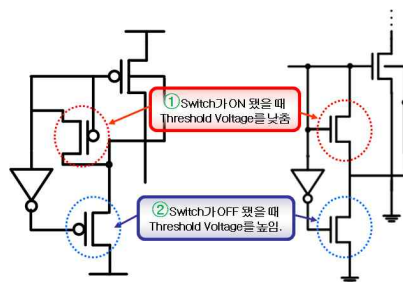


Fig. 3. Leakage current control method in DTMOS
그림 3. DTMOS에서 누설전류 제어기법

제안된 DTMOS는 스위치가 온 됐을 때, 다이오드 연결된 NMOS에 의해 스위치 MOS의 몸체 전압을 제어하여 문턱전압을 낮추고, 스위치가 오프 됐을 때, 각각 PMOS와 NMOS의 몸체 전압을 전원전압과 접지로 만들어 문턱전압을 높인다.

제안된 DTMOS는 스위치가 온 상태에서 낮은 문턱전압으로 인해 기존의 CMOS 스위치 보다 낮은 온-저항을 가진다. 또한, 다이오드 연결된 MOS의 사이즈를 조정하여 높은 전원전압에서도 몸체 쪽 누설전류를 최소화 하여, 기존 DTMOS의 단점인 누설 전류에 의한 전원전압의 제한을 극복하였으며, mediaci와 hspice를 통한 시뮬레이션 결과 소스와 몸체간의 순방향 전압으로 인한 래치-업(latch-up) 또한 발생하지 않았다.

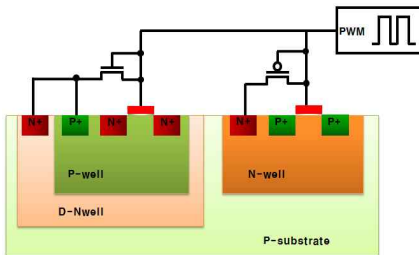


Fig. 4. The design of DTMOS in Bulk CMOS
그림 4. Bulk CMOS에서의 DTMOS 구현.

한편 본 논문에서는 SOI 기판을 사용하는 DTMOS를 PWM 제어회로와 one-chip화 시키기 위해 CMOS 공정을 통하여 DTMOS를 구현하였다. 그림 3의 MOS/SOI와 같이 SOI 기판에 구현을 하던 것과 달리 그림 4에서는 일반적인 실리콘 기판에 deep-nwell을 사용하여 기판과 몸체를 격리시켜 소자를 구현하였다. 이렇게 함으로써 스위칭 소자와 PWM 제어를 one-chip으로 구현할 수 있게 되었다.

가. DTMOS 스위치의 특성 분석

본 논문에서 제안한 DTMOS 스위치와 CMOS 스위치의 문턱 전압과 I-V 특성을 비교해 보았다.

특성 비교에 앞서 시뮬레이션에 적절한 스위치의 크기를 정하기 위하여 CMOS 스위치 크기에 따른 SMPS의 효율 변화를 시뮬레이션 하였다[6]-[10].

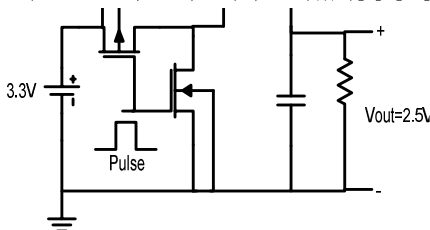


Fig. 5. Buck converter
그림 5. 벅 컨버터

$$efficiency(\%) = P_{out}/P_m \quad (2)$$

회로는 그림 5처럼 구성한 후 CMOS 스위치의 크기를 키워 가면서 식 (2)와 같이 입력 전력(Pin)과 출력 전력(Pout)을 계산하여 효율을 측정 하였다. 출력 전류를 100mA로 하고, 인덕터와 커패시터의 ESR은 고려하지 않았다. 입력을 3.3V로 하고 스위치에 입력되는 펄스의 폭을 조정하여 2.5V의 출력을 만들었다. 이때 인덕터와 커패시터는 각각 6uH와 6uF로 하였다.

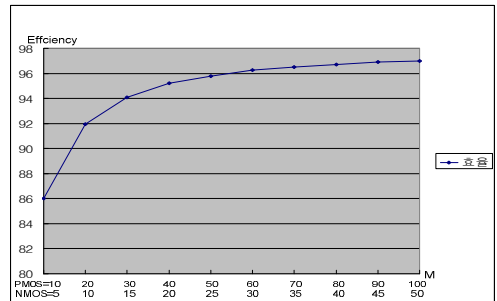


Fig. 6. Switching characteristic simulation circuit
그림 6. 스위칭 특성 시뮬레이션 회로

그림 6을 보면, PMOS와 NMOS의 사이즈가 증가함에 따라서 효율이 증가하는 것을 볼 수 있다. 이때 효율 증가 대비 가장 적절한 스위치의 크기로 PMOS의 M 값 60, NMOS의 M 값을 30으로 결정하였다.

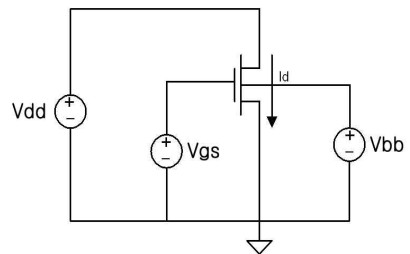


Fig. 7. Switching characteristic simulation circuit
그림 7. Switching 특성 시뮬레이션 회로

I-V 특성 분석을 위하여 그림 7처럼 회로를 구성하여 동일한 W/L (width/length)을 갖는 DTMOS 스위치와 CMOS 스위치를 각각 적용한 후 입력 전압을 증가시켜가면서 문턱전압과 I-V 특성을 측정하였다.

문턱전압은 드레인 전압의 입력을 3.3V로 하고 게이트 전압을 증가시켜가면서 측정하였다.

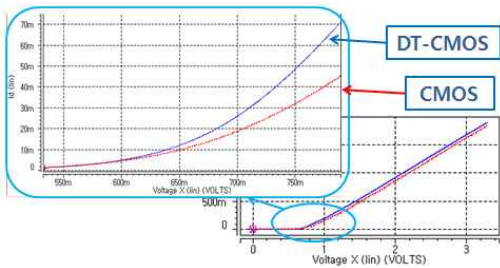


Fig. 8. Threshold voltage comparison of DTMOS and CMOS

그림 8. DTMOS와 CMOS의 문턱전압 비교

그림 8에서 보듯이 DTMOS가 CMOS보다 문턱전압이 낮아짐으로써 같은 전압에서 더 많은 전류의 도통이 가능함을 확인 할 수 있다.

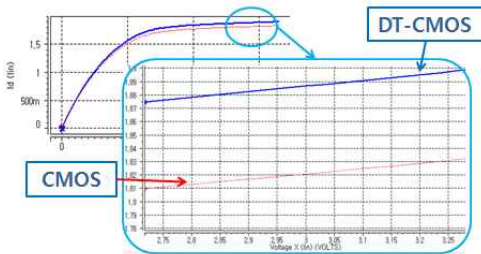


Fig. 9. I-V characteristics of DTMOS and CMOS

그림 9. DTMOS와 CMOS의 I-V 특성

그림 9는 드레인 전압의 증가에 따른 DTMOS와 CMOS 스위치의 I-V 특성 출력 그래프로써, 그림 9에서 보듯이 DTMOS가 CMOS보다 같은 전압에서 더 많은 전류의 도통이 가능함을 확인 할 수 있다.

나. DTMOS 스위치의 효율 분석

부스트 컨버터와 벅 컨버터를 시뮬레이션 하여 DTMOS와 일반적인 CMOS 스위치의 효율을 비교해 보았다. 시뮬레이션 회로는 그림 5와 그림 10처럼 구성하였다.

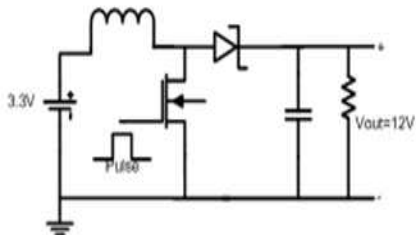


Fig. 10. Boost Converter

그림 10. 부스트 컨버터

CMOS 스위치를 이용한 부스트 컨버터와 벅 컨버터의 효율과 DTMOS를 이용한 부스트 컨버터와 벅 컨버터의 효율을 비교하기 위해 부하 전류의 값을 비교시켜 가며 효율을 비교해 보았다.

로드 전류를 최소 0.1mA부터 최대 300mA로 변화를 시켰을 때, 10mA까지는 CMOS의 효율이 더 높지만, 50mA를 넘어서게 되면서 부스트 컨버터와 벅 컨버터 모두 DTMOS의 효율이 더 높아 지는 것을 그림 11과 그림 12를 통해 알 수 있다.

부스트 컨버터에서 100mA의 출력 전류를 기준으로 하여 결과를 살펴 보면 CMOS의 효율이 93.3%인데 비하여 DTMOS의 효율은 94.1%이다. 스위칭 소자의 사이즈가 같을 때 DTMOS 효율이 0.8% 높게 결과가 나왔으며, 부하전류가 커질수록 효율의 차이는 더욱 커진다.

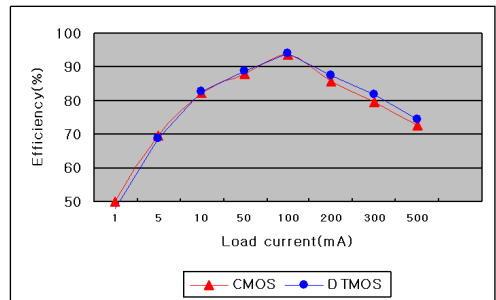


Fig. 11. The efficiency of Boost Converter with load current variation

그림 11. DTMOS와 CMOS 스위치를 이용한 부스트 컨버터의 로드제 따른 효율 변화

벅 컨버터에서는 100mA의 출력 전류를 기준으로 하여 결과를 살펴 보면 CMOS의 효율이 96.25%인데 비하여 DTMOS의 효율은 97%이다. 만약 CMOS로 97% 정도의 효율을 내려면 CMOS의 사이즈는 약 2배가 되기 때문에 사이즈가 매우 커지게 된다.

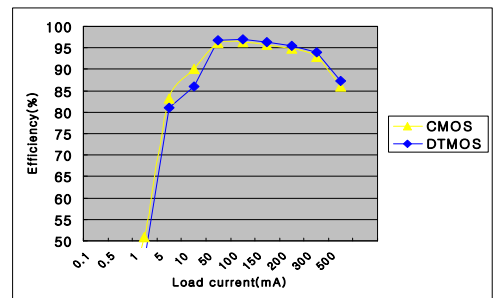


Fig. 12. The efficiency of Buck Converter with load current variation

그림 12. DTMOS와 CMOS 스위치를 이용한 벅 컨버터의 부하에 따른 효율 변화

2. 3개의 스위치를 사용한 벡-부스트 컨버터의 구성

그림 13은 본 논문에서 제안하는 3개의 스위치를 이용한 벡-부스트 컨버터의 전체 블록도이다. 제안하는 컨버터는 벡 컨버터와 부스트 컨버터로 구성된다. 높은 출력 전류에서 고효율을 얻기 위하여 PWM 방식을 사용하여 구현하였다. 기존 벡, 부스트 컨버터에서 각각 PWM 제어부를 사용하는 것과 달리 제안한 컨버터는 결과적으로 PWM 제어부를 공유하여 사용함으로써 하나의 스위치를 추가한 면적 증가의 단점을 보완할 수 있다. 또한 낮은 온-저항을 가진 DTMOS를 스위칭 소자로 사용함으로써 효율을 상승시킬 수 있다.

그림 13의 3개의 스위치 제어회로를 이용하여 입력 전압 보다 작은 출력 전압을 원할 때는 벡 컨버터를 온 시키는 제어 신호를 보내어 벡 컨버터를 온 시킨다. 입력전압과 출력전압 레벨 차이가 크지 않을 경우 벡 컨버터와 부스트 컨버터를 필요에 따라 온-오프 시키는 신호를 보내어 벡 컨버터와 부스트 컨버터를 온 시킨다. 반대로 입력 전압보다 높은 출력 전압을 원할 때는 부스트 컨버터를 온 시키는 제어 신호를 보내어 제안하는 컨버터가 부스트 컨버터로 동작하도록 제어한다.

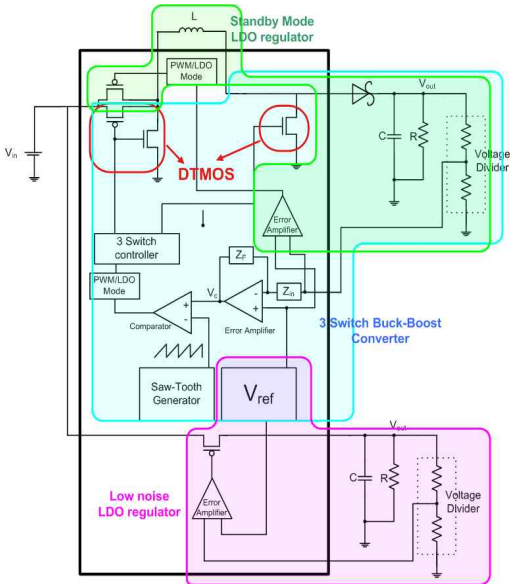


Fig. 13. Three switch Buck-Boost converter block diagram
그림 13. 3개의 스위치를 이용한 벡-부스트 컨버터 블록도

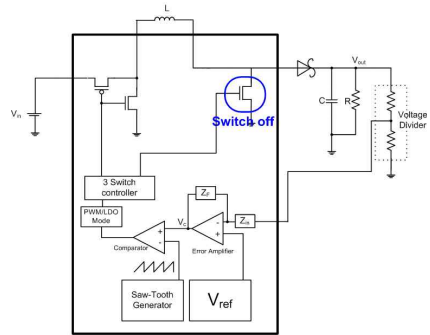


Fig. 14. Buck converter mode block diagram
그림 14. 벡 컨버터 모드 블록도

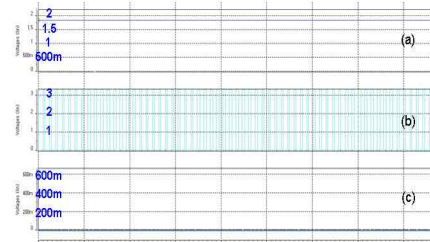


Fig. 15. Buck converter mode simulation result
그림 15. 벡 컨버터 모드 시뮬레이션 결과

가. 벡 컨버터 모드

그림 14는 제안한 컨버터가 벡 컨버터 모드로 동작할 때의 블록도이다. 3개의 스위치 제어기에 의해 가장 오른쪽의 NMOS 스위치가 오프가 되고 제안한 컨버터는 벡 컨버터 모드로 동작하게 된다. 그림 15는 제안한 컨버터가 입력전압이 3.3V이고 벡 모드일 때 1.8V의 출력전압을 갖는 시뮬레이션 결과이다. 그림 15 (b)의 벡 컨버터의 게이트신호와 (c)의 부스트 컨버터 게이트 신호에서 부스트 컨버터에 low 레벨 제어 신호가 입력되어서 벡 컨버터만 동작하고 있는 것을 확인할 수 있다.

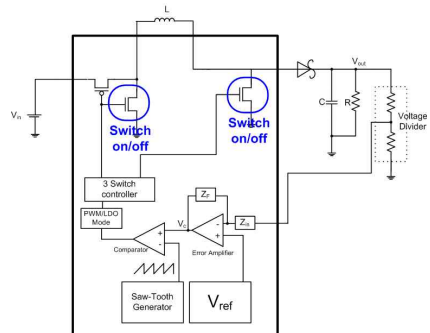


Fig. 16. Rail mode block diagram
그림 16. 레일 모드 블록도

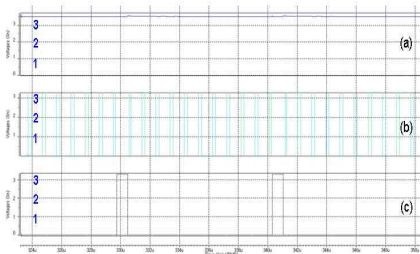


Fig. 17. rail mode simulation result

그림 17. 레일 모드 시뮬레이션 결과

그림 16은 제안한 컨버터가 레일 모드 동작할 때의 블록도이다. 3개의 스위치 제어기에 의해 3개의 스위치 중 중간과 오른쪽의 NMOS 스위치가 온-오프를 하게 되고 제안한 컨버터는 레일 모드로 동작하게 된다. 그림 17은 제안한 컨버터가 입력전압이 3.3V이고 레일 모드일 때 3.2V의 출력전압을 갖는 시뮬레이션 결과이다. 레일 모드의 일정한 출력을 유지하기 위해 그림 17 (b), (c)와 같이 벡 컨버터와 부스트 컨버터에는 low 레벨과 high 레벨의 제어 신호가 입력되어서 벡 컨버터 모드와 부스트 컨버터 모드가 필요에 따라 온-오프 되게 한다.

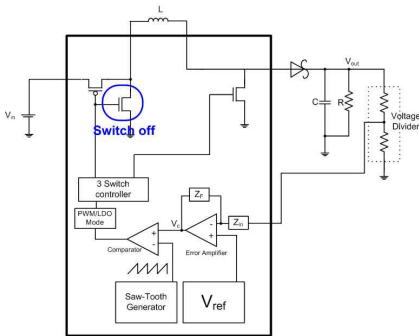


Fig. 18. Boost converter mode block diagram

그림 18. 부스트 컨버터 모드 블록도

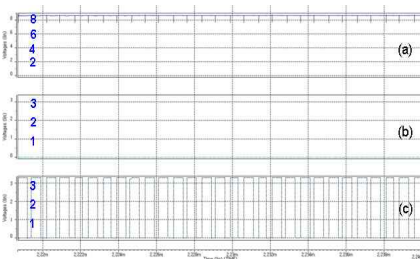


Fig. 19. Boost converter mode simulation result

그림 19. 부스트 컨버터 모드 시뮬레이션 결과

그림 18은 제안한 컨버터가 부스트 컨버터 모드로 동작할 때의 블록도이다. 3개의 스위치 제어기에 의해 중간의 NMOS 스위치가 오프가 되고 제안한 컨버터는 부스트 컨버터 모드로 동작하게 된다. 그림 19는 제안한 컨버터가 입력전압이 3.3V이고 부스트 모드일 때 9V의 출력전압을 갖는 시뮬레이션 결과이다. 그림 19 (b)의 벡 컨버터의 게이트 신호와 (c)의 부스트 컨버터 게이트 신호에서 벡 컨버터에 high 레벨 제어 신호가 입력되어서 부스트 컨버터만 동작되고 있는 것을 확인할 수 있다.

3. LDO 레귤레이터 모드 구현

그림 20을 보는 것과 같이 PWM 방식의 SMPS는 높은 출력전류에서 높은 전력변환 효율을 갖지만 출력전류가 낮아지면 효율이 급격히 떨어진다. 오늘날 휴대용 기기들은 대기모드에서 매우 적은 전류를 소모한다. 대기 전류가 점점 작아지는 추세로 가면서, 대기모드에서 PWM 방식의 SMPS로 전원을 공급하는 것은 매우 비 효율적이다. 반면에 LDO 레귤레이터는 로드 변화에 따라 효율이 크게 변하지 않는다. 즉, 매우 낮은 대기 전류에서도 일정 이상의 효율을 보장할 수 있다.

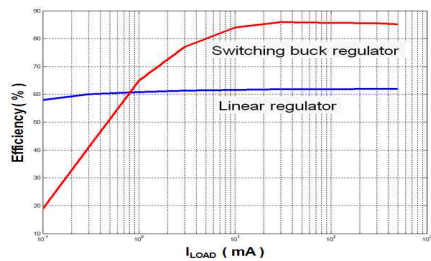


Fig. 20. Efficiency comparison of LDO and SMPS

그림 20. LDO와 SMPS의 효율 비교

휴대용 단말기의 대기모드에서도 일정한 효율을 보장하기 위해 본 논문에서는 대기모드에서 LDO를 이용하여 전원을 공급하였다[11].

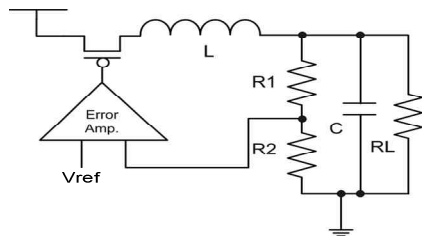


Fig. 21. Block diagram of LDO

그림 21. LDO의 블록도

그림 21은 LDO의 블록도이다. 분배 저항과 부하 커패시터, 기준전압 발생기는 기존의 백 컨버터에 있는 것을 그대로 사용하였고, 오차 증폭기만 하나 추가 하여 백 컨버터에서 추가되는 외부 소자 없이 LDO 동작을 구현하였다. LDO 모드 추가에 따른 면적 증가는 4mm^2 으로서 전체 동작 면적 232mm^2 에서 적은 면적 증가로 저전류에서 높은 효율을 구현하였다.

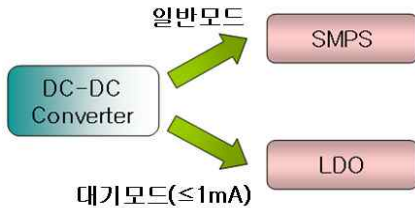


Fig. 22. Operation mode of DC-DC converter
그림 22. DC-DC 컨버터 동작모드

그림 22처럼 DC-DC 컨버터는 일반모드에서는 SMPS(백 컨버터)로 동작하다가 단말기가 대기모드로 되면 두 개의 스위치가 차단되고 LDO가 동작하게 된다. 일반모드와 대기모드는 외부의 제어에 의해서 동작하도록 설계하였다. 1mA의 로드전류 조건에서 백 컨버터는 약 28%의 효율을 갖지만, 본 논문에서 설계한 LDO는 약60%의 효율을 가짐으로써, 단말기가 대기모드에서도 일정 이상의 효율을 유지하도록 하였다.

4. Layout

그림 23은 제안한 3개의 스위치를 이용한 백-부스트 컨버터의 레이아웃이다. 스위치 사이즈가 큰 관계로 3개의 스위치를 각각 3개의 멀티핑거로 구현하였다. 또한 PWM 제어부와 3개의 스위치 제어부를 one-chip화 할 수 있도록 구현하였다.

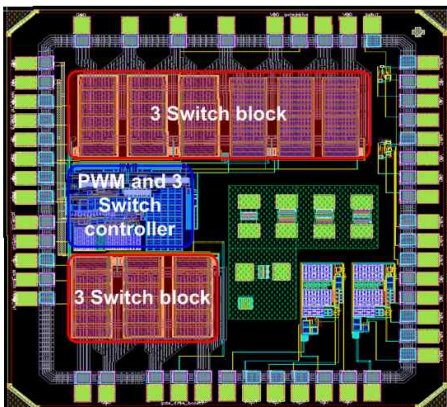


Fig. 23. Layout of 3 Switch Buck-Boost converter
그림 23. 3개의 스위치를 이용한 백-부스트 컨버터 레이아웃

III 결론

본 논문에서는 기존의 백-부스트 컨버터의 효율 보다 높은 효율을 갖는 3개의 스위칭 소자를 사용한 백-부스트 컨버터를 설계하였다. 기존의 CMOS 스위칭 소자 대신 DTMOS 스위칭 소자를 사용하여 동일 면적 대비 고효율을 구현하였다. 제안한 컨버터는 동일 면적 및 동일 효율 또는 적은 효율 감소만으로도 넓은 출력 전압 범위를 갖도록 설계 하였다. 백-부스트 컨버터는 고전류에서 고효율을 위해 PWM 제어법을 이용하여 제어하였다. 제안한 컨버터는 최대 출력전류 300mA, 입력 전압 3.3V에 출력전압 $700\text{mV} \sim 12\text{V}$, 1.2MHz의 스위칭 주파수를 갖는다. 최대 효율은 90%를 갖도록 설계하였다. LDO 레귤레이터를 사용하여 출력전류 1mA 이하의 대기모드에서도 60% 이상의 효율을 보장하였다.

마지막으로 TSMC 130nm 공정을 사용하여 3개의 스위치를 이용한 백-부스트 컨버터를 설계하고 레이아웃 하였으며, 향후 제작될 IC는 넓은 출력범위를 요구하는 휴대용 단말기에 적용 가능할 것으로 기대된다.

참고문헌

- [1] 김희준, “스위치 모드 파워 서플라이” 성인당, 경기, 1993.
- [2] Sanjaya Maniktala, “Switching Power Supplies A to Z” Newnes, Burlington, pp. 61-234, 2006.
- [3] B. Arbetter, et. al., “DC-DC Converter Design for Battery-Operated Systems,” IEEE Power Electronics Specialists Conference, 1995 Record, June 1995.
- [4] Chris Toumazou, et. al., “Trade-Offs in analog Circuit Design,” Springer, pp. 139-204, 2004.
- [5] Fariborz Assaderaghi, et. al., “A Dynamic Threshold Voltage MOSFET(DTMOS) for Very-Low Voltage Operation,” IEEE Electron device letters, vol, 15, no. 12, pp. 510-512, Dec. 1994.
- [6] K. Mark Smith, Jr., et. al., “A Comparison of Voltage-Mode Soft-Switching Methods for PWM Converters,” IEEE Trans. Power Electronics, vol. 12, no. 2, pp. 376-386 Mar. 1997
- [7] Atsuo Fukui, et. al., “Design Consideration

for a 2 MHz Synchronous Buck Converter in CMOS," ISPSD 2004, pp. 71-74, 2004.

- [8] A. Djemouai, et. al., "New CMOS Integrated Pulse Width Modulator for Voltage Conversion Applications," ICECS 2000, vol.1, pp. 116-119, 2000.
- [9] Lu Chen, et. al., "Design and Test of a Synchronous PWM Switching Regulator System", IEEE APCCAS 2000, pp. 517-520, 2000.
- [10] Baker, "CMOS Circuit Design and layout", Wiley, 2005.
- [11] Bang.S. Lee, "Technical Review of Low Dropout Voltage Regulator Operation and Performance", Texas instruments application report pp. 1-25, Aug. 1999.

저 자 소 개

구 용 서 (정회원)

전기 전자 학회 논문지

(Journal of IKEEE) Vol. 8, No. 1 참조

정 준 모 (정회원)



1985년 한양대학교 전자공학과
학사졸업

1987년 한양대학교 전자공학과
석사졸업

1992년 한양대학교 전자공학과
박사졸업

1991년~1995년 부천대학 전자
계산기과 조교수

1995년~현재 서경대학교 전자공학과 부교수

<주관심분야> 반도체회로 설계 및 테스트, 마이크로
프로세서