

# DTV 튜너를 위한 CMOS Fractional-N 주파수합성기

## A CMOS Fractional-N Frequency Synthesizer for DTV Tuners

고 승 오\*, 서 희 택\*, 박 중 태\*, 유 중 근\*\*  
Seung-O Ko\*, Hee-Teak Seo\*, Jong-Tae Park\*, Chong-Gun Yu\*\*

### Abstract

The Digital TV(DTV) standard has ushered in a new era in TV broadcasting and raised a great demand for DTV tuners. There are many challenges in designing a DTV tuner, of which the most difficult part is the frequency synthesizer. This paper presents the design of a frequency synthesizer for DTV Tuners in a 0.18 $\mu$ m CMOS process. It satisfies the DTV(ATSC) frequency band(54~806MHz). A scheme is proposed to cover the full band using only one VCO. The VCO has been designed to operate at 1.6~3.6GHz band such that the LO pulling effect is minimized, and reliable broadband characteristics have been achieved by reducing the variations of VCO gain and frequency step. The simulation results show that the designed VCO has gains of 59~94MHz( $\pm$ 17.7MHz/V, $\pm$ 23%) and frequency steps of 26~42.5MHz( $\pm$ 8.25MHz/V, $\pm$ 24%), and a very wide tuning range of 76.9%. The designed frequency synthesizer has a phase noise of -106dBc/Hz at 100kHz offset, and the lock time is less than 10 $\mu$ sec. It consumes 20~23mA from a 1.8V supply, and the chip size including PADS is 2.0mm $\times$ 1.8mm.

### 요 약

최근 TV 방송의 새로운 시장인 DTV 시장이 넓어지면서 DTV 튜너에 대한 요구도 많아지고 있다. DTV 튜너를 설계하는 데에는 많은 어려운 부분이 있지만, 가장 어려운 부분 중에 하나가 주파수합성기이다. 본 논문에서는 DTV 튜너를 위한 주파수합성기 회로를 0.18 $\mu$ m CMOS 공정을 사용하여 설계하였다. 설계한 주파수합성기는 DTV(ATSC)의 주파수 대역(54~806MHz)을 만족한다. 하나의 VCO를 사용하여 광대역을 만족시킬 수 있는 구조를 제안하고, LO pulling 효과를 최소화 하기위하여 1.6~3.6GHz 대역에서 동작하도록 설계하였다. 또한 고주파 대역과 저주파 대역에서의 VCO 이득의 차이와 주파수 간격의 변화를 줄여 안정적인 광대역 특성을 구현하였다. 모의실험 결과, 설계한 VCO의 이득은 59~94MHz( $\pm$ 17.7MHz/V, $\pm$ 23%)이고, 주파수 간격은 26~42.5MHz( $\pm$ 8.25MHz/V, $\pm$ 24%)이며, tuning range는 76.9%이다. 설계된 주파수합성기의 위상잡음은 100kHz offset에서 -106dBc/Hz이고, 고착시간은 약 10 $\mu$ s 정도이다. 설계된 회로는 1.8V 전원전압에서 20~23mA의 전류를 소모하며 칩 면적은 PAD를 포함하여 2.0mm $\times$ 1.8mm이다.

*Key words : DTV, LC VCO, Fractional-N, Frequency Synthesizer*

## 1. 서론

최근 모든 미디어 매체들은 기존의 아날로그 방식을 탈피하여 운용상, 구조상 많은 장점을 가지고 있는 디지털 방식으로 변환을 하고 있다[1]. 고화질 고음질과 쌍방향 커뮤니케이션이 가능한 디지털 TV는 아날로그 TV를 대체하고 있다.

\* 仁川大學校 電子工學科

(Dept. of Electronics Engineering, University of Incheon)

★ 교신저자: 유중근 (chong@incheon.ac.kr)

※ 본 논문은 지식경제부 출연금으로 ETRI, 시스템반도체진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.  
接受日:2010年 3月 4日, 修正完了日: 2010年 3月 29日

기존 DTV 튜너용 주파수합성기는 광대역(54~806MHz) 특성을 얻기 위해 여러 개의 VCO가 사용되어 왔다. 기존에 사용된 방법은 2개[15], 3개[2] 또는 4개[3,4]의 LC VCO를 사용하는 것이다. 그러나 이 방법은 주파수 대역 별로 VCO의 특성을 최적화하여 좋은 성능을 얻을 수 있다는 장점은 있으나, 여러 개의 LC VCO를 사용하기 때문에 필요한 on-chip 인덕터의 수가 늘어나서 칩 면적이 커지고 비용이 증가한다는 문제점이 있다.

또한, 광대역 VCO의 경우 주파수가 내려 갈수록 VCO 이득과 tuning curve 간의 주파수 간격이 감소하는 현상이 발생 하는데, 이는 주파수 합성기의 안정도를 향상시키지만, 주파수 지원 범위를 감소시키고 주파수 합성기의 동작을 위한 다른 회로들의 특성 변화를 가져오기 때문에 개선이 필요하다[5].

본 논문에서는 하나의 VCO만을 사용하여 DTV 수신 전 대역에 필요한 LO 신호를 발생시킬 수 있는 방법과 VCO의 발전 주파수에 따른 이득 변화와 주파수 간격 변화를 줄이기 위한 방법을 제안하였다. 제안된 주파수합성기는 Fractional-N 구조[6~10]를 갖으며 0.18 $\mu$ m CMOS 공정을 이용하여 설계되었다.

## II. 회로 설계

### 1. Fractional-N 주파수합성기 구조

본 논문에서 설계한 DTV 튜너를 위한 Fractional-N 주파수합성기의 전체 블록도를 그림 1에 나타내었다. Fractional-N 주파수합성기 회로는 LC-VCO, 위상/주파수검출기(PFD), 전하펌프(Charge Pump, CP), D-Block, 그리고 저역통과필터 역할을 하는 루프필터(Loop filter, LP)로 구성된다.

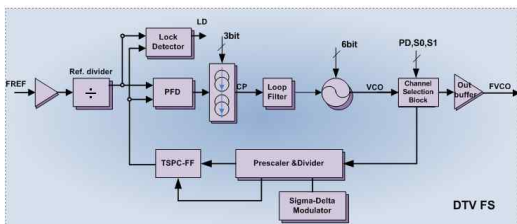


Fig. 1. Fractional-N Frequency Synthesizer  
그림 1. Fractional-N 주파수합성기

VCO에서 생성된 1.6~3.6GHz의 주파수는 Divider

에 의해 4분주 된 후 다시 N/N+1 분주기를 통해 PFD(Phase Frequency Detector)의 기준주파수인 20MHz와 비교하게 된다. 분주기에서 N 또는 N+1을 선택하는 신호 생성에  $\Sigma\Delta$  modulator를 사용함으로써 루프 대역폭 내의 잡음을 대역폭 밖으로 밀어낸다. 대역폭 밖으로 밀려난 잡음은 PLL의 루프필터에 의하여 효과적으로 제거된다. Multi-modulus divider 블록은 4/5 prescaler, 4-bit main counter, 2-bit auxiliary counter 등으로 구성되어 있으며 최소 20분주 최대 45분주모드까지 동작할 수 있도록 설계하였다.

### 2. RF VCO 블록

설계된 주파수합성기의 RF VCO 블록을 그림 2에 보였다. 제안된 회로는 하나의 광대역 LC VCO와 5개의 2분주 회로 및 다수의 버퍼로 구성된다. ATSC(Advanced Television Systems Committee) 방식의 Digital TV 방송 표준 주파수 대역을 만족하기 위해, VCO는 1.7GHz에서 3.4GHz의 대역 범위에서 발전해야 하며, 최종 Mixer에 전달되는 LO 신호는 주파수 분주기와 버퍼를 통해 생성된다. 편의상 주파수 대역을 UHFH(425MHz~850MHz), UHFV(212.5MHz~425MHz), VHFH(106.25MHz~212.5MHz), VHFL(53.125MHz~106.25MHz)로 4등분 하였으며, 대역 선택신호(S1, S0)와 Control logic에 의해 각 대역 신호를 선택적으로 발생시킬 수 있다.

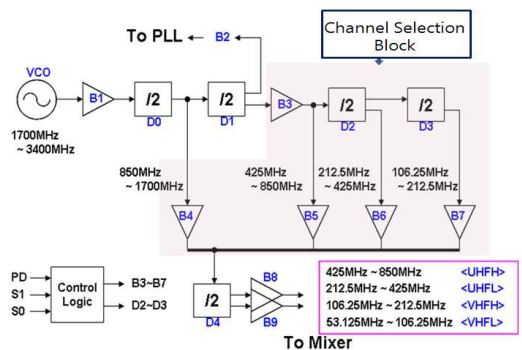


Fig. 2. RF VCO block  
그림 2. RF VCO 블록

VCO의 제어 전압을 제외한, 모든 회로들은 차동으로 구성하여, 공통모드 잡음과, 전원전압의 잡음을 최소화할 수 있게 하였고, divider 설계시 CML

(Current-Mode Logic)[11] 구조를 사용하여 고속 동작에 적합하도록 하였다.

3. 광대역 VCO 설계

그림 3은 설계한 VCO의 블록도이다. 설계한 VCO는 NP-core 형태로써 N-core type에 비해 같은 바이어스 전류 조건하에서 출력 진폭이 크기 때문에 전력 소모 면에서 유리하며, 출력신호파형의 대칭성이 우수한 장점이 있다.

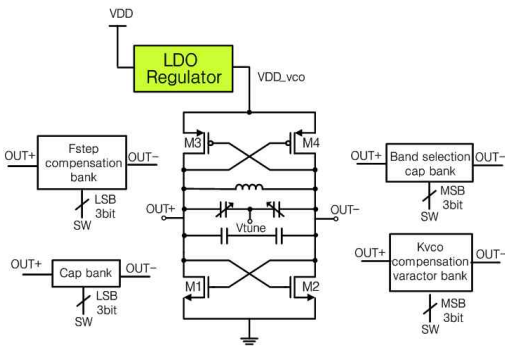


Fig. 3. LC VCO  
그림 3. LC 전압제어발진기

설계된 VCO는 2단의 symmetry 인덕터와 선형성이 좋은 accumulation-mode MOS varactor를 사용하였다. 기존의 NP-core VCO에서 사용되던 bias 전류원을 제거함으로써, bias 전류원에서 발생하는 저주파 플리커 잡음(1/f noise)의 up-conversion 및 고주파 열잡음(thermal noise)의 down-conversion에 의한 위상잡음 열화를 방지하였다. 또한, 광대역에 적합하도록 넓은 tuning range 갖기 위해 6-bit(SW0~SW5) 제어신호로 동작하는 capacitor bank를 구성하였고, 이득 변화와 주파수 간격 변화를 줄이기 위해서 그림 4에서와 같이 Band selection capacitor bank, Kvc0 compensation varactor bank, Fstep(frequency step) compensation bank를 사용하였다.

VCO의 tuning range가 넓기 때문에 주파수 대역을 8개의 band(B0~B7)로 나누었으며, 각 band의 선택은 6bit중 3bit MSB를 이용하여 Binary To Thermometer 회로를 동작시키고 그 출력으로 Band selection capacitor bank를 동작 시켜서 band를 선택한다.

하나의 band 안에서는 3bit LSB를 이용하여 capacitor bank를 동작시켜서 8개의 tuning curve를 얻을 수 있다. 하지만 VCO 이득의 변화율이 각 band마다 크기 때문에 그것을 보상해 주기 위해 3bit

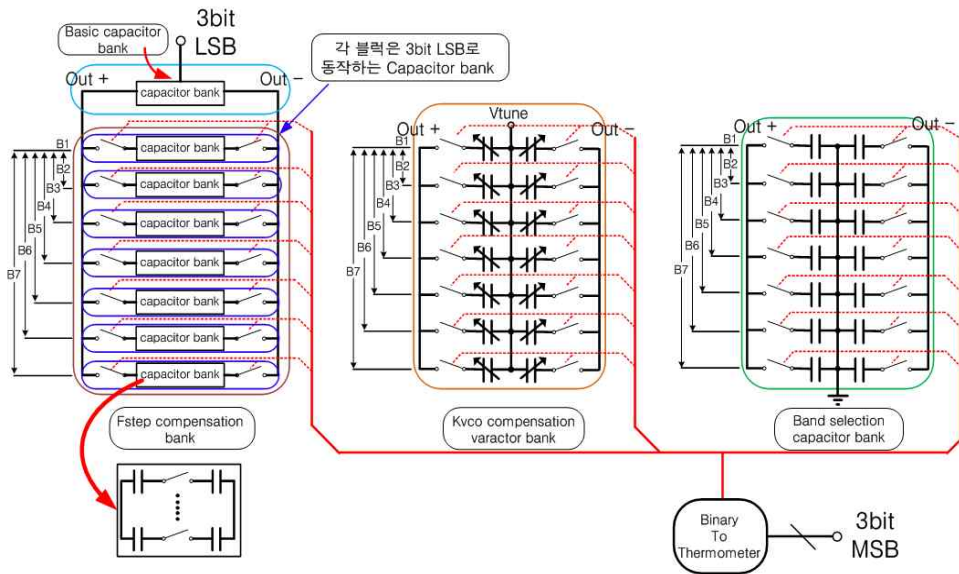


Fig. 4. 6-bit VCO capacitor bank  
그림 4. 6-bit VCO capacitor bank

MSB로 동작하는 K<sub>vco</sub> compensation varactor bank를 사용하였다. 이 bank를 사용하여 각 band에서의 K<sub>vco</sub>를 보상해 줄 수 있다. 또한, F<sub>step</sub>의 변화율을 줄이기 위해 각 band에서 capacitor bank가 동작을 할 때 같은 3bit LSB로 동작하는 F<sub>step</sub> compensation bank를 사용하였다. F<sub>step</sub> compensation bank안의 각 블록은 3bit LSB로 동작하는 또 하나의 capacitor bank이다. 주파수가 내려가면서 band를 선택할 때나 K<sub>vco</sub> 변화와 F<sub>step</sub> 변화를 줄여 줄 때에는, 사용했던 capacitor를 재사용 하는 방식을 적용하여 필요한 전체 capacitance를 줄이고 칩 면적을 줄였다.

4. 전하펌프

전하펌프는 위상/주파수 검출기로부터 발생된 'UpB' 신호와 'DnB' 신호에 의해 전류를 loop filter에 공급하는 역할을 한다. 그림 5는 본 논문에서 설계한 전하펌프(CPsws) 회로이다. 이 구조는 PM3와 NM3의 보조의 트랜지스터를 사용하여 스위칭시 순간적인 높은 침투 전류가 감소하며, 빠른 스위칭 특성을 갖는다. 또한 캐스코드 구조이기 때문에 출력저항이 크며 전류 정합 특성이 우수하다.

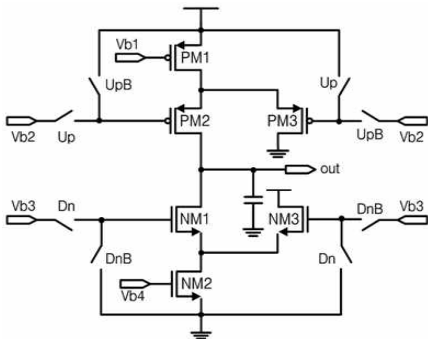


Fig. 5. Charge Pump(CPsws) schematic  
그림 5. 전하펌프(CPsws) 회로도

전하펌프에서 loop filter로 공급되거나 또는 빠져나간 전류에 의해 VCO의 제어전압이 결정되며, 이 제어전압에 의해 VCO의 출력 주파수가 결정된다. 그림 6은 3bit으로 컨트롤 할 수 있는 전하펌프 블록 다이어그램이다. 공급되는 전류의 default 값은 200μA이며, 3bit(bit2~bit0)의 제어 신호로 전하펌프의 전류를 200μA에서 1.6mA까지 변화를 시킬 수 있도록 하였다.

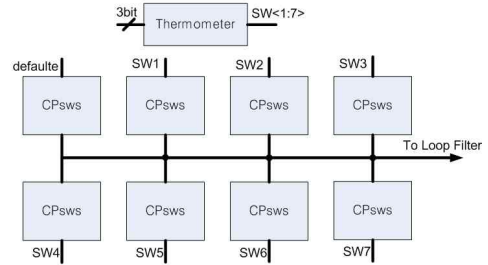


Fig. 6. Charge Pump block diagram  
그림 6. 전하펌프 블록 다이어그램

5. 분수형 분주기 설계

설계된 D-block의 블록 다이어그램을 그림 7에 보였다.

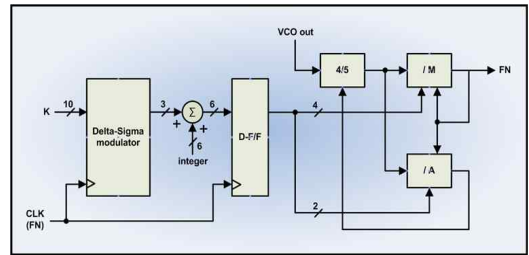


Fig. 7 Block diagram of the D-Block  
그림 7. D-Block 블록 다이어그램

D-block은 fractional spur를 줄이기 위해서 사용되는 시그마-델타 변조기 블록과, multi-modulus 분주기가 가능한 분주기 블록으로 구성되어 있으며, LO 주파수를 프로그램 하는 역할을 수행한다. Multi-modulus 분주기 블록은 dual-modulus 4/5 프리스케일러, 4-bit M-카운터, 2-bit A-카운터 등으로 구성되며 최소 20분주에서 최대 45분주 모드까지 동작할 수 있고, 20MHz의 기준 주파수에서 DTV 튜너를 지원하는 54~806MHz의 주파수를 생성할 수 있도록 설계하였다.

설계한 D-block에 의해서 결정되는 주파수 합성기의 출력 주파수는 다음 식으로 결정된다.

$$f_{vco} = f_{ref} \left( integer + \frac{K}{2^m} \right) = f_{ref} \left( (4 \times M + A) + \frac{K}{2^m} \right)$$

여기서 integer는 분주비의 정수부분이며, K는

frequency word,  $m$ 은 시그마-델타 변조기의 bit 수를 의미한다. 그리고  $M$ 은  $M$ -카운터의 분주비,  $A$ 는  $A$ -카운터의 분주비를 나타낸다. 10-bit 시그마-델타 변조기의 3-bit 출력과 6-bit 정수 분주비 값을 더한 최종 6bit 신호가 multi-modulus 분주기의 분주비를 제어하여 PLL의 전체 평균 분주비를 결정하게 된다.

설계된 3차 MASH 유형의 시그마-델타 변조기를 그림 8에 나타내었다. 일반적인 다단 MASH 구조의 변조기는 단 수가 많아질수록 더 많은 미분기와 덧셈기 구현에 대한 부담이 커진다. 따라서 본 논문에서는 미분기와 덧셈기를 분주비 매핑회로로 대체하여, 칩 면적과 전력 소모를 줄였다. 분주비 매핑회로는 각각의 누산기의 carry 신호인  $C1, C2, C3$ 에 따라 발생하는 분주비의 제어 값을 정의하여 설계하였다.

그림 9는 2분주 된 VCO 출력 신호를 분주하는 4/5 dual-modulus 프리스케일러 회로를 나타낸다. 설계된 회로는 'Mod' 신호가 '0'이면 4분주, '1'이면 5분주 동작을 한다. 고주파의 신호를 분주해야하기 때문에 프리스케일러는 무엇보다도 고속 동작이 보장되어야 한

다. 따라서 프리스케일러의 핵심 블록인 D flip-flop 설계가 중요하다. 본 논문에서는 정적인 전류소모를 하며 고속 동작에 적합한 TSPC 형태 CCD(Clocking dynamic) flip-flop을 설계하여 저 전력으로도 고속 동작을 할 수 있게 설계 하였다[12,13].

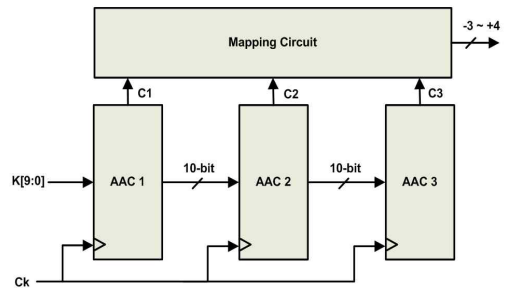


Fig. 8. 3rd-order MASH  $\Sigma$ - $\Delta$  modulator  
그림 8. 3차 MASH 시그마-델타 변조기

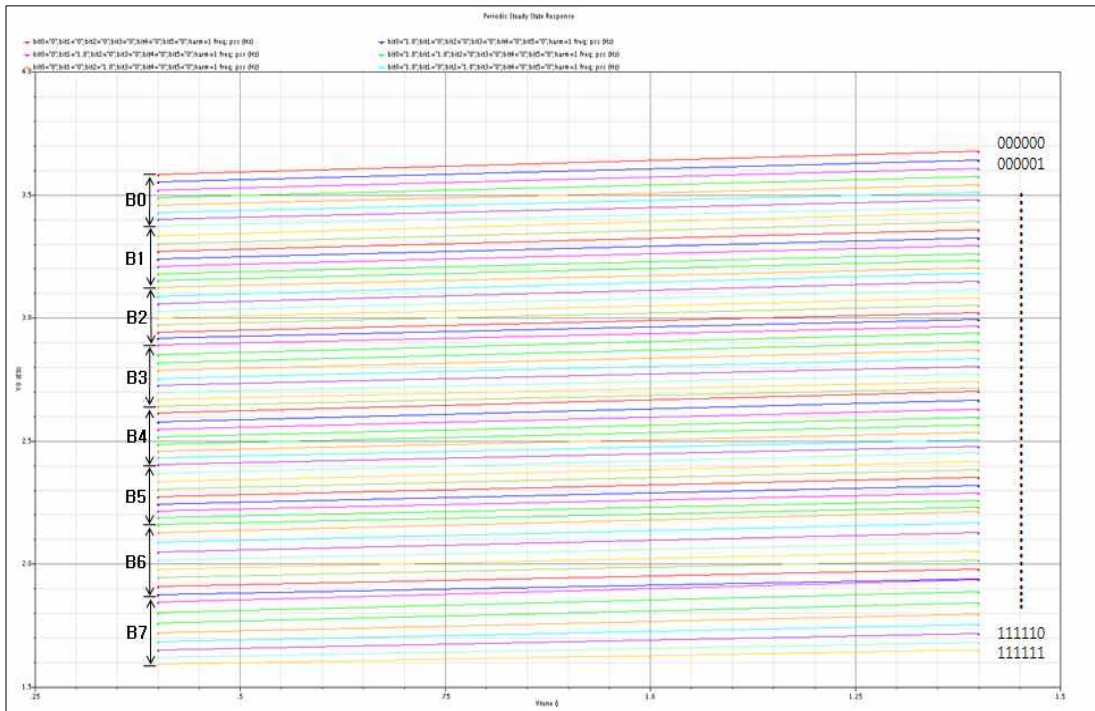


Fig. 10. VCO frequency tuning characteristics  
그림 10. 전압제어발진기의 주파수 조절 특성

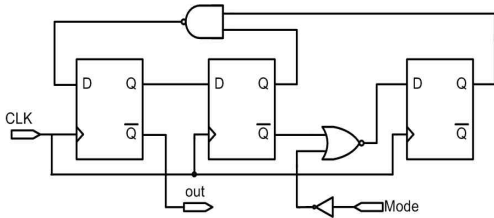


Fig. 9. Schematic of dual-modulus prescaler  
그림 9. Dual-modulus 프리스케일러 회로

### III. 모의실험 결과

설계된 회로의 성능 검증을 위해 0.18 $\mu$ m CMOS 공정 변수를 사용하여 모의실험을 하였다.

설계된 VCO는 그림 10에서와 같은 주파수 조절 특성을 보이며, 제어신호에 따른 VCO 이득의 변화와 주파수 간격 변화 특성은 각각 그림 11, 12와 같다.

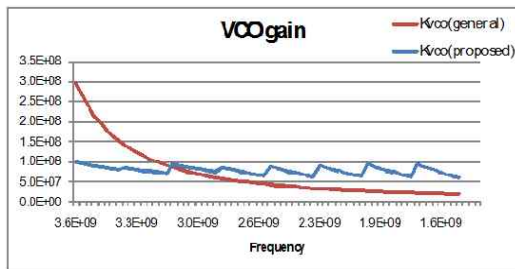


Fig 11. VCO gain variation  
그림 11. VCO 이득 변화

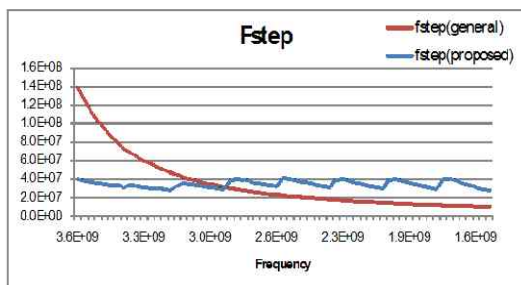


Fig. 12. Frequency step variation  
그림 13. 주파수 간격 변화

6bit 제어신호에 따른 64개의 tuning curve들은 59 ~ 94MHz/V( $\pm 17.7$ MHz/V,  $\pm 23\%$ )의 이득을 가지며, curve 간의 주파수 간격  $F_{step}$ 은 26 ~ 42.5MHz ( $\pm 8.25$ MHz/V,  $\pm 24\%$ )로 안정화 된 것을 알 수 있다. 그림에서 capacitor bank를 하나만 사용한 기존의 회로에서는 이득 변화와  $F_{step}$  변화가 상당히 큰 것을 볼 수 있다. 또한 VCO의 발진 주파수가 1.6GHz부터 3.6GHz까지 넓은 주파수 대역을 커버하고 있어, Channel Select Divider를 통해 DTW 대역의 주파수 영역(54 ~ 806MHz)을 충분히 만족하는 것을 확인 할 수 있다.

그림 13은 VCO의 phase noise 특성을 모의 실험한 결과이다. 3.6GHz의 VCO 발진 신호로부터 divider를 거친 900MHz의 출력신호의 위상잡음은 100kHz offset에서 -106dBc/Hz이다.

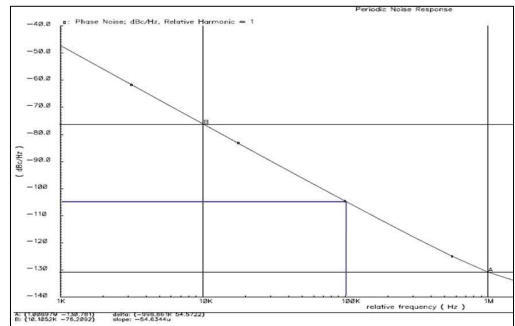


Fig. 13. VCO phase noise  
그림 13. VCO 위상잡음

그림 14는 charge pump의 출력 전압에 따른 Up/Down 전류의 변화를 나타내는 모의실험 결과이다.

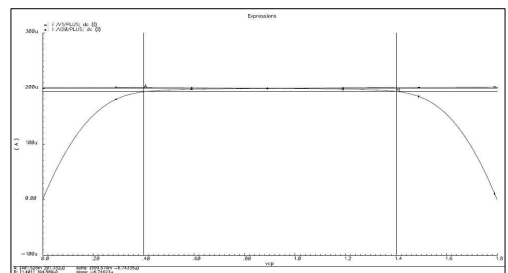


Fig. 14. Current matching characteristic of the CP  
그림 14. 전하펌프 전류정합 특성

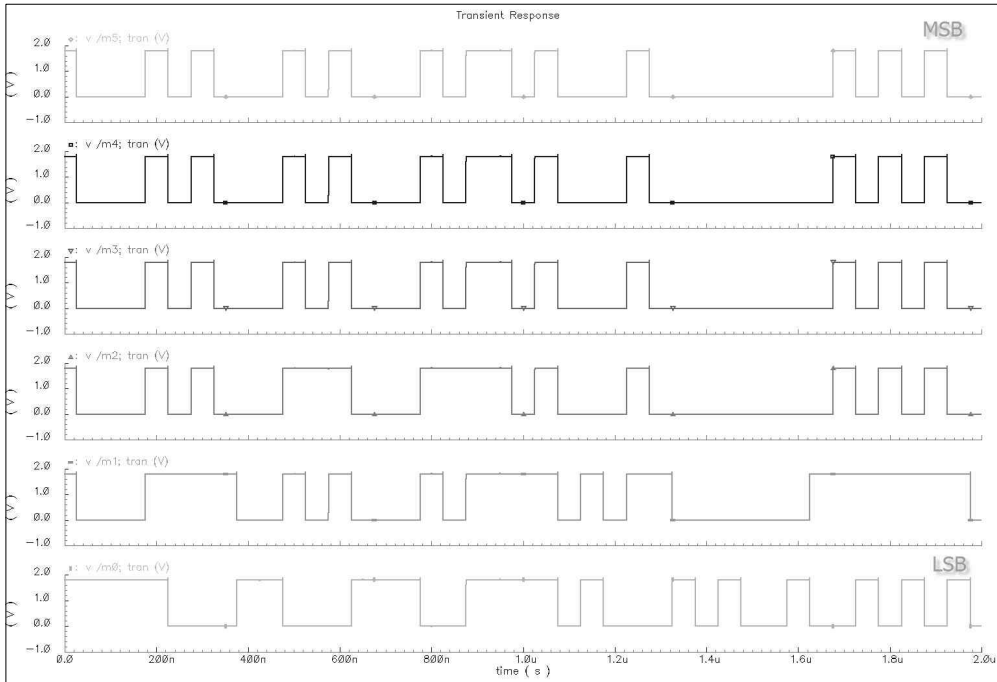


Fig. 15.  $\Sigma$ - $\Delta$  modulator simulation results  
 그림 15.  $\Sigma$ - $\Delta$  modulator 모의실험 결과 (@K=5)

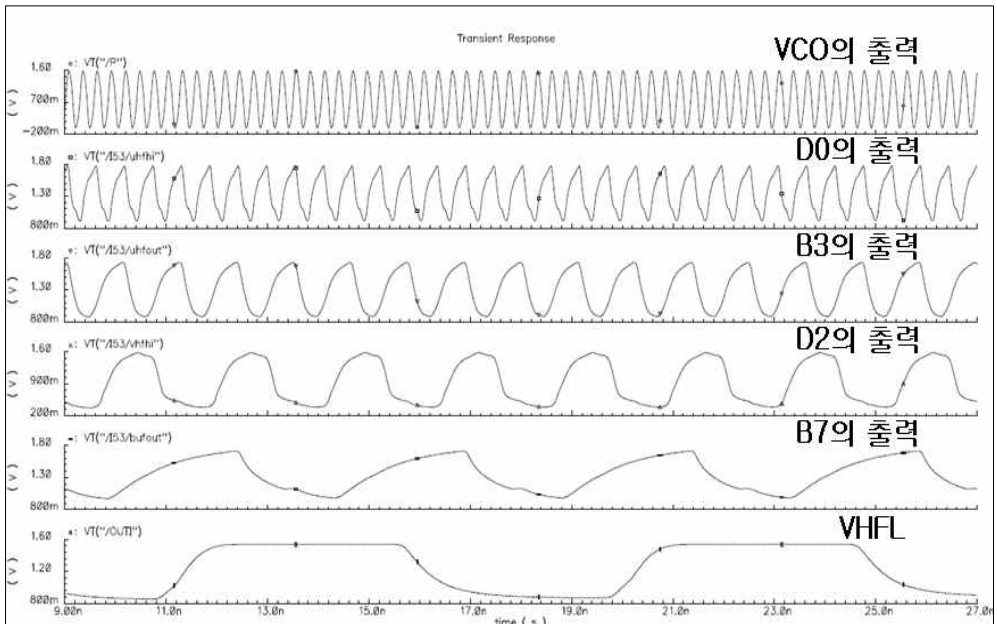


Fig. 16. Transient simulation results  
 그림 16. Transient 모의실험 결과

0.4V에서 1.4V까지의 출력전압에 대해 출력 전류는  $200\mu\text{A}$  기준으로  $\pm 6.7\mu\text{A}$ 의 변화폭을 갖으며, VCO의 제어전압조건을 충분히 만족하는 voltage compliance를 갖는 것을 확인 할 수 있다.

그림 15는  $\Sigma\text{-}\Delta$  modulator의 frequency word 'K'가 5일 때의 modulator 출력을 모의실험 한 결과이다. 그림에 나타난 바와 같이 [-3~4] 사이의 값이 랜덤하게 출력되는 것을 확인 할 수 있다.

그림 16, 17은 전체 회로의 모의실험을 한 결과이다. 그림 16은 최종 출력의 신호가 VHFL 대역 신호가 되도록 Control logic의 입력을 설정한 경우의 transient 해석 모의실험 결과이다. VCO의 출력 신호가 최종 출력이 될 때 까지 divider-by-2 회로와 버퍼를 통해 2분주됨을 알 수 있다.

그림 17은 설계한 주파수 합성기의 VCO의 제어전압에 대한 모의실험 결과이다. 모의실험의 제어전압을 0.9V에서 시작을 하여  $10\mu\text{s}$ 에서 고착 되는 것을 확인하였다. Fractional-N 주파수 합성기의 시그마델타 모듈레이터의 동작에 의해서 고착 된 이후에도 제어 전압의 변화가 다소 크게 나타난다.

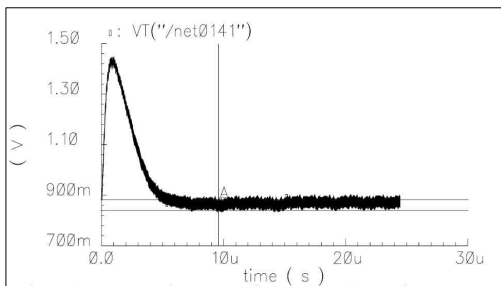


Fig. 17. VCO control voltage simulation result

그림 17. VCO 제어전압 모의실험 결과

그림 18은 설계된 회로의 layout 도면이다. 설계된 DTV 튜너용 주파수합성기 회로는 TSMC  $0.18\mu\text{m}$  MM/RF 1-poly 6-metal CMOS 공정을 사용하여 layout 하였다. Layout시 최대한 parasitic 성분이 적도록 모든 회로를 compact하게 그리고, 차동 구조의 경우 최대한 symmetric하게 그리도록 중점을 두었다. PAD를 포함한 전체 칩 크기는  $2.0\text{mm}\times 1.8\text{mm}$ 이며 core 회로의 크기는  $1.30\text{mm}\times 1.55\text{mm}$ 이다.

표 1에 본 논문에서 설계된 DTV 튜너를 위한 주파수합성기와 기존의 주파수합성기 회로의 특성을 비교하였다. 본 논문에서 설계된 주파수합성기는 다른

회로에 비해 tuning range가 76.9%로 상당히 크면서도 VCO 이득 변화와 주파수 간격의 변화가 작은 것을 알 수 있다. 또한 광대역 특성 대비 면적과 전류소모 면에서도 우수한 특성을 보인다.

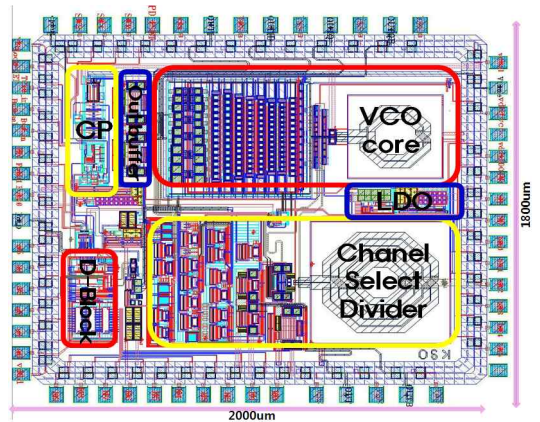


Fig. 18. Frequency synthesizer layout

그림 18. 주파수합성기 layout 도면

## IV 결론

본 논문에서는  $0.18\mu\text{m}$  CMOS 공정을 이용하여 DTV 튜너용 Fractional-N 주파수합성기를 설계 하였다. 하나의 LC VCO만을  $1.6\sim 3.6\text{GHz}$ 의 발진 주파수 범위와 약 77%의 tuning range를 갖도록 설계되었으며, VCO 이득 및 주파수 간격의 변화를 줄여서 안정적인 동작을 할 수 있도록 하였다. 설계된 회로는 DTV(ATSC) 주파수 대역을 만족하며,  $59\sim 94\text{MHz/V}$ 의 VCO 이득과  $26\sim 42.5\text{MHz}$ 의 주파수 간격을 갖는다. 설계된 회로는 1.8V 전원전압에서  $20\sim 23\text{mA}$ 의 전류를 소모하며 칩 면적은 PAD를 포함하여  $2.0\text{mm}\times 1.8\text{mm}$ 이다.



Table 1. performance comparison of the frequency synthesizer for DTV

표 1. DTV용 주파수합성기 성능 비교

	[2]	[5]	[14]	[15]	This Work
Applications	DTV /CATV	mobile DTV	DVB-T ISDB-T	mobile DTV	DTV (ATSC)
Signal band (MHz)	48~860	90~222 470~890 1450~1675	90~862	170~240 470~862 1450~1492 1670~1675	54~806
Number of VCOs	3	1	1	2	1
VCO Freq. (GHz)	1.1~1.5 1.5~1.9 1.9~2.2	0.8~1.14 1.13~1.67	2.3~3.5	0.92~1.82 2.89~3.78	1.6~3.6
Tuning range(%)	28.5, 23.5, 14.6	35, 38.5	41.4	65.5, 13.4	76.9
VCO gain variation(MHz/V)	-	6.2~10.4(±25.3%) 12.1~15.9(±13.6%)	-	37~72(±32.1%)	59.1~94.4(±22.9%)
Fstep variation (MHz/code)	-	-	-	9~16(±28.0%)	26~42.5(±24%)
Phase Noise (dBc/Hz)	-	<-100@1MHz	<-100@100k <-130@1M	<-110@100kHz	<-106@100kHz <-130@1M
Process	0.18um	0.18um	0.18um	0.18um	0.18um
VDD(V)	1.8	1.8	2.2	1.8	1.8
Current(mA)	-	10	70	21~23	20~23
chip size (mm x mm)	-	2.7 x 2.1	1.15 x 1.3	2.5 x 2.5	2.0 x 1.8 (core:1.30 x 1.55)

## 참고문헌

- [1] United States Advanced Television Systems Committee, "ATSC Digital Television Standard," September 1995.
- [2] Supisa Lerstaveesin, et al., "A 48-860MHz CMOS Low-IF Direct-Conversion DTV Tuner," IEEE J. Solid-State Circuit, vol. 43, no. 9, pp.2013-2024 Sep. 2008.
- [3] J. Xiao, et al., "Low-Power Fully Integrated CMOS DTV Tuner Front-End for ATSC Terrestrial Broadcasting," VLSI Design, Article ID 71974, 2007.
- [4] J. van Sinderen, et al., "A 48-860MHz digital cable tuner IC with integrated RF and IF selectivity," ISSCC Dig. Tech. Papers, pp.444-506, Feb. 2003.
- [5] Jecheol Moon, Yong Moon "A Design of Wideband Frequency Synthesizer for Mobile-DTV Applications," Journal of IEEK, vol. 45-SD, NO. 6, pp. 40-49, June 2008.
- [6] B. Miller, B. Conley, "A Multiple Fractional Divider," IEEE transactions on instrumentation and measurement, vol. 40, pp. 578-583, June 1991.
- [7] M. H. Perrott, T. L. Tewksbury III, and C. G. Sodini, "A 27-mW CMOS Fractional-N Synthesizer Using Digital Compensation for 2.5-Mb/s GMSK Modulation," IEEE J. Solid-State Circuits, vol. 32, pp. 2048-2060, Dec. 1997.
- [8] N. M. Filiod, T. A. D. Riley, Calvin Plett, M. A. Copeland, "An Agile ISM Band Frequency Synthesizer with Built-In GMSK Data Modulation," IEEE J. Solid-State Circuits, vol. 33, No. 7, pp. 998-1008, July. 1998.
- [9] B. H. Park and P. E. Allen, "A 1GHz, Low-Phase-Noise CMOS Frequency Synthesizer with Integrated LC VCO For Wireless Communications," Proc. IEEE Custom Integrated Circuits Conf., pp. 26.4.1-26.4.4, 1998.
- [10] W. Rhee, B. S. Song, A. Ali, "A 1.1-GHz CMOS Fractional-N Frequency Synthesizer with a 3-b Third-Order  $\Sigma\Delta$  Modulator," IEEE J. Solid-State Circuits, vol. 35, No. 10, pp. 1453-1460, Oct. 2000.

- [11] Seon-Ho Han, Yong-Sik Youn, Cheon-Soo Kim, Hyun-Ku Yu, Mun-Yang Park, "Prescaler using complementary clocking dynamic flip-flop", Electronics Letters, vol. 39, pp. 709-710, May. 2003.
- [12] Moriaki Mizuno, "A 3mW 1.0-GHz silicon-ECL dual-modulus prescaler IC," IEEE J. solid-state circuit, vol. 27, pp.1794-1798, Dec. 1992.
- [13] Heydari, P., Mohanavelu, R., "Design of ultrahigh-speed low-voltage CMOS CML buffers and latches", Very Large Scale Integration (VLSI) Systems, Transactions on IEEE, vol.12. pp.1081-1093, 2004.
- [14] Yu-che Yang. et al., "A Single-VCO Fractional-N Frequency Synthesizer for Digital TV Tuners," IEEE J. Solid-State Circuit, pp.1545-1548 June. 2007.
- [15] Jeawook Shin. et al., "A Delta-Sigma Fractional-N Frequency Synthesizer for Quad-Band Multi-Standard Mobile Broadcasting Tuners in 0.18um CMOS," IEEE JSTTS, vol. 7, no.4, pp.267-273, Dec. 2007.

---

### 저 자 소 개

#### 고 승 오 (학생회원)



2008년 2월 : 인천대학교 전자공학과 졸업 (공학사)  
 2010년 2월 : 인천대학교 대학원 전자공학과 (공학석사)  
 2010년 3월 ~ 현재 : Silicon Works 연구원  
 <주관심분야> 고성능 PLL 설계

#### 서 희 택 (학생회원)



2009년 2월 : 인천대학교 전자공학과 졸업 (공학사)  
 2009년 3월~현재 : 인천대학교 대학원 전자공학과 석사과정  
 <주관심분야> 고성능 PLL 설계

#### 박 종 대 (정회원)



1981년 2월 : 경북대학교 전자공학과 졸업 (공학사)  
 1983년 8월 : 연세대학교 대학원 전자공학과 (공학석사)  
 1987년 2월 : 연세대학교 대학원 전자공학과 (공학박사)  
 1983년 8월 ~ 1985년 8월 : 금성반도체(주) 연구소 연구원  
 1991년 1월 ~ 1991년 12월 : MIT Post Doc.  
 2000년 7월 ~ 2001년 8월 : UC Davis 방문교수  
 1987년 3월 ~ 현재 : 인천대학교 전자공학과 교수  
 <주관심분야> CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS

#### 유 종 근 (정회원)



1985년 2월 : 연세대학교 전자공학과 졸업 (공학사)  
 1987년 2월 : 연세대학교 대학원 전자공학과 (공학석사)  
 1993년 2월 : Iowa State University 전기 및 컴퓨터공학과 Ph.D.  
 1994년 3월 ~ 현재 : 인천대학교 전자공학과 교수  
 2009년 8월 ~ 현재 : UC Davis 방문교수  
 <주관심분야> CMOS Analog/Mixed-mode IC 설계, RFIC 설계