

# X-Band 위성통신을 위한 고안정 위상 동기 발진기 구현

## Implementation of High Stable Phase-Locked Oscillator for X-Band Satellite Communication

임진원 · 정인기\* · 이영철

Jin-Won Lim · In-Ki Joung\* · Young-Chul Rhee

### 요약

본 논문에서는 두 개의 위상 동기 루프를 구성하여 이중으로 위상 고정시킨 X-band 위성통신용 국부 발진기를 설계하고 위상 잡음을 분석하였다. 설계된 위상 동기 발진기는 직렬귀환 유전체 공진발진기, 주파수 분주기, 위상검출기, 루프 필터 및 PLL-IC로 구성되어 있으며, 12.6 GHz의 발진 주파수를 2분주시켜 6.3 GHz에서 15.32 dBm의 출력값을 보였다. 제작한 발진기의 위상 잡음은  $-81 \text{ dBc/Hz}@100 \text{ Hz}$ ,  $-100.86 \text{ dBc/Hz}@1 \text{ kHz}$ ,  $-111.12 \text{ dBc/Hz}@10 \text{ kHz}$ ,  $-116 \text{ dBc/Hz}@100 \text{ kHz}$  및  $-140.49 \text{ dBc/Hz}@1 \text{ MHz}$ 으로 매우 안정되며 우수한 특성을 보였다.

### Abstract

In this paper, X-band satellite communication oscillator of double phase locked is implemented by constructing a couple of phased-locked loop, and then we have analyzed the phase noise of designed PLL-DRO. The designed phase-locked oscillator is consist of series feedback DRO, frequency divider, phase detector, loop filter and programmable PLL-IC. By dividing oscillation frequency of 12.6 GHz into two frequencies, it exhibits output power of 15.32 dBm at 6.3 GHz. Phase noises of implemented oscillator are  $-81 \text{ dBc/Hz}@100\text{Hz}$ ,  $-100.86 \text{ dBc/Hz}@1 \text{ kHz}$ ,  $-111.12 \text{ dBc/Hz}@10 \text{ kHz}$ ,  $-116 \text{ dBc/Hz}@100 \text{ kHz}$  and  $-140.49 \text{ dBc/Hz}@1 \text{ MHz}$  respectively. These indicate excellent stable operation of oscillator and very good phase noise characteristics.

Key words : PL-DRO, Phase Noise

### I. 서론

아날로그 및 디지털 통신 시스템에서 전송 신호를 변조 또는 복조시키기 위하여 매우 안정된 주파수를 발생시키는 국부 발진기(local oscillator)를 필요로 하며, 모든 통신 시스템에 필수적으로 사용되는 발진기는 광대역 통신 시스템으로 기술이 발전됨에 따라 발진기는 주위 온도 변화에 안정하고 우수한 위상 잡음(phase noise)의 특성을 나타내는 매우 안정된 발진주파수를 필요로 한다. 마이크로파 영역의 통신 시스템에서 안정된 국부 발진기를 설계하기 위

하여 여러 가지 방식이 적용되고 있으나, 가장 실용적인 방법으로 유전체 공진 발진기를 이용한 마이크로파 발진기는 다른 발진기에 비해 뛰어난 비교적 안정도가 높으며 우수한 위상 잡음 특성을 보이고 있다<sup>[1],[2]</sup>. 특히 4 GHz를 넘어설 경우, DRO는 위상 잡음, 주파수안정도 면에서 가장 좋은 위상 잡음을 갖는 발진기로 많이 사용되고 있다<sup>[3],[4]</sup>. 우수한 위상 잡음을 나타내는 DRO의 설계를 설계하기 위하여 GaAs-DRO, HEMT-DRO 및 HBT-DRO와 같은 저 위상 잡음을 나타내는 능동소자를 이용하여 위상 동기시켜 안정된 발진기를 나타내고 있다. 한편, 디지털

경남대학교 정보통신공학과(Department of Information & Communication, Kyungnam University)

\* (주)제노코(GENOHCO Inc.)

· 논문 번호 : 20090730-08S

· 수정완료일자 : 2009년 9월 14일

마이크로파 통신 시스템에서 최근 국부 발진기의 위상 잡음과 BER 관계에 대하여 연구가 많이 이루어지고 있다. 그러나 향후 광대역 멀티미디어 통신 시스템에서 정보를 효과적으로 전송시키기 위하여 OFDM과 같은 다중 캐리어(multi-carrier) 방식을 상용 및 군용 등의 위성통신에서도 적용하기 위한 연구<sup>[5]</sup>가 진행되고 있으며, 이러한 디지털 다중 방식의 적용으로 기존의 위성 서비스보다 더 빠른 전송 속도로 광대역 서비스가 예상된다<sup>[6]</sup>.

직교 주파수 분할 다중화(OFDM) 방식은 여러 개의 반송파를 이용하여 기존의 서비스보다 더 빠른 전송 속도로 광대역 서비스가 가능하게 되어 DVB-T, WLAN에서 다양하게 응용되고 있으며 4G까지 사용이 가능하다<sup>[7]</sup>. 이런 OFDM 통신 방식은 다중 경로 환경에 강하기 때문에 무선 통신 분야에 많은 연구와 응용이 이루어지고 있다<sup>[8],[9]</sup>. OFDM을 적용한 무선 통신 시스템의 전단부(front-end module)의 비선형특성 및 국부 발진기의 위상 잡음에 의한 ICI는 기저 대역 수신기의 동기화에 영향을 미치고 또한 기저 대역의 디지털 시스템 BER에 영향을 미치게 된다<sup>[10]</sup>. 이러한 국부 발진기의 위상 잡음이 단일 반송파 시스템과 같은 경우는 신호의 성상점(constellation)을 회전시키는 요인으로 나타나며, 다양한 방법으로 AM/PM에 의한 위상 보상을 위한 연구가 진행되고 있다<sup>[11]</sup>. 따라서 OFDM에서는 위상 잡음의 영향으로 나타나는 현상들을 정확하게 예측하고 분석하여 전체 시스템의 성능에 맞춰 국부 발진기에서 발생하는 위상 잡음의 허용 크기를 정량적으로 파악하고, 최소 비용으로 최대 허용되는 위상 잡음을 넘지 않는 범위 내에서 국부 발진기를 설계하는 것이 중요하므로 본 연구에서는 X-대역 위성 통신 시스템에 적용시키기 위하여 고안정 국부 발진기를 구현하고자 한다. 설계한 국부 발진기는 주파수 분배기를 이용하여 비교적 안정된 주파수에서 프로그램 가능 PLL-IC에 의하여 낮은 윗 주파수에서 우수한 위상 잡음 특성을 제시하고 SPD를 이용하여 이중으로 위상을 고정시켜 우수한 위상 잡음 특성을 나타내도록 설계하였다. 특히 발진기의 출력을 높이기 위하여 직렬 귀환 BJT-DRO<sup>[12]</sup>을 사용함으로써 14 dBm 이상의 발진 출력과 10 Hz에서 1 MHz의 윗 주파수에서 융합적 특성을 만족시키는 X-대역 위성통신용 국부

발진기를 구현시키고자 한다.

## II. 마이크로파 위상 동기 발진기의 구성

마이크로파 위상 동기발진기(MPLO: Microwave Phase Lock Oscillator)를 구성하는 방법에는 출력 주파수를 분주시켜 기준 주파수와 위상 비교하여 안정시키는 주파수 분주 형태<sup>[13]</sup>와 기준 부파수를 SPD(Sampling Phase Detector)를 이용하여 체배시켜 발진 주파수와 위상 비교하는 SPD 방식<sup>[14]</sup>이 가장 많이 사용되고 있다. 주파수 분주 방식의 경우, 유전체 공진 발진기는 유전체 공진기와 GaAs FET를 사용하여 발진 주파수를 출력시키고, 이 주파수는 전치 분주기에서 1차 분주되어 PLL-IC로 입력되며, PLL-IC의 내부 분주기에 의해 다시 2차 분주비로 분주되어 TCXO에 의해 출력되는 기준 주파수를 분주시킨 주파수와 위상 비교기에서 비교된다. 위상 비교기는 위상 오차가 전류 펄스폭에 비례하는 Charge-Pump 출력을 가지며, 이는 수동 필터로서 능동 필터의 역할을 할 수 있고 OP-AMP에 의한 잡음이 없다는 이점이 있으나, Charge-Pump의 위상 오차 출력 신호는 루프 필터를 거쳐 바랙터 다이오드의 정전 용량을 변화시켜 DRO의 출력 주파수를 변화시키게 된다. 이러한 과정을 반복하여 위상 오차가 0이 될 때 동작 주파수에서 위상 동기(locking)를 얻게 된다. 위상 동기시에 Charge-Pump는 회로를 개방시키고 루프 필터의 커패시터에 충전된 DC 전압은 위상 동기 때의 제어 전압이 된다. 이러한 위상 동기 발진기의 구성은 PLL-IC와 주파수 분주비에 따라 기준 주파수( $f_{ref}$ )가 결정되기 때문에 출력 주파수가 변경될 때마다 TCXO의 주파수가 변경되므로 출력 주파수는 항상 기준 주파수의 정수배가 되어야 하는 단점이 있다. SPD 방식의 경우, 기준 주파수는 외부에서 인가된 주파수를 사용하며, SPD 내부의 SRD(Step Recovery Diode)에 의해 체배기를 구성하여 기준 주파수의 하모닉 신호들이 발생되며, PLL-IC와 귀환된 출력 주파수 그리고 아날로그 위상 검출-IC와 위상 비교가 이루어진다.  $N$  체배된 기준 주파수의 하모닉 주파수와 귀환된 발진 주파수는 직접적으로 위상 비교가 이루어지며, 차성분의 IF 주파수를 갖는 정현파 신호를 오차 신호로 출력한다. 루프 필터는 잡음과 고주파 성분을 제거하여 평균 오차 전압을 PL-DRO에 튜닝 전압에 의하여 위상 고

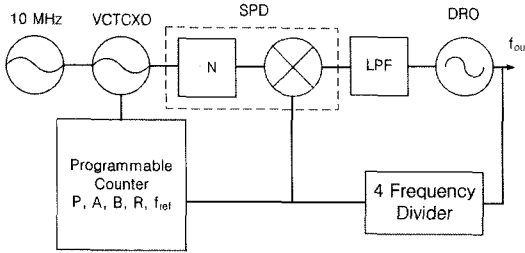


그림 1. 설계한 위상 동기 발진기의 구성동  
Fig. 1. Designed phase locked oscillator blockdiagram.

정 발진한다. 또한, 유전체 공진 발진기의 동조를 위해 바랙터 다이오드를 사용한다. 이러한 SPD를 이용한 위상 동기 발진기는 기준 주파수( $f_{ref}$ )가 항상 출력 주파수의 정수배가 되어야 하며, 출력 주파수가 10 GHz 이상일 경우 SPD에 의해 체배되는 신호와 국부 발진기에서 SPD로 들어가서 생성되는 비트 (beat) 신호의 위상과 크기를 맞추기가 매우 어려운 단점이 있다. 이러한 단점을 보완하기 위하여 본 논문에서는 그림 1과 같이 출력 주파수 신호를 4분주시키는 주파수 분주기와 SPD 및 프로그램이 가능한 PLL-IC를 이용하여 위상 동기 발진기를 구성하였다.

본 논문에서 제시한 X-대역 고안정 위상 동기 발진기의 기준 주파수는 TCXO가 아닌 10 MHz의 외부 신호(external signal)를 사용하며, 발진기의 출력 전력을 맞추기 위하여 비교적 우수한 출력을 나타내는 BJT를 이용하여 유전체 공진 발진기를 구성하였다. 12.6 GHz의 발진 주파수를 4분주시키는 주파수 분주기에 의해 3.15 GHz의 주파수를 위상 고정시키기 위하여 프로그램으로 PLL-IC에서 동기시키며 루프 필터에 의해 출력되는 DC값에 따라 커패시턴스 값이 변화되는 바랙터 다이오드로 구성하였다. 본 논문에서 비교적 출력 전력이 우수한 BJT-DRO 국부 발진기에서 출력되는 12.6 GHz의 주파수는 3.15 GHz로 4분주되어 매우 안정된 상태로 SPD로 인가되는 3.15 GHz는 주파수가 낮아져 비교적 쉽게 비트(beat) 신호의 위상과 크기를 맞출 수 있다. PLL- IC로 인가된 3.15 GHz의 주파수는 프로그램이 가능한 내부 분주기에 의해 10 MHz의 기준 주파수와 위상 비교하게 된다. SPD 출력단과 PLL-IC 출력 단에 있는 각각의 위상검출기는 두 신호의 위상을 비교하고, 루프 필터에 의해 두 신호의 위상차가 0이 될 때 위상 고정

표 1. PLL-IC를 구동하기 위한 분주비 값  
Table 1. Division ratio value for driving PLL-IC.

P	A	B	R	N
16	11	19	1	315

이루어진다. 본 논문에서 사용된 위상 고정 루프 (PLL)는 하나의 발진 신호를 이용하여 두 개의 위상 고정 루프에서 위상 동기가 이루어질 때 최종 출력 신호가 고정되도록 하여 매우 안정되고 우수한 위상 잡음이 나타나도록 하였다. 본 논문에서 사용된 프로그램 가능한 PLL-IC에 출력되는 주파수는  $f_0 = [(P \times B) + A] \times (f_{ref} / R)$ , 여기서  $f_0 = VCO$  출력 주파수,  $P =$  프리스케일러 비,  $A = 6 \text{ Bit}(0D \sim 63)$ 의 분주비,  $B = 13 \text{ Bit}(3 \sim 8191)$ 의 분주비이다.  $F_{PFD}$ 는  $N = (B \times P + A)$ 와 같다.  $f_{Ref}$ 은 기준 주파수 10 MHz,  $R$ 은 기준 주파수의 분주비이며,  $P$ 는 PLL-IC 내부에서 프리 스케일러이다. 4 주파수 분주기에 의해 PLL-IC로 입력되어지는 주파수는 3.15 GHz이므로 표 1과 같이 분주비를 프로그램할 수 있다. 4분주기에 의해 분주된 3.15 GHz의 주파수가 PLL-IC에 입력되면 분주비  $N = 315$ 로 분주되어 10 MHz로 변환되고, 이 주파수는 기준 주파수인 10 MHz와 위상을 비교하여 위상 고정이 이루어진다.

본 논문의 특징은 SPD와 프로그램 가능 PLL-IC를 적용하여 위상 동기 발진기를 구성하여 BJT-DRO에 의한 발진 주파수를 이용하여 두 개의 위상 동기 루프를 고정시키는 방식으로 이러한 방안을 적용함으로써 프로그램 가능 PLL-IC를 이용한 위상 고정 VCXO의 루프 필터에 의하여 1 kHz 이하의 위상 잡음 특성을 개선시킬 수 있으며, SPD를 이용한 위상 동기 루프의 루프 필터를 이용하여 1 kHz~1 MHz 사이의 위상 잡음 특성을 개선시킬 수 있는 특징이 있다. 또한 기준 주파수의 위상 잡음 특성이 뛰어난 경우 출력 주파수의 위상 잡음 특성이 향상되며, 튜닝 없이 대량으로 위상 동기 발진기를 생산할 수 있는 장점이 있다.

### Ⅲ. 6.3 GHz 마이크로파 위상 동기 발진기의 설계 및 실험

그림 1과 같이 구성한 6.3 GHz 위상 동기 발진기를

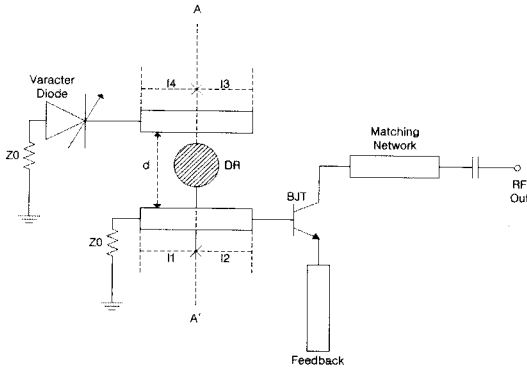


그림 2. 직렬 귀환 BJT-DRO 구성도  
Fig. 2. Series feedback BJT-DRO blockdiagram.

구현하기 위하여 표 1의 X-band 고안정 PL-DRO의 설계 규격을 고려하였다. 그림 2는 BJT-DRO 설계 구성도이다. 유전체 발진기는 직렬 귀환형으로 설계하였으며, 바랙터 다이오드를 통해 전압을 제어하여 주파수의 튜닝을 시키도록 하였다.

국부 발진기 제작에 사용된 BJT는 NEC사의 2SC-5508, 주파수 분주기는 HMC365, 바랙터 다이오드는 M/A사의 MA46H, 기판은  $E_r=3.38$ ,  $t=0.508$ ,  $H=0.0018$ 인 RO4003C를 사용하여 제작하였다. 안정된 발진 특성을 얻기 위해 두 가지 주파수 동조 방법을 이용하였으며, 주파수 동조 범위 내에서 DRO의 발진 주파수를 얻어내기 위해 튜닝 스크류를 이용한 기계적 동조 방법과 정확한 12.6 GHz의 출력 주파수를 얻어내기 위해 PLL을 사용한 전기적 동조 방법을 이용하였다. BJT-DRO에 의해 발생된 발진 주파수의 안정도를 높이기 위해 Analog Device사의 PLL-IC와 ATMEL의 Flash memory를 이용하여 루프를 구성하였으며, 12.6 GHz의 발진 주파수는 Hittite사의 4분주기를 사용하여 4분주된 후 3.15 GHz의 주파수로 변환되어 PLL-IC로 입력되고, Flash memory에 의해 PLL-IC 내부의 프로그램에 의한 분주기( $N=315$ )에 의해 10 MHz로 분주되며, 기준 주파수 10 MHz는 PLL-IC 내부의 분주기( $R=1$ )을 거쳐 10 MHz의 기준 주파수가 생성되어 위상 검출기에서 두 주파수의 차성분을 이용하여 위상 동기를 이루게 하였다. 위상 검출기 출력은 PLL IC의 Charge-Pump 출력을 이용하였고, 최적의 위상 잡음 특성을 갖도록 루프 대역폭을 선정하여, 루프 필터를 설계하였으며 주파수 조정을 위해 바랙터 다이오드를 사용하였다.

그림 2에서의 DR은 두 개의 마이크로스트립 라인과 동시에 자기적으로 결합을 일으키기 위하여 전송선로 길이  $l_1, l_2$ 는  $\lambda/4$ 를 유지하며 AA'면에서 최대 자체 결합을 갖도록 하였다. 유전체 공진기의 공진 주파수를 전기적으로 가변시키기 위해서 바랙터 다이오드를 사용할 경우 AA'에서 바랙터 다이오드를 들여다본 입력 임피던스는  $l_3$ 를  $\lambda/4$ 의 임피던스 변환기를 거치므로 바랙터의 결합용량의 변화는 입력 임피던스의 인덕턴스 변화로 변환된다. 결합면에서 바라본 입력 임피던스는  $Z_{IN} = j\omega \cdot Z_0^2 C_v v(t)$ 이며, 이때 변환 인덕턴스  $L_t = Z_0^2 C_v v(t)$ 이고, ab에서 바라본 임피던스는  $Z_{ab} = (j\omega L_t / N_1^2)$ 이 된다<sup>[14]</sup>.

바랙터에 의한 입력 인덕턴스 변화는 이상적인 변압기를 통해서 공진회로의 총 인덕턴스  $L_{et}$ 는  $L_{et} = L_e // L_t' = L_e L_t' / (L_e + L_t')$ 이며, 전달 인덕턴스  $L_t'$ 는  $L_t' = L_t / N_1^2$ 이다. 여기서  $N_1$ 은 이상적인 변압기의 권선비이다. 그러므로 총 인덕턴스의 변화로 기존의 공진 주파수  $\omega_0$ 는 새로운 공진 주파수  $\omega_0'$ 에서 공진이 일어난다<sup>[14]</sup>.

$$\omega_0' = \frac{1}{\sqrt{L_{et} C_e}} \approx \omega_0 \left\{ 1 + \frac{N_1^2 L_e}{2Z_0 C_v v(t)} \right\} \quad (1)$$

식 (1)에서 공진기와 마이크로스트립 라인의 결합을 증가시키면 이상적인 변압기의 권선비  $N_1$ 이 증가한다. 따라서 바랙터에 의한 영향이 증가되어 공진주파수의 변화 대역폭이 넓어짐을 알 수 있다.  $\beta$ 와 양호도  $Q$ 는 다음 식과 같이 된다<sup>[8]</sup>.

$$Q_u = Q_L(1 + \beta) = \beta Q_e \quad (2)$$

그리고 등가 모델 파라미터값  $R, L, C$  값은  $\beta$ 와  $\omega_0$ 와 관계로서 다음 수식과 같다<sup>[9]</sup>.

$$R = 2Z_0 \beta, \quad L = \frac{R}{Q_u \omega_0}, \quad C = \frac{Q_u}{\omega_0 R} \quad (3)$$

그림 3은 제작된 PL-DRO의 출력 파형으로 15.32 dBm의 출력 전력을 나타낸다.

그림 4는 제작된 PL-DRO의 하모닉 신호의 특성을 나타내고 있으며, 그림 5는 제작된 고안정 X-대역 PL-DRO의 위상 잡음 특성을 보여주고 있다. 측정 결과, 제작된 6.3 GHz의 고안정 위상 동기 발진기의 위상 잡음은 각각의 오프셋 주파수(offset frequency)

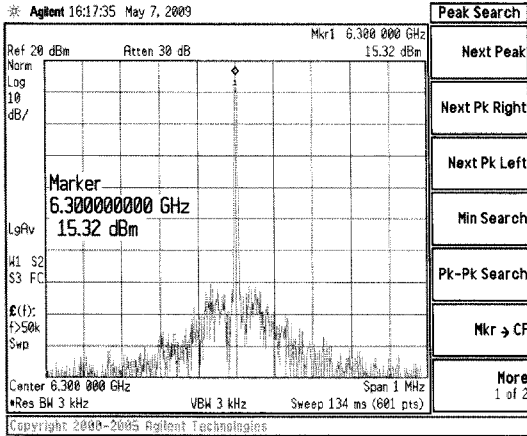
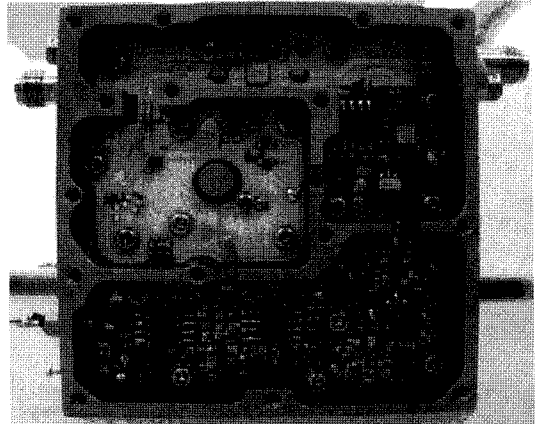


그림 3. 6.3 GHz 국부 발진기 출력 파형  
Fig. 3. Output power of 6.3 GHz local oscillator.



(a) X-DRO 및 제어회로  
(a) X-DRO and control circuit

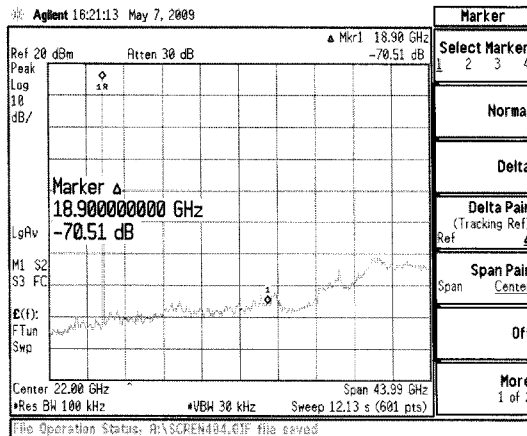
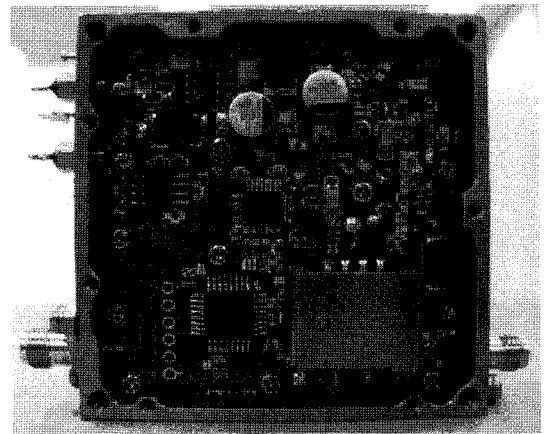


그림 4. PL-DRO 하모닉 특성  
Fig. 4. PL-DRO harmonic characteristic.



(b) Dual(programmable 및 주파수분배) PLL 회로  
(b) Dual(programmable and freq. divider) PLL circuit

그림 6. 제작된 PL-DRO의 실물사진  
Fig. 6. Assembled PL-DRO.

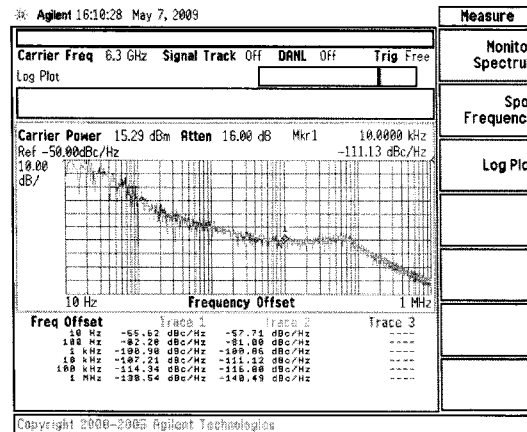


그림 5. 설계된 국부 발진기의 위상 잡음 특성  
Fig. 5. Phase noise of designed local oscillator.

에서  $-81 \text{ dBc/Hz}@100\text{Hz}$ ,  $-100.86 \text{ dBc/Hz}@1 \text{ kHz}$ ,  $-111.12 \text{ dBc/Hz}@10 \text{ kHz}$ ,  $-116 \text{ dBc/Hz}@100 \text{ kHz}$  그리고  $-140.49 \text{ dBc/Hz}@1 \text{ MHz}$ 의 특성을 나타내었다. 그림 6은 제작된 PL-DRO의 실물 사진을 나타내고 있으며, 물리적인 크기는  $2.70 \times 3.00 \times 1.06$ 로 제작이 되었다.

표 2은 X-대역 고안정 국부 발진기의 특성 조건과 본 논문에서 제작한 국부 발진기의 실험 결과를 나타내고 있다.

#### IV. 결 론

본 논문에서는 SPD와 프로그램 가능한 PLL-IC를

표 2. PL-DRO의 측정 결과

Table 2. PL-DRO test result.

구 분	단위	규 격	측정 결과
주파수	GHz	6.3	6.3
출력 전력	dBm	14 이상	15.32
스퓨리어스	dBc	-85 이하	-86 이하
하모닉	dBc	-55 이하	-65 이하
기준 주파수	MHz	10	10
입력 전원	V	12	12
위상 잡음			
@10 Hz		-52 dBc/Hz 이하	-57.71 dBc
@100 Hz		-79 dBc/Hz 이하	-81.00 dBc
@1 kHz		-100 dBc/Hz 이하	-100.86 dBc
@10 kHz		-105 dBc/Hz 이하	-111.12 dBc
@100 kHz		-114 dBc/Hz 이하	-116.00 dBc
@1 MHz		-120 dBc/Hz 이하	-140 dBc

적용하여 이중 루프의 위상 동기 회로를 구성함으로써 하나의 발진 주파수를 이용하여 두 개의 위상 동기 루프를 위상 고정시켜 고안정, 저위상 잡음의 특성을 가지는 국부 발진기를 제작하였다. 본 논문에 의하여 제작된 6.3 GHz의 고안정 국부 발진기는 X-대역 위성 통신 시스템에 적용시키기 위하여 주어진 국부 발진기의 기술적 특성이 만족함을 알 수 있었으며, 비교적 높은 출력을 나타내기 위하여 직렬 귀환 BJT-DRO 형태로 마이크로파 위상 동기 발진기를 설계하였다. 제작된 국부 발진기는 10 MHz의 외부 기준 신호를 사용하여 안정된 기준 주파수를 생성하였고, 설계된 발진기는 바랙터 다이오드를 통해 전압을 제어하여 위상 고정시켰다. 설계 및 제작된 위상 동기 발진기의 측정 결과 6.3 GHz에서 15.32 dBm의 출력 전력을 얻었으며, 설계된 위성 통신용 국부 발진기의 위상 잡음은 매우 우수한 특성을 나타내었다. 본 논문에서 제작된 6.3 GHz의 고안정, 저위상 잡음의 국부 발진기는 고속 및 광대역을 가지는 디지털 마이크로파 통신 시스템에서 다양하게 적용할 수 있다.

참 고 문 헌

[1] T. A. Bos, F. Bayer, and U. Lott, "A low cost 16.2 GHz phase noise locked oscillator for wireless LAN", *IEEE MTT-s Digest*, vol. 53, no. 9, pp.

1395-1398, 1997.

[2] A. Papatthanssiou, A. K. Salintzis, and P. T. Malthiopoulos, "A comparison study of the uplink performance of W-CDMA and OFDM for mobile multimedia communications via LEO satellite", *IEEE Wireless Communication*, vol. 8, pp. 35-43, Jun. 2001.

[3] M. Prigent, M. Camiade, J. C. Nallatamby, J. Guittard, and J. Obregon, "A efficient design method of microwave oscillator circuits for minimum phase noise", *IEEE Transactions on Microwave Theory and Techniques*, vol. 47, no. 7, pp. 1122-1125, Jul. 1999.

[4] Ali Hajimiri, "A general theory of phase noise in electrical oscillators", *IEEE Journal of Solid-State Circuits*, vol. 33, no. 2, pp. 928-928, Jun. 1998.

[5] Ana Garcia Armada, "Understanding the effects of phase noise in orthogonal frequency division multiplexing(OFDM)", *IEEE Transactions on Broadcasting*, vol. 47, no. 2, Jun. 2001.

[6] Songping Wu, Yeheskel Bar-Ness, "OFDM systems in the presence of phase noise: consequences and solutions", *IEEE Transactions on Communications*, vol. 52, no. 11, pp. 1988-1996, Nov. 2004.

[7] Heung Gyoon Ryu, Ying-Shan Lee, "Phase noise analysis of the OFDM communication system by the standard frequency deviation", *IEEE transaction*, vol. 49, pp. 41-47, Feb. 2003.

[8] Pan Liu, Yeheskel Bar-Ness, "Closed-form expressions for BER performance in OFDM systems with phase noise", *IEEE International Conference on Communications*, vol. 12, pp. 5366-5370, Jun. 2006.

[9] Dengwei Fu, "A low-cost phase-noise cancellation method for OFDM systems", *IEEE International Symposium on Circuits and Systems*, pp. 3179-3182, May 2007.

[10] Linjian Xu, Yaqin Chen, and Zhenghe Feng, "Effects of RF oscillator phase noise on performance of communication system", *IEEE/ICMMT*, pp. 429-432, Aug. 2004.

[11] M. Mahbubur Rahman, Md. Delowar Hossain, and ABM Shawkat Ali, "Performance analysis of OFDM systems with phase noise", *IEEE/ACIS*, pp. 358-362, Apr. 2007.

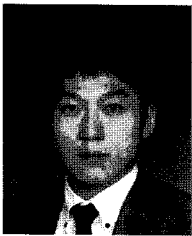
[12] M. Regis, O. Llopis, and J. Graffeuil, "Nonlinear modeling and design of bigolar transistors uesra-low phase-noise elen csric-resonator oscillators", *IEEE Transactions on Microwave Theory and Techniques*, vol. 46, no. 10, pp. 1589-1593, Oct.

1998.

[13] E. S. Ferre-Pikal, F. L. Walls, "Microwave regenerative dividers with low phase noise", *IEEE MTT-s Digest*, vol. 3, pp. 1447-1450, Jun. 1998.

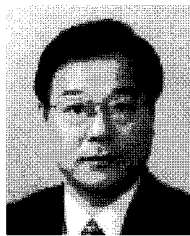
[14] 장준혁, 이용덕 류근관, 이민희, 오일덕, 홍희석, "무선 CATV를 위한 PLL 발진기 설계 및 제작 연구", *한국통신학회논문지*, 25(11), pp. 1858-1863, 2000년.

### 임진원



2008년 2월: 경남대학교 정보통신공학과 (공학사)  
 2008년 3월: 경남대학교 정보통신공학과 석사과정  
 [주 관심분야] 마이크로파 능동소자 응용, RFIC 설계

### 이영철



1981년~현재: 경남대학교 정보통신공학과 교수  
 [주 관심분야] RF/MW 능동소자 응용

### 정인기



1999년 2월: 경남대학교 전자공학과 (공학사)  
 2001년 2월: 경남대학교 전자공학과 (공학석사)  
 2003년 2월: 경남대학교 전자공학과 박사과정 수료  
 2005년 9월~현재: (주) 제노코 기술연구소 책임연구원

[주 관심분야] 마이크로파 능동소자 설계 및 응용, 위성통신 시스템 설계 및 응용, MMIC On Chip 설계