

이득과 잡음 지수의 동적 제어가 가능한 광대역 저 잡음 증폭기

A Gain and NF Dynamic Controllable Wideband Low Noise Amplifier

오태수 · 김성균 · 황과지* · 김병성

Tae-Soo Oh · Seong-Kyun Kim · Guochi Huang* · Byung-Sung Kim

요 약

본 논문에서는 전류 블리딩(bleeding)과 입력 인덕티브 직렬-피킹을 이용한 공통 드레인 귀환(Common Drain Feedback: CDFB) CMOS 광대역 저잡음 증폭기(Low Noise Amplifier: LNA)를 설계하였다. 캐스코드 증폭기와 귀환 증폭기를 DC 결합하여 블리딩 전류의 조정을 통해 LNA의 이득과 잡음 지수(Noise Figure: NF)의 동적 제어를 실현하였다. 제작한 LNA는 2.5 GHz의 대역폭에서, 고이득 영역은 1.7~2.8 dB NF와 17.5 dB 이득, 그리고 27 mW의 전력 소비를 보이고, 저 이득 영역은 2.7~4.0 dB NF와 14 dB 이득, 그리고 1.8 mW의 전력 소비를 보인다.

Abstract

A common drain feedback CMOS wideband LNA with current bleeding and input inductive series-peaking techniques is presented in this paper. DC coupling is adopted between cascode and feedback amplifiers, so that the gain and NF of the LNA can be dynamically controlled by adjusting the bleeding current. The fabricated LNA shows the bandwidth of 2.5 GHz. The high gain mode shows 17.5 dB gain with 1.7~2.8 dB NF and consumes 27 mW power and the low gain mode has 14 dB gain with 2.7~4.0 dB NF and dissipates 1.8 mW from 1.8 V supply.

Key words : Common Drain Feedback, Current Bleeding, Dynamic Control, Inductive Peaking, Low Noise Amplifier

I. 서 론

현재, Digital TV(DTV), Global System for Mobile Communications(GSM), Wideband Code Division Multiple Access(WCDMA) 등과 같이 대부분의 무선 통신 시스템은 50 MHz에서 3 GHz까지의 주파수 대역을 사용하고 있다. 이러한 여러 통신 방식을 하나의 수신기로 집적화하려는 연구가 활발히 진행되어 왔으며, 특히 Software Defined Radio(SDR) 기술과

같이 여러 무선 통신 방식을 단일 수신기에 구현하기 위해서는 광대역 LNA가 필수적이다.

광대역 LNA 설계는 동작 주파수 대역에서의 잡음 지수, 이득, 반사 손실(S_{11}), 대역폭 그리고 선형성 등의 상호 관계를 절충하는데 있다. 이전의 CDFB 광대역 LNA는 제한된 설계 자유도를 보인다. 이 점은 좋은 S_{11} ($S_{11} < -10$ dB)^{[1]~[5]}을 만족시키면서 동시에 낮은 NF, 높은 이득 그리고 넓은 대역폭을 달성하는데 어려움을 준다. 참고문헌 [6]에서는 CDFB

「본 연구는 지식경제부 출연금으로 ETRI, 시스템반도체진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과입니다. 또한 IDEC(IC Design Education Center)로부터 시뮬레이션 툴을 지원 받았습니다.」

성균관대학교 정보통신공학부(School of Information and Communication Engineering, Sungkyunkwan University)

*퀸즈대학교 ECIT 연구소(Electronics, Communications and Information Technology Institute, Queen's University of Belfast)

· 논문 번호 : 20090805-078

· 수정완료일자 : 2009년 9월 4일

LNA에 전류 블리딩 기술을 적용함으로써 낮은 S_{11} 과 함께 만족스러운 NF를 달성하였다. 그러나 참고 문헌 [6]에서는 캐스코드 증폭기 출력과 귀환 증폭기 입력 사이에 ac 결합을 사용하여 저주파 대역을 제한하고, 독립적인 바이어스가 필요한 단점이 있다.

또한, 참고문헌 [6]에서 설계된 회로는 높은 이득과 낮은 NF가 요구되지 않을 경우, 전력 소비를 줄이기 위하여 블리딩 전류의 공급을 중지하는 것은 위험하다. 왜냐하면 블리딩 전류의 공급이 중지되면 출력 노드의 DC 전압이 심하게 감소되어 결과적으로 캐스코드 증폭기의 FET가 트라이오드 영역에서 동작하기 때문이다.

본 논문에서는 입력 인덕티브 직렬-피킹과 함께 전류 블리딩을 이용하여 이득과 NF의 동적 제어가 가능한 광대역 LNA를 설계하였다. 이득과 NF의 동적 제어는 블리딩 전류의 조정을 통해서 실현하였다. 본 논문의 구성은 II장에서 설계된 광대역 LNA를 보이고, III장에서는 측정 결과를 정리하였으며, IV장에서는 결론을 맺는다.

II. 입력 인덕티브 직렬-피킹을 이용한 전류-블리딩 CDFB 광대역 LNA

광대역 LNA 구조를 출력 버퍼와 함께 그림 1에 나타내었다. LNA의 주요부는 캐스코드 증폭기, CDFB 증폭기 그리고 전류 블리딩 경로로 이루어져 있

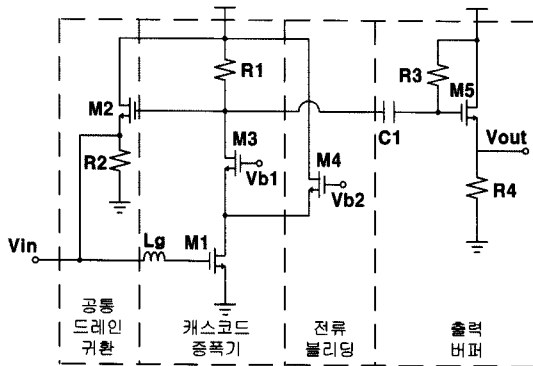


그림 1. 주파수 피킹을 위하여 입력 직렬 인덕터를 이용한 전류 블리딩 공통-드레인 귀환 광대역 LNA의 회로도

Fig. 1. Schematic of current bleeding common-drain feedback wideband LNA which adopts an input series inductor as frequency peaking.

다. LNA의 동작 주파수는 대부분의 무선 통신 주파수 대역을 포함하기 위하여 50 MHz에서 3 GHz까지를 목표로 설정하였다. 캐스코드 증폭기는 주된 이득 단이며, CDFB 증폭기는 입력 정합을 위하여 도입되었다. 전류 블리딩 경로는 이득을 증가시키고 NF를 줄이면서 동시에 이득과 NF의 동적 제어를 실현하기 위하여 채택되었다. 이론적으로 캐스코드 증폭기에서 최소의 NF를 위한 입력 트랜지스터의 최적의 게이트 폭은 주파수에 반비례한다^[7]. 그러므로 저 주파수에서 낮은 NF를 얻기 위해서는 M_1 의 트랜지스터의 크기가 충분히 커야만 한다. 그러나 큰 C_{gs1} 은 대역폭을 감소시키므로 대역폭의 증가를 위해서 입력 단에 직렬 인덕터를 삽입하였다.

설계된 LNA에서 최적의 NF와 입력 정합 사이의 관계를 나타내는 Z_{opt} (optimum source impedance)는

$$Z_{opt} = \frac{1}{\omega_0 C_{gs1}} \times \frac{\frac{D}{g_{d01}} \sqrt{\frac{\delta(1-|c|^2)}{5\gamma}} + j \left\{ \frac{1}{1+s^2 L_g C_{gs1}} + \frac{D}{g_{d01}} |c| \sqrt{\frac{\delta}{5\gamma}} \right\}}{\frac{D^2}{g_{d01}^2} \frac{\delta(1-|c|^2)}{5\gamma} + \left\{ \frac{1}{1+s^2 L_g C_{gs1}} + \frac{D}{g_{d01}} |c| \sqrt{\frac{\delta}{5\gamma}} \right\}^2} \quad (1)$$

이고, D 는

$$D = \frac{1}{\frac{1+s^2 L_g C_{gs1}}{g_m} - \frac{R_1}{2+g_m R_1}} \quad (2)$$

이다. 여기서 g_{m1} 과 g_{d01} 그리고 C_{gs1} 은 각각 트랜지스터 M_1 의 트랜스 컨덕턴스, zero-바이어스 드레인 컨덕턴스 그리고 게이트-소스 캐패시턴스이다. δ 는 게이트 잡음 계수이고, γ 는 채널 열잡음 계수이며, c 는 게이트 잡음과 드레인 열잡음간의 상관 계수이다. L_g 는 입력 직렬-피킹 인덕터이고, R_1 은 캐스코드 증폭기의 부하 저항이다. 식 (1)로부터 L_g 가 없는 작은 크기의 M_1 의 경우 Z_{opt} 가 50 Ω 보다 더 클 수 있다는 것을 알 수 있다. 왜냐하면 Z_{opt} 는 $1/(W \times L)$ 에 비례하기 때문이다. 여기서 W 와 L 은 M_1 의 게이트의 폭과 길이이다. 이러한 현상은 그림 2($W=107 \mu\text{m}$)에 나타난 시뮬레이션 결과로도 확인할 수 있다. 그러므로 원하는 주파수 대역, 특히 저 주파수에서 잡음지수의 최적화를 위하여 큰 크기의 트랜지스터를 사용하여 Z_{opt} 를 50 Ω 으로 보내야만 한다. 이것을 그림 2

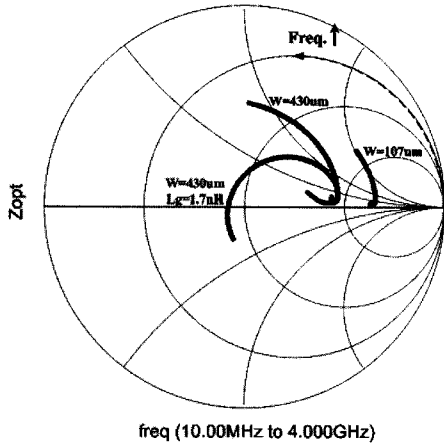


그림 2. 입력 트랜지스터의 크기와 입력 직렬 인덕터의 사용에 따른 공통-드레인 귀환 LNA의 최적 소스 임피던스

Fig. 2. Optimum source impedance of common-drain feedback LNA with different input transistor size and input series inductor.

($W=430 \text{ um}$)에 나타내었다. $W=430 \text{ um}$ 에서 입력 직렬-피킹 인덕터가 없다면, 고 주파수의 끝(3~4 GHz)에서 Z_{opt} 의 허수 부분은 빠르게 감소하여 50 Ω 로부터 멀어지게 된다. 이것은 그림 2에서 두 번째 곡선($W=430 \text{ um}$)으로부터 알 수 있다. 따라서, 고주파에서 C_{gs1} 의 영향을 감소시켜 잡음지수를 낮추고, 대역폭을 증가시키기 위하여 입력 직렬-피킹 인덕터가 효율적이다. 이로부터 입력 단의 50 Ω 정합과 낮은 NF를 동시에 만족시킬 수 있다. 이 점은 시뮬레이션 결과로도 확인할 수 있으며, 그 결과를 그림 2에서 세 번째 곡선($W=430 \text{ um}$, $L_g=1.7 \text{ nH}$)에 나타내었다.

설계된 LNA의 입력이 정합되었다고 가정하면, 이득과 입력 임피던스를 다음과 같이 나타낼 수 있다.

$$A_v = -g_{m1} R_1 \quad (3)$$

$$Z_{in} \approx \frac{k s C_{gs1} - k^2 g_{m2} \left(1 - \frac{A_v}{k}\right)}{(s C_{gs1})^2 - k^2 g_{m2}^2 \left(1 - \frac{A_v}{k}\right)^2} \quad (4)$$

이고, k 는

$$k = 1 + s^2 L_g C_{gs1} \quad (5)$$

이다. 여기서 g_{m2} 는 M_2 의 트랜스컨덕턴스이다. 식 (3)으로부터 회로에 사용된 전류 블리딩 기술을 통하여

M_1 의 트랜스컨덕턴스를 증가시킴으로써 이득을 증가시킬 수 있다는 것을 알 수 있다. 또한, 이로부터 저항성 부하를 이용한 캐스코드 증폭기의 전압 헤드룸(headroom) 문제를 완화시킬 수 있다. 보다 중요한 점은 전류 블리딩 기술은 이득과 입력 정합 사이의 상호 절충 관계를 보다 유연해지도록 할 수 있다는 것이다. 왜냐하면, 고정된 R_1 의 경우 이득 A_v 는 블리딩 전류의 조정을 통하여 변화시킬 수 있는 g_{m1} 에 의해서 결정되는 반면, Z_{in} 은 g_{m1} 과 g_{m2} 에 의해서 결정되기 때문이다.

그림 1에 보인 광대역 LNA의 잡음 지수는

$$F = 1 + \left(1 + \frac{1}{1 - \frac{A_v}{1+k}}\right)^2 \frac{\gamma_1}{4\alpha_1 g_{m1} R_s} + \frac{\gamma_2}{4\alpha_2 \left(1 - \frac{A_v}{1+k}\right)} + \frac{R_s}{4R_2} + \frac{R_1}{4R_s \left(1 - \frac{A_v}{1+k}\right)^2} \quad (6)$$

이고, 여기서 γ_1 , γ_2 그리고 α_1 , α_2 는 각각 M_1 과 M_2 의 채널 잡음 계수와 short-채널 효과이다^[7]. R_s 는 소스 임피던스이고 50 Ω 이다. 식 (6)에서 두 번째와 세 번째 항은 각각 트랜지스터 M_1 과 M_2 에 의한 잡음을 나타낸다. R_2 와 R_1 에 의한 잡음은 네 번째와 다섯 번째 항에 해당한다. 결과적으로 귀환 증폭기는 일반적인 캐스코드 증폭기와 비교할 때 세 가지의 추가적인 잡음 원을 생성한다. 이러한 추가적인 잡음 원은 식 (6)에서 마지막 세 항에 해당한다. R_2 에 의해서 생성된 항은 일반적으로 매우 작다. 왜냐하면 R_2 는 k Ohm 단위의 크기를 갖기 때문이다. 전압 이득 A_v 가 충분히 크다면 R_1 과 M_2 에 의해서 생성된 잡음의 영향을 완화시킬 수 있다. 게다가 높은 A_v 혹은 큰 g_{m1} 은 M_1 에 의한 잡음도 감소시킬 수 있다.

다중 대역 송수신 시스템에서 모든 무선 통신 주파수 대역이 동일한 성능을 요구하는 것은 아니다. 그러므로 광대역 LNA의 이득과 NF가 디지털적으로 제어 가능하면 더 좋을 것이다. 예를 들어, 높은 신호 대 잡음 비(Signal-to-Noise Ratio: SNR)가 요구될 때에는, LNA의 이득을 높이고 NF를 낮추기 위하여 전력 소비를 증가시키고, 반대의 경우에는 전력 소비를 줄이기 위해서 낮은 이득과 높은 NF를 유지하면 된다. 식 (3)과 식 (6)으로부터 이득과 NF는 블리딩 전류의 조정을 통하여 g_{m1} 에 영향을 줌으로써 변

화시킬 수 있다. 그러나 캐스코드 증폭기와 CDFB 증폭기 사이의 DC 전압이 분리된 이전의 전류 블리딩 CDFB 광대역 LNA는 블리딩 전류를 조정하여 이득과 NF를 제어하는 것이 불가능하다. 왜냐하면, 출력 노드에서의 DC 전압은 블리딩 전류에 매우 민감하기 때문이다. 반면, 본 논문에서 설계한 광대역 LNA는 DC 결합을 통하여 캐스코드 증폭기의 입력/출력과 CDFB 증폭기의 출력/입력 사이를 연결하였다. 이 점은 블리딩 전류의 조절을 통한 동적 제어가 가능하도록 하면서, M_3 의 드레인에서 DC 전압이 거의 일정하도록 유지시켜준다. 입력 SNR이 높은 경우, 높은 이득과 낮은 NF가 요구되지 않기 때문에 블리딩 전류의 제어를 통해서 많은 양의 전력 소비를 줄일 수 있다. 블리딩 전류의 변화에 의해서 입력 임피던스가 영향을 받을 수 있다. 그러나 식 (4)로부터 Z_m 은 블리딩 전류에 덜 민감함을 알 수 있다.

III. 측정 결과

설계된 광대역 LNA는 50 MHz에서 3 GHz까지의 대역폭을 목표로 설계하였으며, 0.18- μm CMOS 공정을 이용하였다. 광대역 LNA의 현미경 사진은 그림 3에 나타내었다. 이득과 NF의 동적 제어는 그림 1에 보인 M_4 의 DC 바이어스 V_{b2} 를 조정하여 실현하였다. V_{b2} 를 0.4 V, 1.0 V, 1.6 V로 증가시켜가면서 측정한 평탄 이득은 17.5 dB부터 16 dB, 14 dB까지 감소하고, NF는 1.7~2.8 dB부터 2.3~3.5 dB, 2.7~4.0 dB까지 증가한다. 이것을 시뮬레이션 결과와 함께 그림 4와 그림 5에 나타내었다. 잘 알려져 있듯이

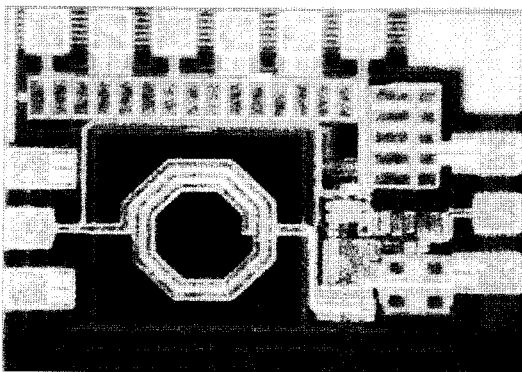


그림 3. 설계된 광대역 LNA의 현미경 사진
Fig. 3. Micrograph of the proposed wideband LNA.

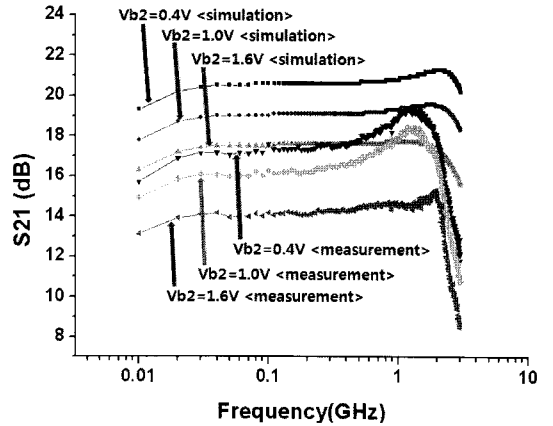


그림 4. 세 가지 영역에서 측정된 S_{21}
Fig. 4. Measured S_{21} in three operation modes.

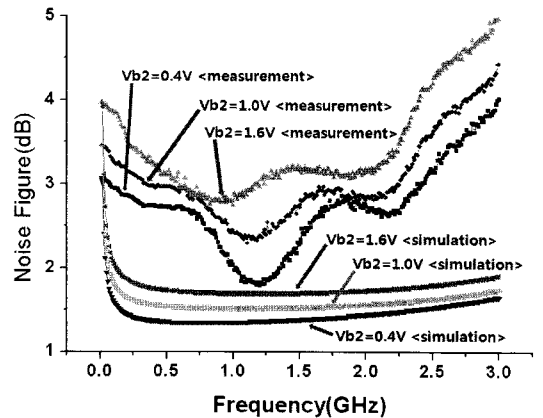


그림 5. 세 가지 영역에서 측정된 NF
Fig. 5. Measured NF in three operation modes.

현재 FET 소자의 잡음 모델이 부정확하기 때문에 측정치와 시뮬레이션 결과는 상당히 큰 차이를 보임을 알 수 있다. 측정된 -3 dB 주파수 대역폭은 V_{b2} 가 0.4 V에서 1.6 V까지 변화할 때 2.5 GHz부터 2.4 GHz까지 변화한다. 이것은 설계된 LNA가 블리딩 전류의 변화에도 불구하고 거의 일정한 대역폭을 유지한다는 것을 나타낸다. 평탄 이득을 보이는 구간에서 V_{b2} 의 조절을 통하여 측정된 이득과 NF의 변화를 그림 6에 나타내었다. 고 이득 영역($V_{b2}=0.4$ V)에서 S_{11} 은 목표로 한 통과 대역 전체에서 -10 dB보다 작다. 하지만 이득을 감소시키면 S_{11} 이 조금씩 악화된다. 측정된 S_{11} 과 S_{22} 는 그림 7과 그림 8에 나타내었다. LNA의 선형성은 1 MHz의 간격의 two-tone test에 의해서 측정되었다. 설계된 광대역 LNA의 측

표 1. 측정 결과와 최근에 설계된 CMOS 저 잡음 증폭기의 요약

Table 1. Summary of measurement results and some other recently published CMOS LNAs.

Ref	BW (GHz)	Gain (dB)	S_{11} (dB)	NF (dB)	IIP3 (dBm)	Power (mW)	Technology	Year	
[1]	2~4.6	9.8	< -9	2.3~3.8	-7	12.6*	0.18 um CMOS	2005	
[2]	2.8~7.2	19.1	< -4.5	3~4	-1	32	0.18 um CMOS	2007	
[3]	0.002~1.6	13.7	< -8	1.8~2.8	0	35	0.25 um CMOS	2004	
[6]	1~7	17 [#]	< -10	2.5~3.5	-4.1	25	0.13 um CMOS	2007	
This work	$V_{b2}=0.4$	0~2.5	17.5	< -10	1.7~2.8	-9.5	27*	0.18 um CMOS	2009
	$V_{b2}=1.0$	0~2.45	16	< -7.5	2.3~3.5	-8	5.4*		
	$V_{b2}=1.6$	0~2.4	14	< -6	2.7~4.0	-5.5	1.8*		

* LNA core only, # voltage gain.

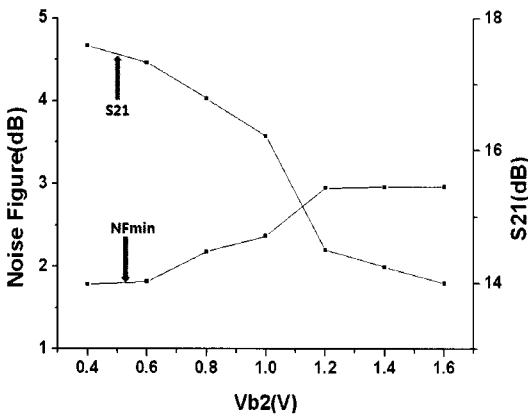


그림 6. V_{b2} 의 변화에 따라서 측정된 S_{21} 과 NF_{min}

Fig. 6. Measured S_{21} and NF_{min} according to variation of V_{b2} .

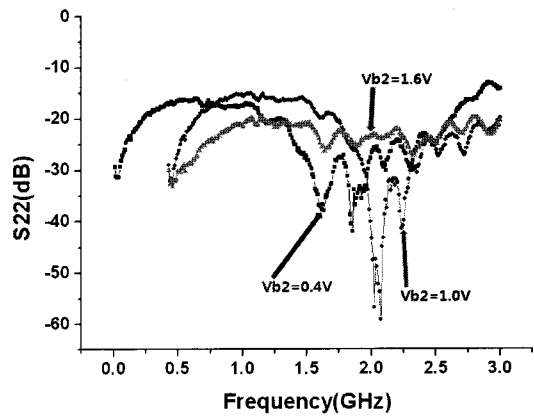


그림 8. 세 가지 영역에서 측정된 S_{22}

Fig. 8. Measured S_{22} in three operation modes.

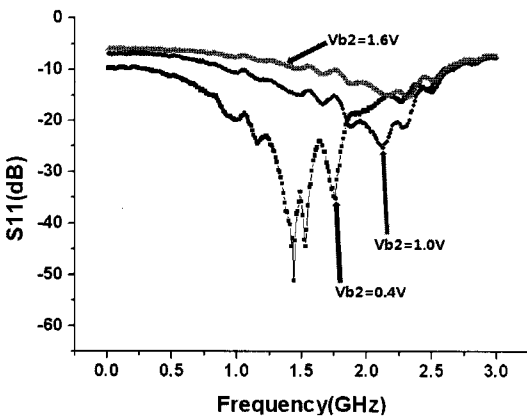


그림 7. 세 가지 영역에서 측정된 S_{11}

Fig. 7. Measured S_{11} in three operation modes.

1.6 V일 때 1.8 mW에서부터 V_{b2} 가 0.4 V일 때 27 mW까지 변화한다.

IV. 결 론

본 논문에서는 이득과 NF의 동적 제어가 가능한 광대역 LNA를 설계하였다. 이득과 NF의 동적 제어는 블리딩 전류의 조절을 통해서 실현하였고, 입력단의 직렬 인덕터는 대역폭의 증가를 위해서 사용되었다. 설계된 LNA의 세 가지 영역이 본 논문에서 측정되었다. 세 영역 모두 비슷한 -3 dB 대역폭을 나타내었다. 낮은 NF를 보이는 고 이득 영역은 27 mW의 전력을 소비하였고, 높은 NF를 보이는 저 이득 영역은 1.8 mW의 전력을 소비하였다. 그러므로 설계된 광대역 LNA는 전력 소비의 감소를 위해 동작 주파수 대역에서 요구되는 SNR에 따라 동적으로 제

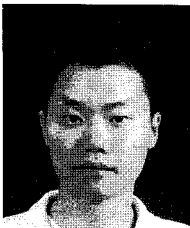
정 결과를 이전에 발표되었던 몇몇의 광대역 LNA와 함께 표 1에 정리하였다. 전력 소비의 범위는 V_{b2} 가

어가 가능하다.

참 고 문 헌

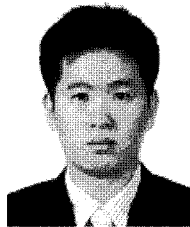
- [1] C. W. Kim, M. S. Kang, P. T. Anh, H. T. Kim, and S. G. Lee, "An ultra-wide-band CMOS low-noise amplifier for 3-5 GHz UWB system", *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 544-547, Feb. 2005.
- [2] Y. E. Chen, Y. I. Huang, "Development of integrated broad-band CMOS low-noise amplifiers", *IEEE Trans. Circuits and Systems*, vol. 54, no. 10, pp. 2120-2127, Oct. 2007.
- [3] F. Bruccoleri, E. A. M. Klumperink, and B. Nauta, "Wide-band CMOS low-noise amplifier exploiting thermal noise canceling", *IEEE J. Solid-State Circuits*, vol. 39, no. 2, pp. 275-282, Feb. 2004.
- [4] H. Knapp, D. Zoschg, T. Meister, K. Aufinger, S. Boguth, and L. Treitinger, "15 GHz wideband amplifier with 2.8 dB noise figure in SiGe bipolar technology", *IEEE RFIC Symposium*, pp. 287-290, 2001.
- [5] S. Andersson, C. Svensson, and O. Drugge, "Wide-band LNA for a multistandard wireless receiver in 0.18 um CMOS", *IEEE Proceedings of the ESS-CIRC 2003 Conference*, pp. 655-685, 2003.
- [6] R. Ramzan, S. Andersson, J. Dabrowski, and C. Svensson, "A 1.4 V 25 mW inductorless wideband LNA in 0.13 um CMOS", *IEEE ISSCC 2007*, pp. 424-426, 2007.
- [7] Thomas H. Lee, *The Design of CMOS Radio Frequency Integrated Circuits*, Cambridge University Press, 1998.

오 태 수



2006년 8월: 강남대학교 전자공학과 (공학사)
 2008년 3월~현재: 성균관대학교 정보통신공학부 석사과정
 [주 관심분야] RF 집적회로 설계

황 과 지



2003년 7월: Harbin Institute of Technology (공학사)
 2005년 10월: Harbin Institute of Technology (공학석사)
 2009년 8월: 성균관대학교 정보통신공학부 (공학박사)
 2009년 8월~현재: Queen's University of Belfast, RA
 [주 관심분야] RF 집적회로 설계

김 성 균



2007년 2월: 성균관대학교 정보통신공학부 (공학사)
 2009년 2월: 성균관대학교 정보통신공학부 (공학석사)
 2009년 3월~현재: 성균관대학교 정보통신공학부 박사과정
 [주 관심분야] RF 집적회로 설계

김 병 성



1984년 2월: 서울대학교 전자공학과 (공학사)
 1991년 2월: 서울대학교 전자공학과 (공학석사)
 1997년 2월: 서울대학교 전자공학과 (공학박사)
 1997년 3월~현재: 성균관대학교 정보통신공학부 부교수
 [주 관심분야] RF 집적회로 설계, 고속 소자 모델링