

## 초전도한류기 적용계통에서의 RTDS 보호계전기 연계시험을 위한 기본연구

### A basic study on protective relay testing using RTDS in power system applying SFCL

이승렬<sup>1,\*</sup>, 윤재영<sup>2</sup>, 김재호<sup>3</sup>, 이병준<sup>4</sup>

Seung Ryul Lee<sup>1,\*</sup>, Jae-young Yoon<sup>2</sup>, Jae-ho Kim<sup>3</sup>, Byongjun Lee<sup>4</sup>

**Abstract:** The study for a protective relay system is one of the important technical issues on the power system application of Superconducting Fault Current Limiter (SFCL). We used Real Time Digital Simulator(RTDS) to study the true interaction of the protection system with the power system. RTDS modeling of SFCL is necessary to the detailed protective relay tests. In this paper, we developed an analysis model using RTDS for studying the transient behavior of 22.9kV SFCL and carried out closed-loop testing of protective relays in distribution power system with the developed SFCL model. The SFCL model has the operation mechanism of 22.9kV hybrid SFCL being developed by LSIS and KEPRI in Korea. The parameters of the model are based on the test data of the real SFCL. Power system planners and operators can solve the expected problems in power system application of SFCL using protective relay testing results.

**Key Words:** SFCL, RTDS, protective relay, power system, relay test.

#### 1. 서 론

초전도한류기가 적용된 실계통의 보호협조문제는 계통측면에서 가장 중요한 문제점 중의 하나로서 대두되고 있다. 지금까지 보호협조관련 연구는 정성적 분석 혹은 PSCAD/EMTDC와 같은 과도해석 프로그램을 이용한 기본연구 등의 기초연구만이 수행되었다[1,2]. 실계통 운영을 고려한 보호협조와 실제 계전기의 동작 등을 보다 정확하게 검토하기 위해서는 실시간 전력계통 해석 시뮬레이터인 RTDS (Real Time Digital Simulator)를 이용한 보호계전기 연계시험이 필수적이다. RTDS 보호계전기 시험연구는 초전도 전력기계가 계통에 적용되었을 때, 실계통 내의 실제 보호시스템에 미치는 영향을 분석하고 문제 발생시 대안을 제시

하기 위한 연구이다. 현재 전 세계적으로 초전도한류기에 대한 RTDS 보호계전기 시험연구는 활발하지는 않으며 기초시험만이 일부 수행되었다[3-5]. 본 연구에서는 기 개발된 RTDS 초전도한류기의 해석모델[6]을 수정보완하고, RTDS를 이용하여 실계통을 모의한 후, 실제 계전기를 RTDS에 연계하여 보호계전기의 응답 특성을 검토하였다.

#### 2. 보호계전기 RTDS 연계시험 방안

본 연구에서 수행한 RTDS를 이용한 보호계전기 연계시험은 1) RSCAD를 이용하여 계통을 모의한 후, 2) RTDS로부터 실시간 시뮬레이션을 통해서 나오는 전류·전압출력신호를 계전기가 입력신호로 받아들여서 고장여부를 판단하고, 3) 보호계전기가 다시 RTDS로 차단기의 동작신호(개방신호 및 차단신호)를 피드백해주는 단계로 구성된 실시간 페루프 저레벨시험(Low-level test)이다. 상세 하드웨어 연결구성은 Fig. 1과 같다. Fig. 1에서, RTDS는 시뮬레이션 수행시 계통방정식의 해를 구하기 위한 연산작업을 수행하는 핵심엔진 역할을 한다. RSCAD는 사용자가 시험계통을 손쉽게 모델링할 수 있도록 고안된 GUI(Graphical User Interface)프로그램이다. 피시험 보호계전기로는 현재 국내 한전 배전선로에 사용하고 있는 과전류계전기로서 재폐로 기능이 있는 경보전기의 GD311-ABK01 모델을 사용하였다. 본 시험에서는 재폐로까지 고려한 시험을 위해서 차단기의 "52a" 신호를 입력하였다. 이 경우 피시험 과전류계전기에 직류 125V가 입력되어야 하는데, Fig. 1에서와 같이 RTDS의 HV패널(High Voltage Interface Panel)을 이용하여 연결하였다.

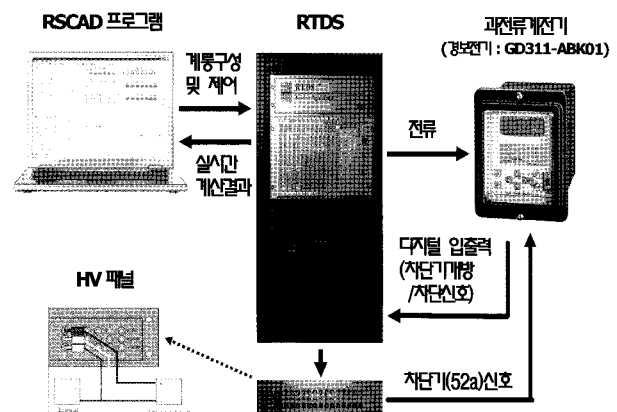


Fig. 1. Closed-loop testing of protective relay in power system applying SFCL.

<sup>1</sup>정 회 원 : 한국전기연구원 선임연구원

<sup>2</sup>정 회 원 : 한국전기연구원 책임연구원

<sup>3</sup>정 회 원 : 창원대학교 전기공학과 박사과정

<sup>4</sup>비 회 원 : 고려대학교 전기공학과 교수

\*교신저자 : srlee@keri.re.kr

원고접수 : 2008년 10월 01일

심사완료 : 2009년 08월 31일

게재확정 : 2009년 08월 31일

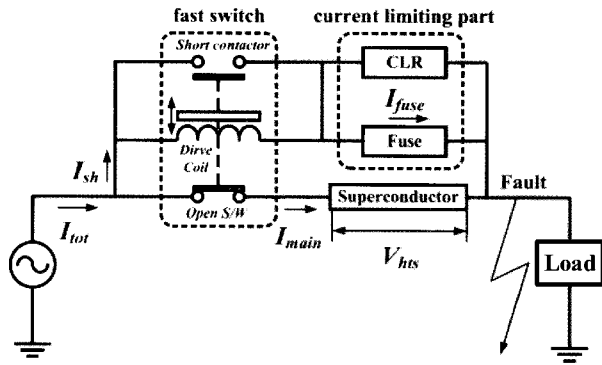


Fig. 2. Configuration of hybrid SFCL developed by LSIS and KEPRI.

Table 1. Specification of the Hybrid SFCL.

항목	상세사양
초전도체	YBCO 필름(Ic=160A) 6개 병렬구성
Cryo-cooler	300W(시스템 손실=135W)
고속스위치	7.2kV 진공인터럽터 (Vacuum interrupter) 2대
퓨즈	24kV/160G
한류임피던스 (CLR)	1 Ω (저항형)

### 3. 초전도한류기 모델개발

본 연구는 초전도기기 중, 기존 보호시스템에 가장 큰 영향을 미칠 것으로 예상되는 초전도한류기에 대한 보호시스템 영향분석을 목적으로 하고 있다. 국내에서 LS산전과 전력연구원에서 공동으로 개발한 22.9kV 반주기한류방식 복합형 초전도한류기를 분석대상으로 하였다[7,8]. 본 검토를 위해서 기기개발자가 제공한 시험데이터를 기반으로 하여 기 개발한 초전도한류기의 RTDS 해석모델[6]을 수정·보완하였다.

#### 3.1. 기본 동작특성

반주기한류방식 복합형 초전도한류기의 기본 구조를 Fig. 2에 나타내었으며, 상세 사양은 Table. 1과 같다. 상기 초전도한류기의 기본 동작특성을 간략하게 나타내면 다음과 같다.

- 정상상태시
  - 초전도체로 100% 부하전류 통전
- 고장발생시
  - 고장전류 통전 → 초전도체 켄치(고장감지) → 퓨즈로 고장전류의 약 90% 이상 통전 → 퓨즈 동작 → 고속스위치 동작 → CLR(상전도 R 또는 L)로 100% 고장전류 통전

LS산전과 전력연구원에서 공동으로 개발한 복합형 초전도한류기는, 일반적인 초전도한류기와는 달리 계통고장 발생시 초전도체는 고장감지 역할만 하고, 고속스위치 동작을 통해서 CLR(상전도 R 또는 L)이 투입되어 고장전류가 제한된다.

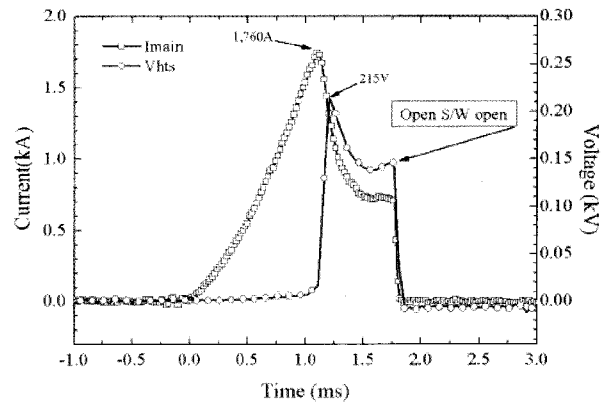


Fig. 3. Voltage and current during quench state of YBCO modules.

여기서 고장전류 제한을 위해서 투입되는 상전도 R은 초전도체가 아니기 때문에 시간에 따라 변하는 값이 아닌 고정 값을 갖는다. LS산전에서 기 발표한 논문에서 따르면, Fig. 3과 같이 고장감지 역할을 하는 초전도체의 켄치시간은 약 0.7ms로서 매우 짧고, 초전도체 쪽으로 흐르는 고장전류가 전체 고장전류의 약 10% 이하이므로, 초전도체의 전체 고장전류의 제한효과는 거의 없다고 할 수 있다[7]. 따라서, 초전도한류기 모델링시 초전도체의 켄치 메카니즘은 고려하지 않아도 될 것으로 판단되어, 본 연구에서는 이를 간략화하여 모델링을 수행하였다. 단, 고장감지 후 고속스위치 동작 완료시간의 시간지연은 매우 짧기는 하지만, 초전도한류기의 정확한 동작시간을 위해서 필요한 내용이므로 이를 고려하여 해석모델을 개발하였다.

#### 3.2. RTDS 초전도한류기 해석모델

상기 3.1절에서 기술한 기본 동작특성을 기본으로 하여 RTDS 초전도한류기 기본모델을 개발하였다. 기본 동작조건은 다음과 같다.

- 초전도체 모델 : 가변저항모델로 구현
  - $R_{SFCL} = F(I_{SFCL}, I_Q, t_d, R_{CLR})$
  - 초전도한류기 켄치 조건 :  $I_{SFCL} \geq I_Q$
  - 여기서,
    - $I_{SFCL}$  : 초전도체 통전전류
    - $I_Q$  : 초전도체 켄치 임계전류
    - $t_d$  : 고속스위치 동작 지연시간
    - $R_{CLR}$  : 한류저항
- 고속스위치 동작시간(한류 지연시간  $T_d$ )
  - LS산전에서 기 발표한 논문의 시험데이터를 참조하여 0.7ms로 가정
- 고장전류 한류용 상전도 R( $R_{CLR}$ )
  - LS산전에서 기 발표한 논문의 시험데이터를 참조하여 고정 값 1Ω으로 가정

### 4. 사례분석

#### 4.1. 시험개요

시험계통은 서마산 154kV 변전소의 수정D/L을 대상으로 실계통 데이터를 적용하여 모델링하였다.

시험계통 모델의 계통구성은 Fig. 4와 같다. 초전도한류기는 피더의 차단기 후단에 직렬로 설치하였으며,

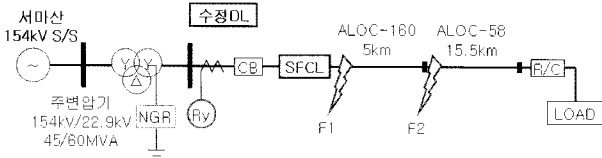


Fig. 4. Test system(Soojung D/L of Seomasan S/S).

Table 2. OC(G)R setting.

CT비	구분	순시	한시	
		Tap	Tap	레버
400/5	OCR	40/30 <sup>*)</sup>	5	3.2
	OCGR	10	1	3.2

\*) A/B = (한류기 적용 전)/(한류기 적용 후) 정정치

과전류계전기 역시 피더용으로 적용하였다. 초전도한류기 적용 전후의 과전류계전기(OCR)와 지락과전류계전기(OCGR)의 정정치는 Table 2와 같다. 계통고장은 매우 다양한 형태로 나타날 수 있는데, 본 연구에서는 고장형태로 3상 단락고장과 1선 지락고장을 상정하였다. 지락고장시 고장저항 크기는 최소의 경우인 0Ω과 최대크기인 30Ω을 가정하였다. 재폐로 동작은 2회까지 고려하였다.

초전도한류기를 적용한 계통에서의 보호계전기 응답특성시험을 하였다. LS산전에서 개발 중인 초전도한류기 적용시 한류저항 투입으로 인하여 초기 1 cycle의 고장전류 파형이 기존 정형파에서 벗어나에 따른 과전류계전기 순시 부동작의 우려가 있었으나, 시험결과 과전류계전기는 정상 동작함을 확인할 수 있었다. Fig. 5~8은 본 검토 사례 중 일부의 시험결과 그래프 예로서, 초전도한류기 적용 전후의 3상 단락고장과 1선 지락고장시의 결과를 나타내었다. 결과그래프에서 초전도한류기를 적용함에 따라서 고장전류가 제한됨을 알 수 있으며, 제한된 고장전류에 따라서 과전류계전기를 정정함으로써 계전기가 정상동작 함을 확인할 수 있다. 모든 검토 사례별로 시험결과를 요약하면 Table 3과 같다. Table 3의 시험결과에서, 초전도한류기를 현배전계통(45/60MVA 변압기 적용계통)에 초전도한류기를 단독으로 적용하는 경우, 과전류계전기(지락포함) 순시/한시동작 및 재폐로에 큰 문제가 없음을 알 수 있다. 그러나, F2지점에서 3상단락 고장시에 순시탭을 기존 정정치인 40을 적용하는 경우엔 과전류계전기가 부동작하였다. 이 경우, 정정치를 세팅치를 30으로 정정함에 따라서 과전류계전기의 정정동작을 확인할 수 있었다. 즉, 초전도한류기가 적용할 경우 한류기에 의해 고장전류가 제한되므로, 반드시 초전도한류기에 의해 제한된 고장전류를 기준으로 하여 과전류계전기의 세팅치를 정정해야 한다.

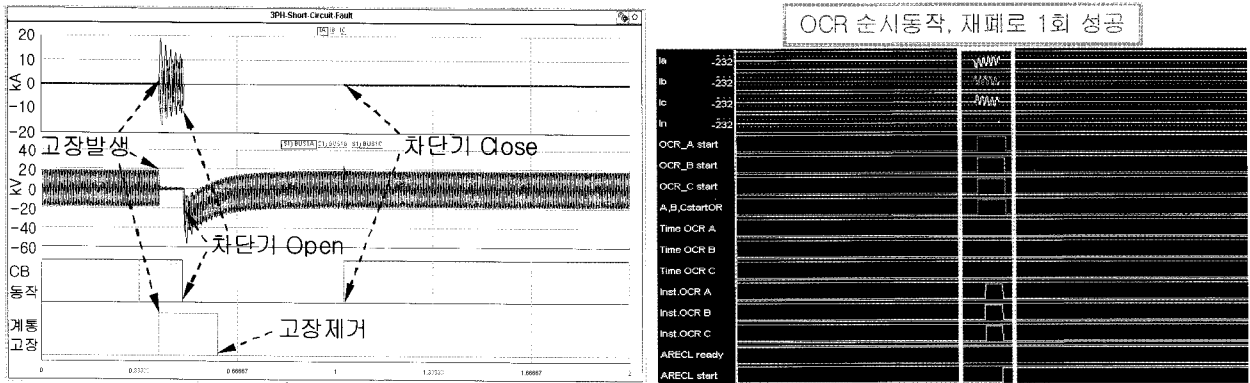


Fig. 5. Test results of conventional power system without SFCL (Fault type : 3-phase fault, Fault location : F1, Fault time : 0.2 sec); (Fault current) First peak value = 19kA, Rms value = 7.5kA.

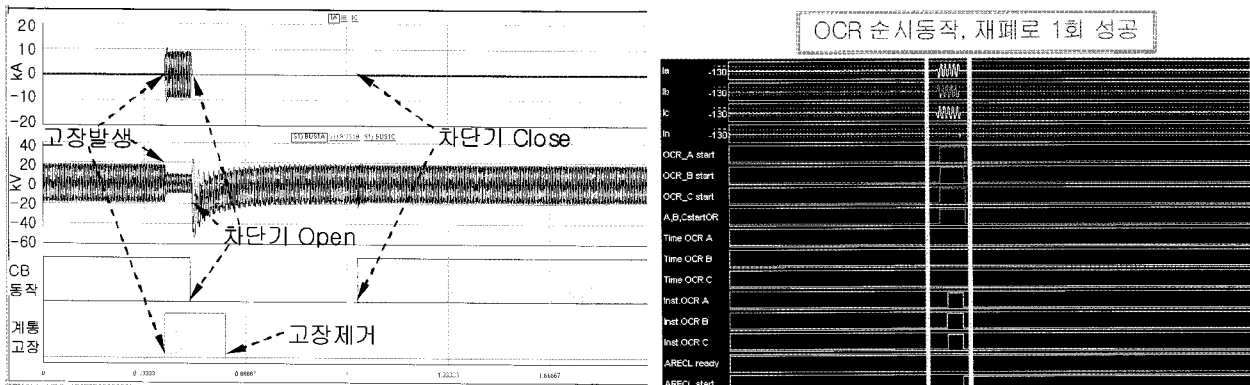


Fig. 6. Test results of power system with SFCL (Fault type : 3-phase fault, Fault location : F1, Fault time : 0.2 sec); (Fault current) First peak value = 11kA, Rms value = 6.5kA.

4.2. 시험결과

초전도한류기를 적용하지 않은 기존의 배전계통과,

시험결과 중, 고장저항 30Ω의 1선 지락고장이 0.2초간 발생하는 경우, 과전류계전기가 고장을 감지하지

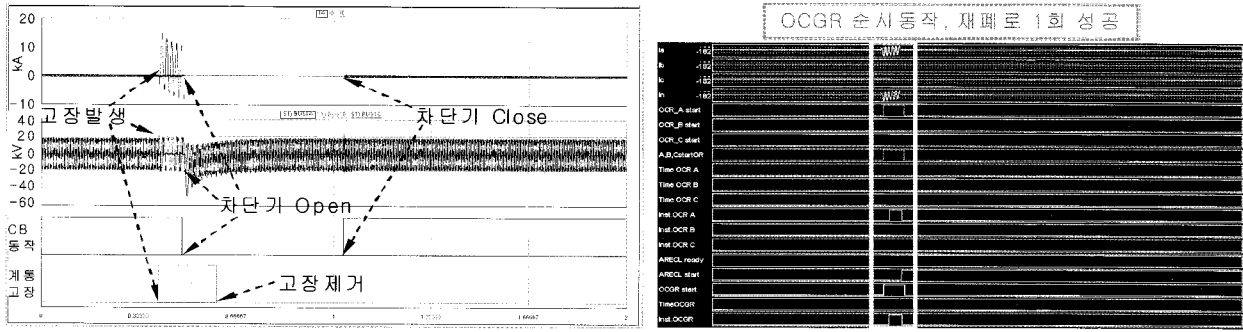


Fig. 7. Test result of conventional power system without SFCL (Fault type : 1-line to ground fault, Fault location : F1, Fault time : 0.2 sec); (Fault current) First peak value = 14.7kA, Rms value = 6.6kA.

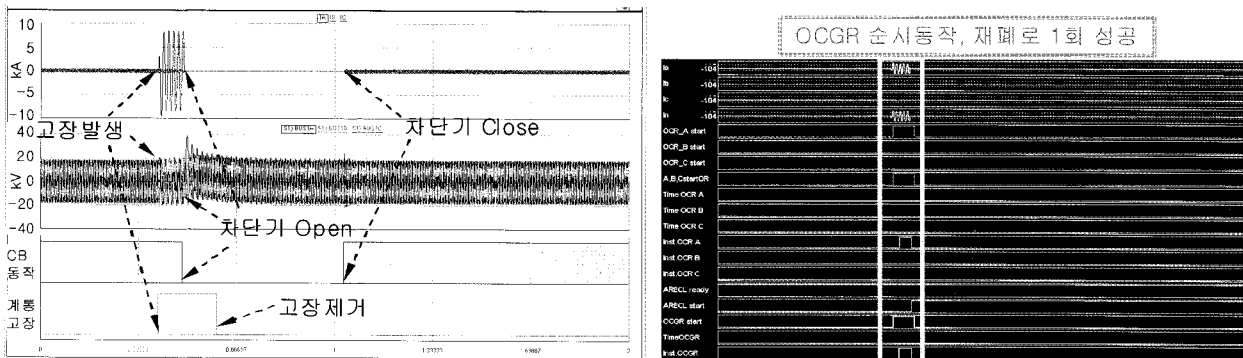


Fig. 8. Test result of power system with SFCL (Fault type : 1-line to ground fault, Fault location : F1, Fault time : 0.2 sec); (Fault current) First peak value = 8.5kA, Rms value = 6.0kA.

Table 3. Test results.

고장 구분	고장 저항	고장 위치	고장 시간	계전기 동작
3상 단락 고장	-	F1	0.2초	순시동작 재폐로 1회 성공
			1.5초	순시동작 재폐로 1회: 한시동작 재폐로 2회 성공
		F2	0.2초	순시동작 재폐로 1회 성공
			1.5초	한시동작 재폐로 1회 성공
1선 지락 고장	0 Ω	F1	0.2초	순시동작 재폐로 1회 성공
			1.5초	순시동작 재폐로 1회: 한시동작 재폐로 2회 성공
		F2	0.2초	순시동작 재폐로 1회 성공
			1.5초	순시동작 재폐로 1회: 한시동작 재폐로 2회 성공
	30Ω	F1	0.2초	고장감지 실패
			1.5초	한시동작 재폐로 1회 성공
		F2	0.2초	고장감지 실패
			1.5초	한시동작 재폐로 1회 성공

상 고장전류가 흘러야지만 과전류계전기가 고장으로 인식을 하게 된다. 본 사례는 고장전류는 매우 작지만 고장지속시간이 0.2초로서 과전류계전기가 고장으로 인식하기 위한 시간보다 짧기 때문에, 과전류계전기가 동작을 하지 않는 경우로서, 초전도한류기의 적용여부와는 관계가 없는 사항이다.

### 5. 결 론

본 연구에서는 기 개발한 Hybrid형 초전도한류기의 RTDS 해석모델을 수정보완하고, 개발된 모델을 이용하여 실제통을 대상으로 RTDS 과전류계전기 연계시험을 수행하였다. 그 결과, 초전도한류기가 피더용으로 적용되었을 경우, 과전류계전기의 순시/한시/재폐로동작에 큰 문제가 없음을 확인하였다. 단, 초전도한류기를 적용함에 따라 제한되는 고장전류 수준을 고려해서 과전류계전기의 세팅치를 조정해야 한다. 향후, 초전도한류기의 시험데이터를 반영하여 해석모델을 보다 완벽하게 수정보완하고, 현재 초전도한류기의 실제통 적용이 진행 중인 이천변전소를 대상으로 상세 RTDS 계전기 연계시험을 수행할 예정이다. 나아가서는 초전도 전력기기가 적용된 미래계통에서의 보호알고리즘을 개발할 계획이다.

### 감사의 글

본 연구는 지식경제부 전력산업연구개발사업의 연구비 지원에 의해 수행되었습니다.

못하였다. 고장전류가 아주 작은 경우는 과전류계전기가 한시동작을 하게 되어있는데, 이 때, 일정 시간 이

참 고 문 헌

- [1] 최효상, 현옥배, 고태국, "초전도 한류기를 포함한 계통의 지락사고에 대한 EMTDC 해석", 전기학회 논문지, 48B권 4호, pp161-166, 1999. 4.
- [2] 이승렬, 김종율, 윤재영, 이병준, "대용량 초전도 신 전력계통 보호방식 문제해결을 위한 기본연구", 한국초전도·저온공학회논문지, 9권, 3호, pp. 16-20, 2007. 9.
- [3] J. Langston 외, "A generic real-time computer Simulation model for Superconducting fault current limiters and its application in system protection studies", IEEE Transactions on Applied Superconductivity, Vol. 15, No. 2, pp. 2090-2093, June 2005.
- [4] Yan Pan, Michael Steurer, Thomas L. Baldwin, Peter G. McLaren, "Impact of Waveform Distorting Fault Current Limiters on Previously Installed Overcurrent Relays", IEEE TRANSACTIONS ON POWER DELIVERY, VOL. 23, NO. 3, pp. 1310-1318, JULY 2008.
- [5] J.H. Kim et al, "A SFCL modeling and application with real HTS material connecting to real time simulator", Physica C 468, 2008.
- [6] 이승렬, 권중지, 윤재영, 이병준, "RTDS 초전도한류기 해석모델 개발", 한국초전도·저온공학회논문지, 10권, 3호, pp. 9-10, 2008년 9월.
- [7] B. W. Lee, K. B. Park, J. Sim, I. S. Oh, H. G. Lee, H. R. Kim, O. B. Hyun, "Design and Experiments of Novel Hybrid Type", IEEE Transactions on applied superconductivity, Vol. 18, No. 2, pp. 624-627, June 2008.
- [8] B. W. Lee, J. Sim, K. B. Park, I. S. Oh, "Practical Application Issues of Superconducting Fault Current Limiters for Electric Power Systems", IEEE Transactions on applied superconductivity, Vol. 18, No. 2, pp. 620-623, June 2008.

저 자 소 개



이승렬(李昇烈)

1975년 9월 23일생, 1999년 고려대학교 전기공학과 졸업, 2001년 동대학원 전기공학과 졸업(석사), 2003년 동대학원 전기공학과 박사수료, 현재 한국전기연구원 전력시스템연구본부 Smart Grid 연구센터 선임연구원.



윤재영(尹在映)

1962년 7월 30일생, 1985년 부산대학교 전기공학과 졸업, 1987년 동 대학원 전기공학과 졸업(석사), 1994년 기술사 (발송배전), 1998년 동 대학원 전기공학 과 졸업(공학박), 현재 한국전기연구원 전력시스템연구본부 Smart Grid 연구센터 책임연구원.



김재호(金載浩)

1976년 11월 17일생, 2000년 인제대학교 전자공학과 졸업, 2005년 창원대학교 대학원 전자공학과 졸업 (공학석사), 현재 동 대학원 전기공학과 박사과정.



이병준(李炳峻)

1961년 7월 16일 생, 1987년 고려대 공대 전기공학과 졸업, 1991년 미국 Iowa 주립대 졸업(석사), 1994년 미국 Iowa 주립대 졸업(공학박), 현재 고려대학교 전기공학과 정교수.