

온칩 시동회로를 갖는 CMOS DC-DC 벅 변환기 설계

준회원 박 승 찬*, 임 동 균**, 정회원 이 상 민***, 종신회원 윤 광 섭***

Design of monolithic DC-DC Buck converter with on chip soft-start circuit

Seung-chan Park*, Dong-Kyun Lim** Associate Members,
Sang-min Lee*** Regular Member, Kwang-sub Yoon** Lifelong Member

요 약

본 논문에서 0.13um CMOS 공정으로 설계된 배터리 기반 휴대용 통신 시스템 구동용의 온칩 시동회로를 갖는 스텝다운 CMOS DC-DC 변환기를 제안하였다. 1MHz의 스위칭 주파수를 기반으로 설계된 벅 변환기에는 온칩 시동회로와 커패시터 멀티플라이어 기법을 이용한 보상회로를 포함시켰다. 칩 측정 결과 2.5V ~ 3.3V의 입력 전압을 1.2V로 강압시키는데 최대 87.2%의 효율을 갖는다. 최대 부하 전류, 출력 전류 리플 및 전압 리플은 각각 500mA, 25mA, 24mV 이다.

Key Words : DC-DC Step Down, Buck, Capacitor Multiplier, Soft-Start

ABSTRACT

This paper presents a step-down DC-DC converter with On-chip Compensation for battery-operated portable electronic devices which are designed in 0.13um CMOS standard process. In an effort to decrease system volume, this paper proposes the on chip compensation circuit using capacitor multiplier method. Capacitor multiplier method can minimize error amplifier's compensation capacitor size by 10%. It allows the compensation block of DC-DC converter be easily integrated on a chip and occupy less layout area. But capacitor multiplier operation reduces DC-DC converter efficiency. As a result, this converter shows maximum efficiency over 87.2% for the output voltage of 1.2V (input voltage : 3.3V), maximum load current 500mA, and 25mA output ripple current. This voltage mode controlled buck converter has 1MHz switching frequency.

I. 서 론

현재 핸드폰, PDA, 노트북등 휴대용 전자 제품들이 보편화 되어있으며 시장 또한 계속 확대되어 가고 있다. 이동통신 기술 발달에 따른 홈 네트워크 분야에서 원격제어 단말기로서 사용이 가능해 지면서 더욱 생활 깊숙이 자리 매김 할 수 있을 것으로

예측된다. 해당 기기들의 성능 변수인 고속 동작 및 높은 해상도는 소비자의 사용 시 감지 할 수 있는 품질로서 중요한 성능 변수이지만, 휴대용 장비들은 모두 배터리 전원을 기반으로 하고 있다. 배터리의 구동이 전제되어야만 기본적인 동작이 성립 가능한 것이다. 따라서 소비자는 다른 성능 변수와 함께 구동시간을 고려해야 한다. 본 논문에서 모바일 장비

※ “본 연구는 지식경제부 및 정보통신연구진흥원의 대학 IT 연구센터 지원사업의 연구결과로 수행되었음”
(IITA-2009-C1090-0902-0019)

* 삼성전자LSI ** 인하대학교 전자공학과 아날로그 집적회로 설계 연구실(ldkss2@naver.com)

*** 인하대학교 전자공학과 교수

논문번호 : KICS2009-04-161, 접수일자 : 2009년 4월 16일, 최종논문접수일자 : 2009년 7월 1일

기술에서 더욱 긴 구동 시간확보를 위한 전원부, 그 중에서도 배터리의 공급전압을 강압하는 스텝다운 DC-DC 변환기 설계를 설계하였다. 휴대 장비용으로 적은 면적을 가지며, 긴 구동시간 구현을 위해 고효율 스텝다운 DC-DC 변환기 설계 기술 확보에 중점을 두었다. 스텝다운 DC-DC 변환기는 정상 동작시에 PWM 모드로 고정된 스위칭 주파수에서 동작한다. 고정된 스위칭 주파수에서 안정적 동작을 위해 보상회로에 의한 보상이 필요하다.^[1] 보상회로에서 요구하는 수동소자를 온칩하여 시스템 구현을 간단하게 하고, 또한 온칩되는 커패시터의 면적 감소를 위해서 커패시터 채배기법을 사용하였다.^[2] 이를 사용함으로써 더욱 간결한 시스템 구현이 가능하다. 본 논문의 구성은 II장에서 제안된 고효율 스텝다운 DC-DC 변환기의 구조를 설명하였으며, 저 전력 스텝다운 DC-DC 변환기 제어동작 및 구성회로에 대해서는 III장에서 설명하였다. IV장과 V장에서는 각각 측정 결과와 결론을 맺었다.

II. 제안한 스텝다운 DC-DC 변환기의 설계

제안하는 스텝다운 DC-DC 변환기는 PWM방식으로 동작하고, 매주기 부하전류를 감지한다. 그림 1은 제안된 전압제어 스텝다운 DC-DC 변환기 회로의 구성블록을 간단하게 보여준다. 변환기는 크게 온칩 되는 부분과 오프칩 되는 부분으로 나뉘어진다. 본 논문에서는 오프칩 되는 필터 역할을 하는 인덕터와 커패시터를 제외하고 모든 블록 및 소자는 온칩하였다. 보상회로에서 출력전압은 $[R2 / (R1 + R2)] * V_{out}$ 으로 나누어지고, 기준전압과 비교된다. 보상회로의 출력 값은 회로내부에서 발생한 삼각파와 전압과 비교되어, PMOS 파워스위치의 온시간(on-time)을 결정한다. PMOS 파워스위치가 오프되고, NMOS 파워스위치의 온은 보상단의 출력값이 톱니파보다 작은 시점부터 시작된다. 부하전류 감지를 위해서 [3]에 제시된 전류감지 MOSFET과 증폭기를 사용하였다. 감지되는 부하전류 값을 기준 전압과 비교함으로써 현재 부하전류의 과전류 여부를 확인 한다. 필터 커패시터의 특성이 이상적으로 구현될수록 ESR(Equivalent Series Resistance) 값은 작아지고, 그림 1의 변환기의 부궤환 회로는 증가된 위상보상을 필요로 한다.

제안하는 변환기는 안정적인 위상 특성을 위해서 Type III 보상회로를 사용한다. Type III 보상회로는 원점의 극점이외에도 영점과 극점을 한 쌍씩 더 가

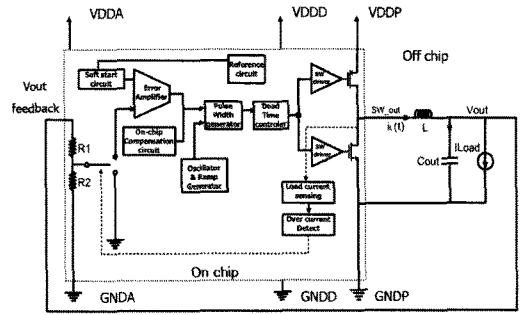


그림 1. 제안된 스텝다운 DC-DC 변환기의 블록도
Fig. 1. Block diagram of proposed step-down DC-DC converter

지고 있다.^[1] 크로스오버 주파수 양쪽에 이 영점과 극점 쌍을 배치시킴으로써 180°이하의 위상을 보상할 수 있다. 충분한 위상을 보상할 수 있으며 작아진 ESR 값의 영향을 무시할 수 있다. 사용된 보상회로가 복잡해진 반면, 안정적인 위상여유를 확보할 수 있다. Type III 보상회로는 그림 2와 같이 3개의 저항과 3개의 커패시터를 가진다. 오차보상회로를 통한 부궤환 시스템을 구현하여, 입,출력 전압의 변동과 같은 외란 요인과 스위칭 리플 성분을 감쇠하며 출력전압을 유지할 수 있다.

보상회로에 사용된 수동소자 중에 C1과 C3가 큰 크기의 커패시터 값을 요구한다. 보상 회로를 온칩하기 위해선 수동소자 C1 및 C3의 차지 면적에 대한 대책이 필요하다. 큰 용량의 커패시터를 온칩하기 위해서, 커패시터 채배기법을 사용할 수 있다.본 논문에서는 전류방식의 커패시터 채배기법을 사용하였다.^[2]

소프트 시동회로(soft start circuit)는 스텝다운 DC-DC 변환기 시동시의 급격한 귀환 전압상승으로 인한 과전류 발생을 방지한다. 소프트 시동회로는 시

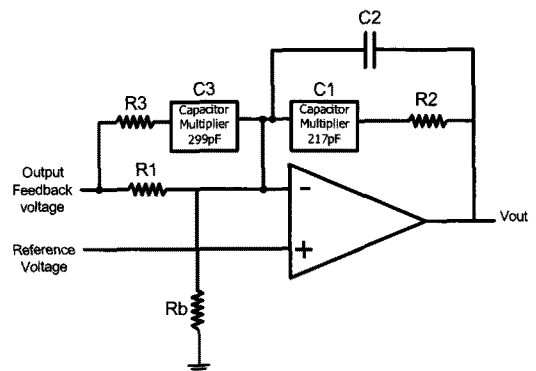


그림 2. 제안된 Type III 오차증폭기 회로
Fig. 2. The proposed type III compensation circuit

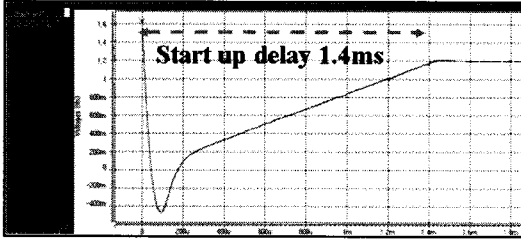


그림 3. 소프트 시동회로 시뮬레이션
Fig. 3. Soft start circuit simulation

동시에 보상단의 기준전압을 완만하게 상승하는 삼각파 전압으로 우회시킨다.^[4] 완만히 상승하는 기준 전압을 따라 출력전압도 완만한 상승을 하게된다. 삼각파 전압이 기준전압까지 완만하게 증가할수록 안전한 시동이 보장된다. 완만한 증가를 위하여 삼각파 충전에 필요한 커패시터 용량을 증가시키거나^{[5][6]}, 바이어스 전류 값을 감소시킨다. 그림 3은 약 1.4ms의 지연시간을 갖는 소프트 시동회로 동작을 보여준다.

그림 4는 설계된 소프트 시동회로를 보여준다. 완만한 지연시간 경과 후, 출력전압이 정상화되면 오차보상회로로 입력되는 삼각파 전압 대신 기준전압으로 전환한다. 전환 순간의 전하 유입이나 외란으로부터의 안정성 확보를 위하여, 그림 4와 같이 스위치 전후에 1pF의 커패시터 Csoft1,2를 배치하였다. 기존 논문에서는 nF 급의 큰 커패시터를 사용하여, 시동지연시간을 구현하였다.^[5] 본 논문에서는 1pF의 커패시터로 긴 충전시간을 갖기 위해서, 10nA의 전류원을 구현하였다. 선형동작 영역으로 바이어스된 PMOS를 직렬 구성하여^[4], 높은 저항값을 합성하고 낮은 출력 전류를 구현하였다. 본

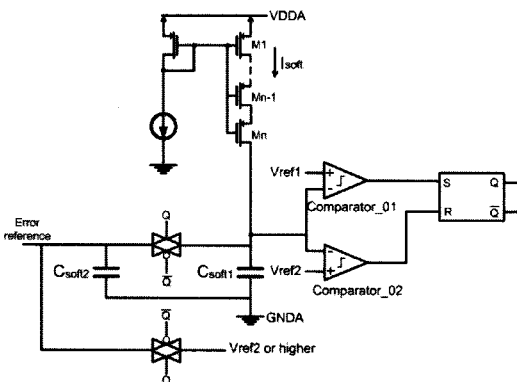


그림 4. 온칩된 Soft start 회로
Fig. 4. On chip Soft start circuit

기법을 사용하여 soft start회로의 온칩이 가능하다.

전류 제어 방식과 달리 전압 제어 방식의 스텝다운 DC-DC변환기는 기본적인 동작을 위해서 부하전류 감지 회로가 필요하지 않다.^[1] 그러나 과전류 방지를 위하여 부하 전류 감지회로를 추가하였다. 부하 전류 감지를 위해서, 온칩 가능하고, 소비전력도 적은 감지 FET 기법을 사용하였다.^[5]

1MHz 미만의 스위칭 주파수를 갖는 변환기에서는 비교적 정확한 부하전류 값 측정이 가능하다.^[6] 제한하는 변환기에서는 감지 FET 기법의 부하 전류 감지회로를 통해서 과전류 발생 방지 기능을 구현하였다.

III. 스텝다운 DC-DC 변환기의 레이아웃

그림 5는 전체시스템의 레이아웃을 보여준다. 공정 수 절감을 위해 레이아웃시의 라우팅은 2개의 메탈층을 사용하였다. 온칩된 파워스위치를 포함한 레이아웃의 코어사이즈는 2.6*2.2mm²이다.

NMOS 파워스위치와 PMOS 파워스위치는 각각 50mΩ 정도의 R_{on}저항을 가지도록 파워스위치의 크기를 결정 하였다. PMOS 파워스위치는 NMOS 파워 스위치의 2.4배 크기로 레이아웃을 하였다. 이러한 두 개의 트랜지스터들은 스텝다운 DC-DC 변환기 ON/OFF 구간에서 개별적으로 동작하므로, 트랜지스터의 크기를 결정할 때 트랜지스터 사이의 정확한 정합 특성보다는 각 트랜지스터의 on-저항이 전도 손실에 미치는 영향을 고려하였다. 또한 디지털 잡음을 발생시키는

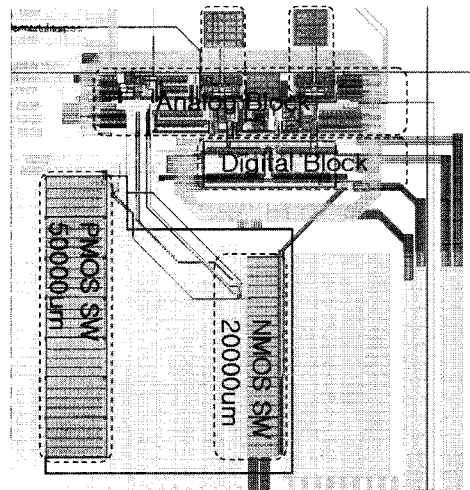


그림 5. 제안된 DC-DC 변환기 레이아웃
Fig. 5. The proposed DC-DC converter full layout

디지털 및 파워스위치 영역에 가드링을 추가하여 간섭을 억제 하였다.

IV. 측정 결과 및 고찰

그림 6과 그림 7은 각각 부하 전류가 50mA, 100mA일 때, 파워 스위치 드라이버의 출력 전압 펄스와 L, C 소자를 통해 정류된 출력 전압을 나타내고 있다. 설계된 스텝다운 DC-DC 변환기의 입력은 3.3V이고, 출력은 1.2V이다. 이상적인 경우 파워 스위치 출력 전압 펄스의 듀티 비는 0.36 정도가 된다. 측정결과 듀티 비는 0.37정도로 측정이 되었다. 칩으로 구현되며, 데드 타임(dead-time) 제어 및 파워스위치의 기생성분을 통한 손실이 증가할 수 있고, 손실에 의해서 듀티 비의 증가가 발생한 것으

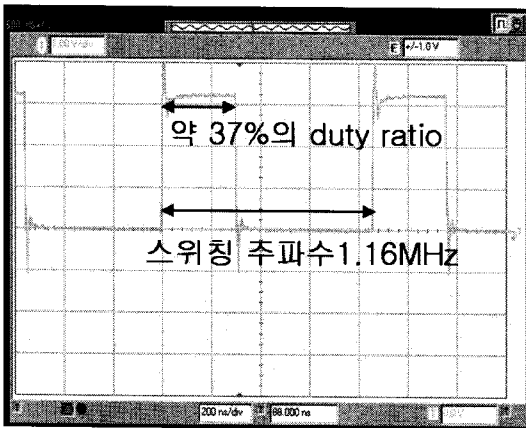


그림 6. 50mA 부하에서의 파워 스위치 구동 전압 출력
Fig. 6. Power switch drive voltage output in 50mA load



그림 7. 100mA 부하에서의 출력 전압과 리플 파형
Fig. 7. Output voltage & ripple in 100mA load

로 추정된다. 설계된 변환기는 고정된 데드 타임 제어를 하고, 이는 파워스위치의 총방전 오차에 의한 손실을 초래 할 수 있다. 스위칭 주파수는 1.16MHz로 측정되었다.

스텝다운 DC-DC 변환기에서 출력 전압의 성능을 나타내는 지표는 바로 출력 전압의 리플이다. 그림 7은 100mA의 부하전류가 흐를 때 출력 전압을 보여준다. 목표로 하는 출력 전압에 리플이 실린 파형으로 24mV[2%]이하의 리플 전압을 추정할 수 있다. 이는 시뮬레이션시 확인한 출력전압 리플 0.6% 대비 증가한 값이다. 부하전류 증가와 함께 증가하는 출력 리플전압은 사용된 외장 필터소자 C, L의 비이상적인 특성 값에 의해 시뮬레이션과의 차이를 나타낼 수 있다.

제안된 스텝다운 DC-DC 변환기의 전력효율은 그림 8과 같다. 200mA 부하에서 최대 효율을 갖도록 파워 스위치를 설계하였고, 87.2%의 전력효율을 확인하였다. 참고 문헌과 벅 변환기와의 비교 분석 결과는 표 1과 같다. 수치적으로 발표된 논문들에 비해 전력효율이 낮은 것을 볼 수 있다. 스위칭 주파수는 타 논문들에 비해 비슷하거나 높은 반면 사

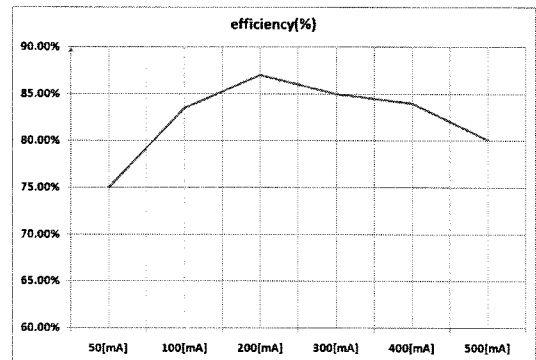


그림 8. 전력효율 그래프
Fig. 8. Power Efficiency Graph

표 1. 제안한 변환기와 기존 논문과의 비교
Table 1. Comparison of performance between the proposed converter and reference

Ref. No.	Date	In	Out	SW Freq.	Efficiency	L / C	Output ripple
[3]	Feb 2005	3.3	1.5	0.5MHz	90%	1uH/3uF	20mV
[4]	Sep 2007	6	3	1.1MHz	94%	4.7uH/10uF	3mV
[5]	July 2004	3.6	1	300kHz	89.5%	4.7uH/10uF	20mV
This work	Sep 2008	3.3	1.8	1MHz	87.2%	10uH/10uF	under 10mV

용된 인덕터 및 커패시터의 값은 큰 편이다. 이는 출력 전압의 리플 성분을 양호하게 하기 위해 변화 효율과 출력 리플을 트레이드 오프한 결과이다.

V. 결 론

본 논문은 무선 모바일 시스템의 전력구동과 효율 향상을 위한 1MHz 스위칭 주파수에서 동작하는 스텝다운 DC-DC 변환기의 설계를 제안하였다. 본 변환기는 커패시터 채배기법을 사용한 보상회로를 통해서, 변환기가 요구하는 시스템 및 칩 면적을 절약하였다. 전압제어 방식을 가진 변환기의 출력 귀환 값 보상을 위해 Type III 구조의 보상회로를 설계하였다. 본 변환기는 CMOS 0.13 μ m 1-Poly 6-Metal 공정을 사용하여 설계하였으며 2% 이하의 출력전압 리플과 최대 87.2%의 전력 효율을 나타낸다. 제안된 스텝다운 DC-DC 변환기는 핸드폰, 노트북, PDA, MP3와 같은 배터리 전원 기반의 무선 모바일 기기의 디지털 IP에 사용될 수 있을 것으로 기대된다.

표 2. 설계 성능 요약
Table 2. Design performance summary

항목	측정결과
입력전압	2.5v~3.3v
출력전압	1.2v
스위칭주파수	1MHZ
전력효율	Maximum 87.2%
전압리플	2%
부하전류	Maximum 500mA
Capacitor	33uF
Inductor	33uH
칩면적	2600*2500um ²
공정	CMOS 동부 0.13um - 1P6M

감사의 글

반도체설계교육센터(IDEC)의 CAD Tool 지원에 감사드립니다.

참 고 문 헌

[1] Abraham I. Pressman "Switching Power Supply Design", second edition, McGraw-Hill Companies, Inc., 1998.
 [2] Ke-Horng Chen, Chia-Jung Chang "Bidirectional Current-Mode Capacitor Multiplier for On-Chip

Compensation", IEEE Transactions on power electronics, Vol.23, pp.180-188, Jan., 2008.

[3] Chi Yat Leung, Philip K. T. Mok, "An Integrated CMOS Current-Sensing Circuit for Low-Voltage Current-Mode Buck Regulator", IEEE Transactions on circuit and systems, 2005, Vol.52, pp.394-397, Jul., 2005.
 [4] Feng-Fei Ma, Wei-Zen Chen, and Jiin-Chuan Wu, "A monolithic current Mode buck converter with advanced control and protection circuit" IEEE Transactions on power electronics, Vol.22, pp.1836-1846, Sep., 2007.
 [5] Cheung Fai Lee and Philip K. T. Mok, "A Monolithic current-Mode CMOS DC-DC Converter With On-Chip Current-Sensing Technique", IEEE Journal of Solid-State Circuits, Vol.39, No.1, pp.3-14, Jan., 2004..
 [6] Forqhani-zadeh.H.P, "Gabriel A.Rincon-Mora Current sensing techniques for DC-DC converters" Circuits and Systems, 2002. MWSCAS-2002. The 2002 45th Midwest Symposium. pp.577-580, May, 2002.

박 승 찬 (Seung-chan Park)

준회원



2004년 인하대학교 전자공학학사
 2004년~2006년 LG디스플레이
 근무

2007년~2009년 2월 인하대학교
 전자공학 석사

2009년 2월~삼성LSI사업부 근무
 <관심분야> 아날로그 VLSI설

계, DC-DC converter 설계, System IC 설계

임 동 균 (Dong-kyun Lim)

준회원

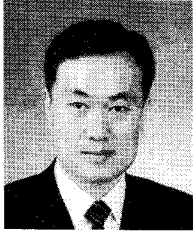


2008년 인하대학교 전자공학학사
 2008년~인하대학교 전자공학 석
 사과정

<관심분야> 아날로그 VLSI설계,
 DC-DC converter 설계, System
 IC 설계

이 상 민 (Sang-min Lee)

정회원



1987년 인하대학교 전자공학 학사
1989년 인하대학교 전자공학 석사
2000년 인하대학교 전자공학 박사
1989년 1월~1994년 7월 (주)LG
이노텍 중앙연구소 선임연구원
1995년 1월~2002년 3월 삼성중
합기술원 책임연구원

2004년 4월~2005년 2월 한양대학교 의공학교실 연
구교수

2005년 3월~2006년 8월 전북대학교 생체정보공학부
조교수

2006년 9월~현재 인하대학교 공과대학 전자공학부
부교수

<관심분야> Healthcare system design, Psycho-acoustics,
Brain-machine interface

윤 광 섭 (Kwang-sub Yoon)

종신회원



1982년 2월 인하대학교 전자공
학과
1983년 2월 Georgia Institute
Inc, Technology 전자공학 석사
1989년 2월 Georgia Institute
Inc, Technology 전자공학 박사
1984년 3월~1989년 2월 Georgia

Institute of Technology Research Assistant
1989년 3월~1992년 2월 Silicon Systems Inc,

Austin Calif. U.S.A Senior Design Engineer
1992년 3월~현재 인하대학교 전자공학과 교수

<관심분야> 음성신호처리 집적회로 설계, 설계 자
동화 및 소자/회로/시스템 모델링 등