

CMOS 기반 BPSK 수신기와 반사형 위상 천이기를 이용한 QPSK 복조기 설계

Design of QPSK Demodulator Using CMOS BPSK Receiver and Reflection-Type Phase Shifter

문성모 · 박동훈 · 유종원* · 이문규

Seong-Mo Moon · Donghoon Park · Jong-Won Yu* · Moon-Que Lee

요 약

본 논문에서는 일반적인 six-port 수신기의 한 구성 성분인 BPSK 수신기와 반사형 위상 천이기를 이용하여 QPSK 신호를 복조하는 방법을 제안, 검증하고자 한다. 기존의 일반적인 곱셈 혼합 방식이나 덧셈 혼합 방식의 I/Q 복조기는 혼합기부터 parallel-to-serial 변환기까지 I/Q 경로가 분리되어 있다. 본 논문에서는 I/Q baseband 신호 경로의 분리가 없는 새로운 I/Q 복조기를 제안한다. 이는 일반적인 수신기에 비하여 baseband 경로의 회로 크기와 전력 소모를 반으로 줄일 수 있는 장점이 있다. 또한, 데이터 복조 후 parallel-to-serial 변환기가 사용될 필요가 없다. 설계된 복조기 모듈은 L-band 반송파 주파수의 데이터 율 20 Mbps까지의 QPSK 변조 신호를 성공적으로 복조하였다.

Abstract

We propose and demonstrate an I/Q demodulator using four-port BPSK demodulator base on additive mixing and reflection-type phase shifter using hybrid technique. Previously, the conventional I/Q demodulator base on multiplicative or additive mixing method divides I/Q signal path from mixer to parallel-to-serial converter. In this paper, we propose new I/Q demodulator without dividing I/Q baseband signal path. The proposed schematic requires half size in implementation and half power consumption in baseband path compared with the conventional receiver. Also, the proposed receiver eliminates parallel-to-serial converter after data decoding. The proposed circuit has been successfully demodulated a QPSK signal with the L-band carrier frequency and 20 Mbps data rate.

Key words : Multi-Port Receiver, Four-Port Receiver, Direct Conversion Receiver, Multiplicative Mixing, Additive Mixing, QPSK, Demodulator, Parallel-to-Serial(P/S) Converter, Reflection-Type Phase Shifter

I. 서 론

현재 무선 통신 시스템은 전력 소모, 회로 크기, 가격 등의 장점이 있는 직접 변환 수신기(direct conversion receiver) 구조를 채택, 활발한 연구가 진행되고 있다. 현재까지 연구되고 있는 일반적인 곱셈 혼

합(multiplicative-mixing) 방식 혹은 multi-port 수신 구조에서 사용하는 덧셈 혼합(additive-mixing) 방식을 기반으로 한 직접 변환 수신기는 혼합기부터 parallel-to-serial(P/S) 변환기(converter)까지 I/Q 신호 경로가 분리되어 있다^{[1],[2]}.

다시 말해, 일반적인 QPSK 신호의 동기 검출은

서울시립대학교 전자전기컴퓨터공학부(Department of Electrical and Computer Engineering, University of Seoul)

*한국과학기술원 전기 및 전자공학과(Department of Electrical Engineering, Korea Advanced Institute of Science and Technology)

· 논문 번호 : 20090529-13S

· 수정완료일자 : 2009년 7월 22일

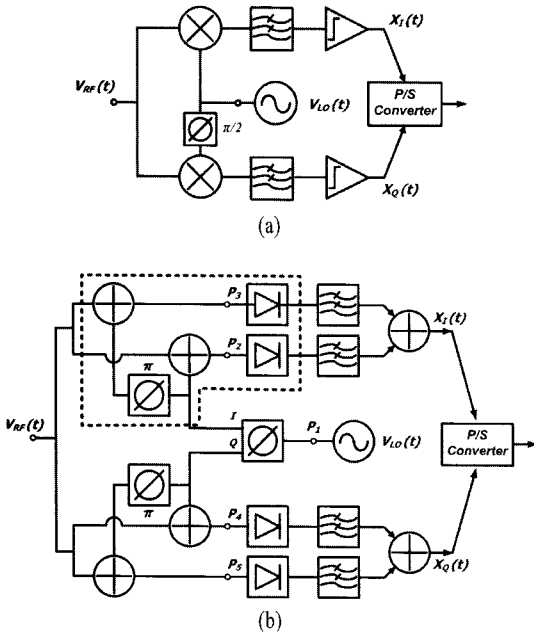


그림 1. (a) 일반적인 I/Q 복조기, (b) 일반적인 six-port 복조기의 블록 다이어그램

Fig. 1. Block diagram of (a) conventional I/Q demodulator and (b) conventional six-port demodulator.

그림 1의 과정을 통해 이루어진다. 회로는 입력 변조 신호를 90도 위상 차이를 갖는 위상이 서로 다른 국부 발진기(LO: Local Oscillator) 신호로 상관시켜서 $[\pm 1, \pm 1]$ 의 심볼과 최대한으로 비슷한 값을 결정하게 된다. 이후 P/S 변환기가 심볼을 두 비트(bit) 값으로 바꾸어서 원래의 기저대역 이진 데이터를 복원하게 된다. 따라서 QPSK 변조 신호를 수신하기 위해서는 I/Q 신호를 분리하기 위하여 국부 발진기 신호에서 I/Q 신호를 생성하고 I/Q 각각의 경로에 혼합기를 이용하여 변조 신호를 복조한다.

본 논문에서는 일반적인 I/Q 수신기의 일부인 BPSK(one-path) 수신기만을 이용하여 QPSK 및 M-QAM 신호를 복조하는 방법을 제안한다. 또한, 사용되는 덧셈 혼합 방식의 BPSK 수신기도 기존의 링(ring) 하이브리드와 같은 분포 소자를 이용한 방식에서 CMOS 공정에 집적 가능한 능동 회로 방식으로 변경한 새로운 구조를 적용한다.

논문에서 제안한 덧셈 혼합 방식의 구조는 낮은 국부 발진기 신호로도 복조가 가능하기 때문에 일반적인 곱셈 혼합 방식의 수신기에 비하여 소비 전력

측면에서 유리하며, 국부 발진기 신호의 누설에 의한 DC offset이 구조적으로 제거된다. 또한, Wilkinson 전력 분배기 회로 및 브랜치(branch) 선로 하이브리드와 같은 분포 소자를 사용하는 일반적인 multi-port 수신기에 비하여 회로 크기를 줄일 수 있는 장점이 있다. 마지막으로 제안한 구조는 복조기 출력 신호가 I/Q 신호를 모두 포함하고 있기 때문에 데이터 복조 후에 사용되는 P/S 변환기가 필요 없는 장점이 있다.

본 논문에서는 저 전력과 넓은 동작 영역을 갖는 CMOS 기반 BPSK 수신기와 반사형(reflection-type) 위상 천이기를 이용하여 QPSK를 복조하는 방법을 제안, 검증한다. 제안한 복조기 모듈은 하이브리드 방식으로 조립하였으며, L-band의 반송파 주파수에서 데이터 복조를 확인하였다.

II. 회로 설계

논문에서 제안한 QPSK 복조기 구조는 그림 2와 같다. 제안한 구조는 덧셈 혼합 방식을 적용한 CM-

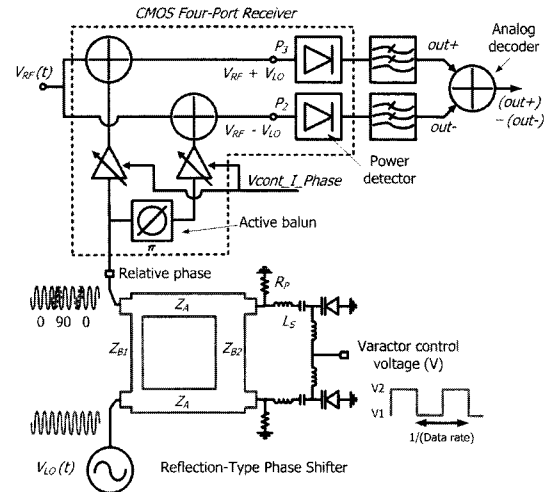


그림 2. 제안한 QPSK 직접 변환 수신기의 블록 다이어그램, 점선 영역: CMOS 기반 four-port BPSK 복조기, bottom schematic: I/Q LO 신호 발생을 위한 반사형 위상 천이기

Fig. 2. Block diagram of the proposed QPSK direct conversion receiver, the dotted area: the CMOS four-port BPSK demodulator, the bottom schematic: the reflection-type phase shifter for I/Q LO signal generation.

OS 기반의 BPSK 수신기(active balun, active four-port junction, power detector)와 일반적인 반사형 위상 천이기로 구성되어 있다. 본 절에서는 CMOS 기반의 BPSK 수신기와 반사형 위상 천이기 회로 설계에 대해서 설명하고, 제안한 수신기에 대한 동작원리를 시뮬레이션 결과를 통하여 설명할 것이다.

2-1 CMOS기반의 BPSK 수신기

제안한 복조기에서 가장 핵심 회로는 $\{0$ 과 $\pi\}$ 의 위상 천이를 갖는 국부 발진기 신호와 변조 RF 신호를 결합하는 덧셈 혼합 방식을 이용한 four-port BPSK junction이다. $\{0$ 과 $\pi\}$ 의 위상을 갖는 국부 발진기 신호를 만들기 위하여 single-to-differential 변환기가 필요하다. 일반적인 분포 소자로 된 on-chip 발룬은 특히 낮은 주파수 대역에서 회로 크기가 매우 커 CMOS 공정에서 구현이 어렵다. 이러한 이유에서 발룬은 변환 손실과 비용의 증가의 단점이 있어 일반적으로 off-chip으로 구현한다.

본 논문에서는 발룬을 CMOS 공정에 on-chip화하기 위하여 능동 소자를 이용하여 구현하였다. 그림 3은 간략화한 CMOS four-port 수신기 회로이다. 제안된 CMOS four-port 수신기는 능동 소자를 이용한 발룬, 완충 증폭기, RF 결합기, 그리고 전력 검출기로 구성되어 있다.

외부에서 인가되는 국부 발진기 신호는 common-source와 common-gate로 구현된 능동 발룬을 통해서 four-port junction에 인가된다. 일반적으로 능동 소자를 이용한 발룬은 분포 소자를 이용한 발룬에 비해

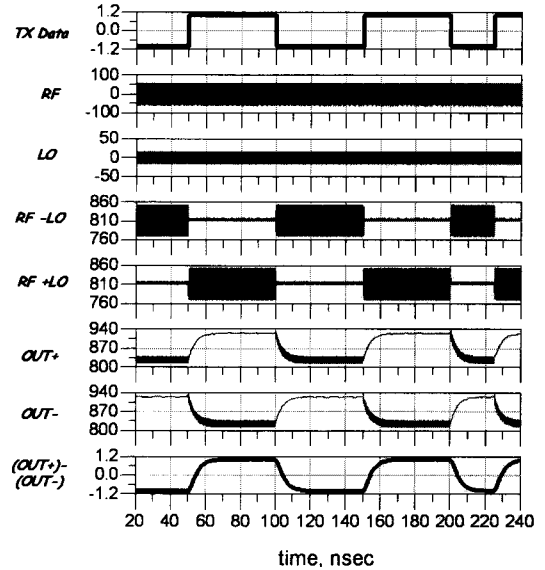


그림 4. BPSK 신호의 시뮬레이션 복조 과정. 그림 3에서 각 노드를 관찰한 파형

Fig. 4. Simulated demodulation process for a BPSK signal. Each waveform is observed at nodes shown in Fig. 3.

여 위상과 크기 오차가 상대적으로 크기 때문에 본 논문에서는 발룬에서 발생하는 오차를 줄이기 위하여 발룬 뒷단에 증폭기를 연결하여 위상과 진폭 오차를 최대한 줄일 수 있도록 설계하였다.

그림 4는 그림 3 회로의 각 노드에서의 출력에 대한 Transient 시뮬레이션 결과이다. 제안한 CMOS four-port 수신 구조의 동작 영역은 능동 발룬의 동작 대역폭에 제한된다. 참고문헌 [3]에 의하여 일반적인

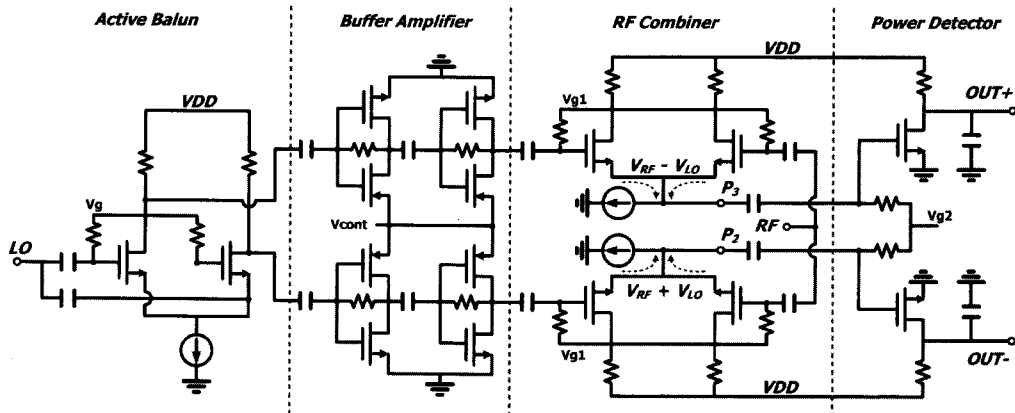


그림 3. 간략화한 four-port 수신기 회로
Fig. 3. Simplified schematic of the four-port receiver.

표 1. 설계된 BPSK 복조기의 시뮬레이션 소비 전력
Table 1. Simulated power consumption of the designed BPSK demodulator.

Block name	Power consumption [mW]
LO buffer amplifier	4.06
Active balun	5.76
RF combiner	2.88
Bias circuit	1.44
Power detector	0.07
Total consumption	14.21

능동 발룬은 수 octave 대역폭을 갖기 때문에 제안한 수신기 구조 또한 수 octave 대역폭을 갖는다. 분포 소자를 사용한 일반적인 multi-port 수신기와는 달리, 제안한 구조는 변조 신호와 국부 발진기 신호가 결합할 때 회로에 소비 전력이 있는 단점이 있다. 시뮬레이션 결과에서 제안한 구조의 CMOS four-port 수신기의 전체 전력 소모는 14.21 mW이며, 각 블록의 소비 전력은 표 1과 같다.

2-2 반사형 위상 천이기 설계

그림 2의 아래 회로는 두 개의 동일한 반사 종단 회로를 임피던스 변환 브랜치 선로(branch line) 하이브리드에 연결한 방식의 일반적인 반사형(reflection-type) 위상 천이기이다^[4]. 종단 회로는 병렬 저항 R_p 와 직렬 공진 회로로 구성되어 있다. 위상천이기의 주파수에 의한 상대 위상 변화를 가능한 크게 가져가기 위하여 포트 임피던스 비율 $r_2=4$, 그리고 최적의 R_p 값을 계산하여 적용하였다. 직렬 공진 회로에 사용된 varactor 다이오드는 $C_{v,min}=1.6$ pF(5 V), $C_{v,max}=8$ pF(0 V), 그리고 $R_s=0.5$ Ω의 특성을 갖는 Toshiba 사의 Silicon Epitaxial planar 타입을 사용하였다.

2-3 제안한 QPSK 수신기 모듈

제안한 구조를 검증하기 위하여 그림 2의 회로는 실제 소자를 이용하여 구현하였고, 변조 신호는 디지털 회로를 이용하였으며, 아날로그 디지털 통합 시뮬레이션을 수행하여 검증하였다.

그림 5는 제안한 QPSK 복조기의 시뮬레이션 결과이다. 임의의 불규칙(random) 신호를 인가하면 Se-

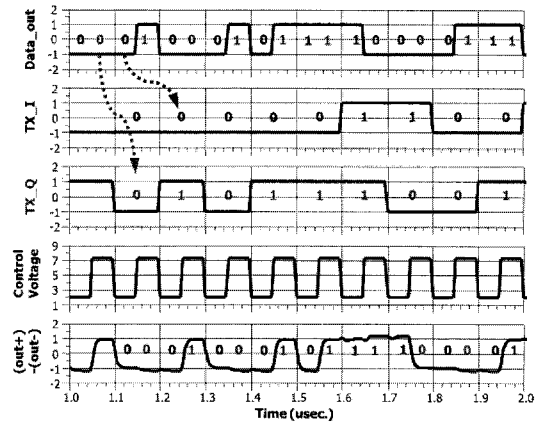


그림 5. 제안한 QPSK 복조기의 시뮬레이션 결과
Fig. 5. Simulated results of the proposed QPSK demodulation. Each waveform is observed at nodes shown in Fig. 2.

rial-to-parallel(S/P) 변환기에 의하여 TX_I, TX_Q와 같이 I/Q 신호가 각각 분리된다. 분리된 I/Q 신호를 변조기를 통하여 반송과 주파수로 변조 신호를 발생한다.

반사형 위상 천이기의 가변 전압을 이용하여 주기적으로 $\{0, \pi/2\}$ 위상 변화를 갖는 국부 발진기 신호를 발생한 후 RF 포트에 변조 신호가 인가되면, varactor 가변 전압에 인가되는 주기 신호의 반주기 동안은 $\{0\}$ 위상의 국부 발진기 신호가 발생되고, 나머지 반주기동안은 $\{\pi/2\}$ 위상의 국부 발진기 신호가 발생한다. 위의 주기적으로 발생하는 국부 발진기 신호 중 $\{0\}$ 위상일 때 I 신호를 복조하고 $\{\pi/2\}$ 위상일 때 Q신호를 복원하여 I/Q 신호가 복조되는 구조이다. 이 때 위상 천이기의 가변 전압에 인가되는 주기신호의 주기는 데이터율의 두 배이고, 전압 크기는 국부 발진기에서 90도 위상을 발생하는 전압 크기이다. 따라서 I/Q 데이터를 수신하는 시간이 기존 수신기에 비해 절반으로 줄어들어 SNR이 이상적으로 3 dB 저하가 발생한다.

제안한 구조에서 정확한 QPSK 신호 복원을 결정하는 요소는 다음과 같다. 첫째는 TX 데이터 클럭(clock)과 varactor 가변 전압의 상승(혹은 하강) 에지의 delay 오차가 최소화 되어야 한다. 둘째는 varactor 가변 전압에 의한 위상 천이기 출력에서 삽입 손실 변화율과 90도 위상 오차가 최소화 되어야 한다.

III. 실험 결과

복조기 모듈을 측정하기 전에 개별 부품 특성 측정을 수행하고, 그 결과를 토대로 제안한 복조기 모듈 측정을 수행하였다.

3-1 반사형 위상 천이기 측정

설계한 반사형 위상 천이기는 유전율 2.6, 기판 두께 0.5 mm의 Teflon 기판에 구현하였다. 그림 6은 위상 천이기의 바랙터 조정 전압에 따른 상대 위상 변화와 삽입 손실의 결과이다. 조정 전압 0 V에서 5 V 까지 변화시 $r_2=4$, $R_2=82 \Omega$ 일 때, 177° 의 위상 변화, 최저 삽입 손실 1.43 dB에서 1.0 dB 변화가 측정되었다.

그림 7은 주파수 변화에 따른 상대 위상 변화와 삽입 손실의 측정 결과이다. 중심 주파수 2.4 GHz, 대역폭 200 MHz 안에서, 측정된 주파수 가변은 260° 이상이며, 이때 삽입 손실 변화는 1.1 dB 이내이다.

그림 8은 입력 주파수 2.45 GHz에서 시간 영역에서 측정된 위상 천이기의 출력 파형이다. 측정은 86100C digital communications analyzer와 8110A pulse generator를 이용하였으며, 2.45 GHz 입력 주파수에서 측정된 위상과 크기 오차는 각각 1.8° , 0.37 dB 이내이다.

3-2 수신기 모듈 측정

그림 9는 제안한 QPSK 수신기 모듈의 측정 환경

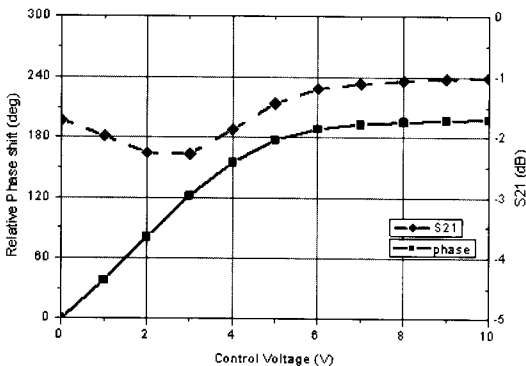


그림 6. 측정된 varactor 조절 전압에 따른 삽입 손실 및 상대 위상 변화(solid line: 상대 위상 변화, dot line: S_{21})

Fig. 6. Measured insertion loss and relative phase variation versus varactor control voltage(solid line: relative phase shift, dot line: S_{21}).

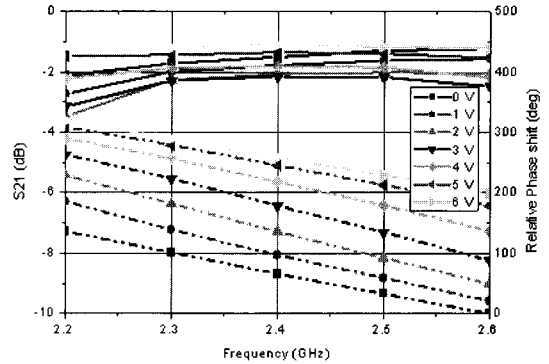


그림 7. 측정된 주파수에 따른 삽입 손실 및 상대 위상 변화(dot line: 상대 위상 변화, solid line: S_{21})

Fig. 7. Measured insertion loss and relative phase variation versus frequency(dot line: relative phase shift, solid line: S_{21}).

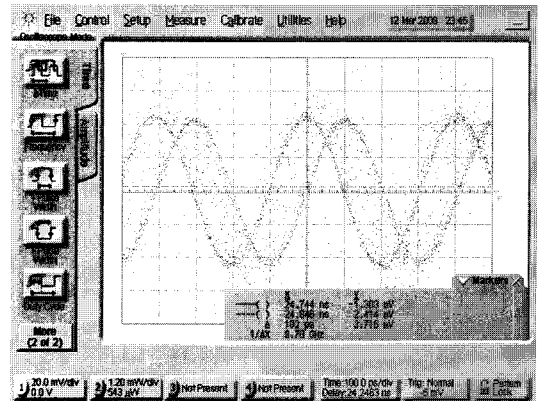


그림 8. Reflection-type 위상 천이기의 출력 파형의 시간 영역 측정 결과

Fig. 8. Measured time-domain waveforms versus varactor control voltage from 0.7 V to 2.52 V, amplitude and phase mismatch: 0.38 dB, 1.8° .

이다. RF 신호와 LO 신호의 동기를 조절하기 위하여 위상 천이기를 사용하였다. 또한 $V_{RF}+V_{LO}$ 와 $V_{RF}-V_{LO}$ 의 전력의 차를 구현하기 위하여 AD8138을 이용하여 아날로그 디코더를 구현하였다.

그림 10은 E4438C VSA를 이용한 QPSK 신호를 위한 반송파 주파수 2.4 GHz에서 20 Mbps 변조 스펙트럼을 보여주고 있다. 위의 변조 신호를 이용하여 제안한 구조를 검증하였다. 측정 결과 그림 11에서 설계된 수신기 모듈은 반송파 주파수 2.4 GHz에서 QPSK의 10 Msps까지 복조됨을 확인하였다. 복조기

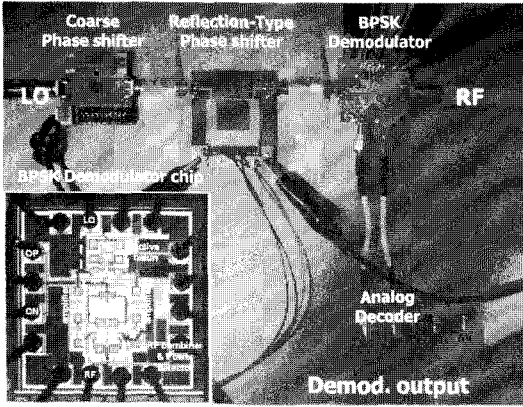


그림 9. 제작한 CMOS four-port 수신기 및 제안한 QPSK 복조기의 측정 환경 사진

Fig. 9. The photograph of the fabricated CMOS four-port receiver and the measurement setup of the proposed QPSK demodulation.

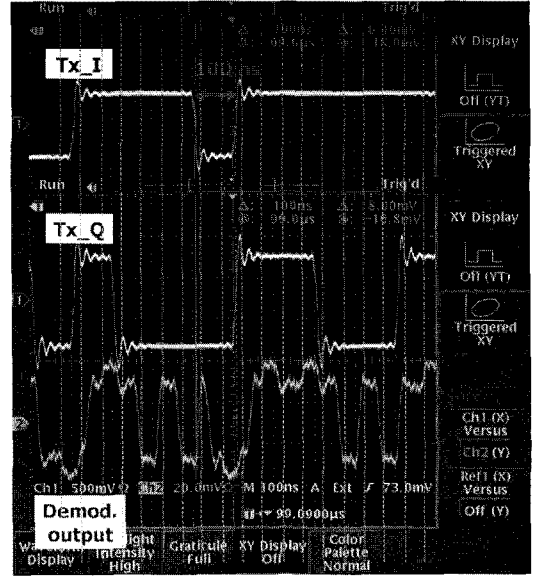


그림 11. 입력 주파수 2.4 GHz, RF & LO power=-20 dBm, data rate 20 Mbps일 때 측정된 QPSK 복조기의 출력 파형 및 입력 pseudo-random sequence

Fig. 11. Measured output waveform of the proposed QPSK demodulator module and input pseudo-random sequence at 2.4 GHz with RF & LO power=-20 dBm data rate=20 Mbps.

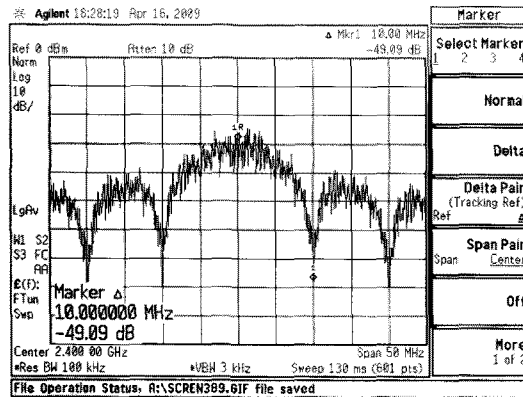


그림 10. 제안한 수신기 측정을 위한 QPSK 변조 스펙트럼: data rate=20 Mbps, carrier frequency =2.4 GHz

Fig. 10. Photograph of the QPSK modulated spectrum for measurement of proposed receiver: data rate=20 Mbps, carrier frequency=2.4 GHz.

의 최종 출력에서 측정된 I/Q 신호의 위상과 진폭의 부정합은 반사형 위상 천이기의 진폭 및 위상 부정합에 의한 결과이다. 측정 결과는 시뮬레이션 결과와 비교할 때 매우 유사한 결과를 확인하였다. 표 2는 일반적인 I/Q 수신기와 제안한 구조의 수신기의 장단점을 비교하였다.

IV. 결 론

본 논문에서는 CMOS 기반 차동 BPSK 수신기와

표 2. 제안한 구조와 일반적인 I/Q수신기 장단점
Table 2. Merit and faults of proposed and conventional I/Q receiver.

	Proposed receiver	Conventional I/Q receiver	Conventional six-port
소비 전력	Good	Bad	Excellent
회로의 복잡성	Excellent	Bad	Bad
데이터 율	Bad	Good	Good
SNR	Bad(-3 dB)	Good	Good
낮은 LO 전력	Excellent	bad	Excellent

반사형 위상 천이기를 이용하여 새로운 구조의 복조기 모듈을 제작 측정하였다. 제안한 복조기 모듈은 2.4 GHz RF 주파수에서 10 Msps(20 Mbps)까지의 QPSK 신호를 복조됨을 확인하였다. 제작된 반사형 위상 천이기의 I/Q 변환 속도를 개선시킬 수 있다면 복조되는 데이터 율을 보다 증가시킬 수 있을 것이다. 기존 구조에 비해 제안한 구조는 3 dB의 SNR 저하가 있음에도 불구하고, I/Q baseband 신호 경로를

공유할 수 있으며, P/S 변환기가 필요없어 기존 multi-port 구조의 수신기에 비하여 회로가 간단해지는 장점이 있다.

참 고 문 헌

[1] Jai Hyrylainen, Leonid Bogod, Seppo Kangasmaa, Hans-Otto Scheck, and Tommi Ylamurto, "Six-port direct conversion receiver," *27th European Microwave Conference 1997*, vol. 1, pp. 341-346, Oct. 1997.

[2] A. Parssinen et al., "A 2-GHz wide-band direct conversion receiver for WCDMA applications," *IE-*

EE Journals of Solid-State Circuits, vol. 34, no. 12, pp. 1893-1903, Dec. 1999.

[3] M. C. Tsa, M. J. Schindler, W. Struble, M. Ventresca, R. Binder, R. Waterman, and D. Danzilio, "A compact wideband balanced mixer", *IEEE MTT-S Int. Dig.*, vol. 1, pp. 5-8, May 1994.

[4] Chien-San Lin, Sheng-Fuh Chang, Chia-Chan Chang, and Yi-Hao Shu, "Design of a reflection-type phase shifter with wide relative phase shift and constant insertion loss", *IEEE Trans. Microwave and Theory Tech.*, vol. 55, no. 9, pp. 1862-1868, Sep. 2007.

문 성 모



2003년 2월: 서울시립대학교 전자전기컴퓨터공학부 (공학사)
 2005년 2월: 서울시립대학교 전자전기컴퓨터공학부 (공학석사)
 2005년 1월~2008년 3월: 인티그런트 테크놀로지스(주) 선임연구원
 2005년 3월~현재: 서울시립대학교 전자전기컴퓨터공학부 박사과정

[주 관심분야] RFIC/MMIC, 마이크로파 및 밀리미터파 부품 및 시스템

유 중 원



1992년 2월: 한국과학기술원 전자공학과 (공학사)
 1994년 2월: 한국과학기술원 전자공학과 (공학석사)
 1998년 7월: 한국과학기술원 전자공학과 (공학박사)
 2004년 2월~현재: 한국과학기술원 전자공학과 부교수

[주 관심분야] 마이크로파/밀리미터파 회로(MMIC, Hybrid), 무선 통신 시스템

박 동 훈



2006년 2월: 경원대학교 전기전자공학부 (공학사)
 2006년 2월~2007년 12월: 인티그런트 테크놀로지스(주) 연구원
 2008년 9월~현재: 서울시립대학교 전자전기컴퓨터공학부 석사과정
 [주 관심분야] 마이크로파 시스템

및 부품

이 문 규



1992년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
 1994년 2월: 서울대학교 전자공학과 (공학석사)
 1999년 2월: 서울대학교 전자공학과 (공학박사)
 2002년 2월: 한국전자통신연구원 통신위성개발센터 선임연구원

2002년 3월~현재: 서울시립대학교 전자전기컴퓨터공학부 부교수

[주 관심분야] 마이크로파 시스템 및 부품 설계, RFIC