

# Optically Programmable Gate Array 구현을 위한 수직 공진형 완전공핍 광싸이리스터

논문

58-8-18

## Design of Monolithically Integrated Vertical Cavity Laser with Depleted Optical Thyristor for Optically Programmable Gate Array

최운경\* · 김도균\*\* · 최영완†

(Woonkyung Choi · Do-Gyun Kim · Young-Wan Choi)

**Abstract** - We have theoretically analyzed the monolithic integration of vertical cavity lasers with depleted optical thyristor (VCL-DOT) structure and experimentally demonstrated optical logic gates such as AND-gate, OR-gate, and INVERTER implemented by VCL-DOT for an optical programmable gate array. The optical AND and OR gates have been realized by changing a input bias of the single VCL-DOTs and all kinds of optical logic functions are also implemented by adjusting an intensity of the reference input beams into the differential VCL-DOTs. To achieve the high sensitivity, high slope efficiency and low threshold current, a small active region of lasing part and a wide detecting area are simultaneously designed by using a selective oxidation process. The fabricated devices clearly show nonlinear s-shaped current-voltage characteristics and lasing characteristics of a low threshold current with 0.65 mA and output spectrum at 854 nm.

**Key Words** : Vertical Cavity Laser, Depleted Optical Thyristor, Optical Switch,

### 1. 서 론

고속의 전송 속도와 더 많은 데이터 요구에 따른 광 네트워크에서 접속 용량이 증대됨에 따라 광접속 시스템을 제어할 전자회로가 점차 복잡해지고 비대해지며, 그 한계에 다다르고 있는 실정이다. 이러한 문제점에 직면하여 전자회로에서 부담하고 있는 제어, 판단, 스위칭 기능을 광소자 자체에서 해결하고자 하는 노력이 활발히 연구되어지고 있다. 이에, 표면 수직형 전광소자 (vertical to surface transmission electro-photonics devices)[1,2]와 완전공핍 광 싸이리스터 기반의 수직 공진형 레이저다이오드(vertical cavity laser with depleted optical thyristor, VCL-DOT)[3,4]와 같은 디바이스 레벨에서 전자적으로 뿐만 아니라 광 스위칭 기능을 수행할 수 있는 몇몇 소자들이 제안된 바 있다. 이들 소자는 광 출력, 광 검출, 광 스위칭, 메모리로서의 특성, 그리고 광 로직으로서의 기능을 함께 수행할 수 있는 기능 소자이다.[5,6]

이러한 광 스위칭 소자 중에서 광 싸이리스터는 빠른 반응 속도, 낮은 스위칭 에너지, 낮은 전력 소모, 높은 on/off 대비, 2차원 집적이 가능하다는 많은 장점을 갖는다.[1,2] 이들 광 스위칭, 광메모리, 광정보처리를 가능하게 하는 소자들 중 하나로 vertical cavity surface emitting laser typed vertical-to-surface transmission electro-photonics device

(VC-VSTEP)은 이미 구현된 바가 있다.[2] 그러나 보다 용이하게 적절한 스위칭 전압을 갖기 위해서 가운데 영역에 높은 도핑 농도( $1 \times 10^{19} \text{ cm}^{-3}$ )를 갖는 charge sheet 층을 삽입함으로써, 기존의 PnpN 소자는 상대적으로 느린 스위칭 속도를 갖는다. 이러한 일반적인 pnpn 소자들은 on 상태에서 off 상태로의 전환 시, 가운데 영역에서 잉여 다수 캐리어의 느린 재결합 과정으로 인하여, 스위칭 속도의 한계를 갖는다. 이러한 단점을 보완하기 위하여 완전 공핍 광 싸이리스터(depleted optical thyristor, DOT)가 제안되었다.[3] 이는 on 상태에서 pn-접합 가운데 영역의 잉여 캐리어를 짧은 역방향 펄스를 인가하여 강제적으로 제거해주는 방법으로, 보다 빠른 스위칭 속도를 얻기 위하여 가운데 n과 p 층의 두께는 얇게 그리고 도핑 농도는 낮게하여 잉여 캐리어를 빠른 시간에 제거하여 주는 것이 VSTEP과 다른 점이라 할 수 있다.[4] 역방향 전압 펄스를 인가하면, DOT의 가운데 영역에서 보다 짧은 시간에 모든 캐리어를 강제적으로 완전 공핍시킬 수 있다. 다시 말해 DOT는 두 개의 노드를 갖는 단순하면서도 고속 스위칭 속도를 갖는 소자이다.

모든 불린(Boolean) 로직 함수는 기본적인 세가지 함수 즉, AND, OR, INVERT 함수를 구현할 수 있다면, 그들 각각의 조합으로 구현이 가능하다. 하지만, 직렬, 병렬의 조합으로 구현을 하면, 면적도 커질 뿐만 아니라 전기적, 광 패키징의 문제를 수반한다. 이렇게 면적의 축소, 복잡한 집적화 구현을 위해 그리고 각 소자의 단순화 및 열 문제의 해결을 위하여 다양한 로직을 구현할 수 있는 단일 집적이 절실하다. 본 논문에서는 다양한 기능을 수행하는 DOT구조를 삽입하여, 보다 낮은 역방향 전압에서 완전 공핍을 형성하면서도, 낮은 문턱 전류에서 레이징을 할 수 있는 VCL-DOT를 단일 집적화하여 제작하였고, 본 연구실에서 제안한 자동

\* 정 회 원 : LG이노텍, 선임연구원.

\*\* 준 회 원 : 중앙대학교 전자전기공학부 석사과정

† 교신저자, 정회원 : 중앙대학교 전자공학과 교수

E-mail : parkch@pusan.ac.kr

접수일자 : 2009년 6월 3일

최종완료 : 2009년 7월 9일

스위칭 방식을 이용하여 하나의 소자에서 직, 병렬의 전자회로의 접근 없이, AND-gate와 OR-gate, 그리고 각 INVERT 함수인 NAND-gate와 NOR-gate를 모두 구현하였으며, 그 특성을 측정, 분석하였다.

## 2. 본 론

수직공진 광 싸이리스터 설계 시 지켜야 할 요인으로는 각 활성영역의 도핑 농도와 두께, 다중 양자우물층의 위치 및 선택적 산화층 영역의 설계이다. 먼저, 각 활성 영역의 도핑 농도 및 두께는 본 연구실에서 발표한 바 있는 유한 차분법으로 그 두께 및 도핑 농도를 구하였다.[3,4] 안쪽 두 층의 도핑 농도는 스위칭 전압의 크기를 결정짓는 요소이다. 적은 도핑 농도는 작은 스위칭 전압을 큰 도핑 농도는 큰 스위칭 전압을 유발한다. 따라서 3~5 V 스위칭 전압을 유지하기 위한 최적의 도핑농도를  $2 \times 10^{17} \text{ cm}^{-2}$ 로 정하였다. 바깥 두 층의 도핑 농도는 레이징 특성에 영향을 미친다. 많은 도핑농도는 주입되는 캐리어의 양을 증가시켜 레이징 특성을 좋게 하지만, 지나친 도핑 농도는 생성된 광자를 다시 재흡수 하므로,  $5 \times 10^{18} \text{ cm}^{-2}$ 로 결정하였다. 선택된 도핑 농도를 바탕으로 각 층의 두께를 결정하기 위해서는 수직공진 광 싸이리스터의 활성층으로 이용되는 다중 양자우물층의 위치를 함께 고려하여야 한다. 다중 양자 우물층의 위치는 그림 1에서 보여지는 바와 같이 전자기파의 최대 피크점에 있어야하며, 다중 양자 우물층의 두께를 고려한 각층의 두께는  $\lambda/2$ 의 정수배가 되어야한다.

다음 조건을 만족하는 각 층의 두께에 따른 스위칭 전압과 홀딩 전압을 표 1에 도시하였으며, 도시된 6개의 사용 가능한 값 중에서 최소값(내부층 203 nm, 외부층 239 nm)을 최적의 두께로 결정하고 제작하였다. 최적화된 구조에 따른 전류-전압 특성은 3.74 V의 스위칭 전압과 1.46 V의 홀딩 전압을 보였으며, 입력 빛의 크기가  $20 \mu\text{W}$ 로 증가함에 따라 스위칭 전압의 크기는 3.74 V에서 1.74 V로 줄어들음을 확인할 수 있었다.

수직공진 광 싸이리스터 설계 시 중요한 두 번째 요인은 선택적 산화 영역이다. 낮은 문턱전류를 유지하면서도 수광

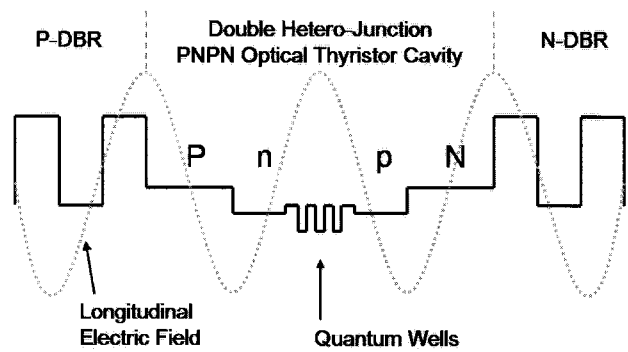


그림 1 최적화 VCL-DOT 설계를 위한 굴절률 곡선과 전기장 변화곡선.

Fig. 1 Refractive index profile and longitudinal electric field in the vicinity of the optical cavity within our desired VCL-DOT.

되는 빛의 민감도를 증가시켜줄 수 있는 선택적 산화 공법은 그림 2에서 도시한 바와 같다. 상위 DBR 미러층 하부에  $\lambda/4$ 의 두께를 유지하면서도 이웃 층에 비하여 높은(98%) Al 농도를 가짐으로써 습식 산화 공법에 의한 선택적 산화 공법을 적용하여 전류의 흐름을 제한하고, 전류제한에 따른 굴절률 차이를 이용하여 출력 광모드 역시 제한하는 특성을 이용하여 낮은 문턱 전류를 가질 수 있다. 뿐만 아니라 형성된 산화층은 출력 광모드는 제한하지만, 입력되는 광 신호에는 투명한 특성을 갖기 때문에, 넓은 흡수영역을 유지할 수 있기 때문에, 입력 광신호의 높은 민감도를 갖는 장점이 있다.

에피 웨이퍼는 금속 유기 증착법 (Metal Organic Chemical Vapor Deposition)을 이용하여 성장하였다. PnpN 활성 영역은 상, 하 두 개의 DBR 미러에 의해 둘러싸여 있으며, DBR의 성장은 직렬 저항값을 줄이고 보다 우수한 반사율 특성을 얻기 위하여 graded index 성장 방법을 이용하였다. 자세한 에피 레이어 구조와 제작 공정, 전기적 특성 및 광 특성은 앞서 발표한 논문을 참조하기 바란다.[3,4]

표 1 안쪽 두층과 바깥쪽 두층의 두께에 따른 스위칭 전압(Vs)과 홀딩 전압(VH).

Table 1 switching(Vs) and holding(VH) voltages and currents[ $\mu\text{A}/\text{cm}$ ] as a function of inner/outer layer thickness.

Thickness of each outer layer [nm]	Thickness of each inner layer [nm]							
	145		203		262		321	
	Vs	Is	Vs	Is	Vs	Is	Vs	Is
	VH	IH	VH	IH	VH	IH	VH	IH
177	X		X		X		X	
239	5.35	0.56	5.20	0.27	6.69	0.82	7.70	0.95
	4.16	928	1.92	40	1.98	77	1.97	100
300	X		5.24	0.56	6.98	0.88	X	
			1.97	68	2.00	91		
363	X		5.28	0.62	X		X	
			1.98	75				

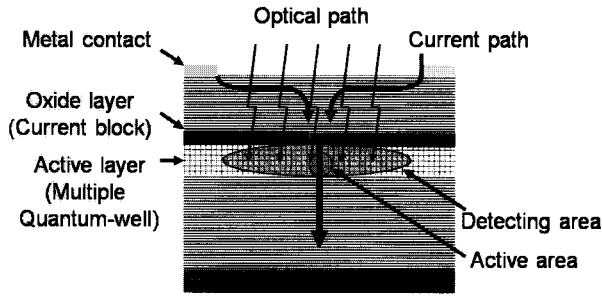


그림 2 선택적 산화공법을 적용한 VCL-DOT 모식도  
Fig. 2 Schematic diagram of selectively oxidized VCL-DOT

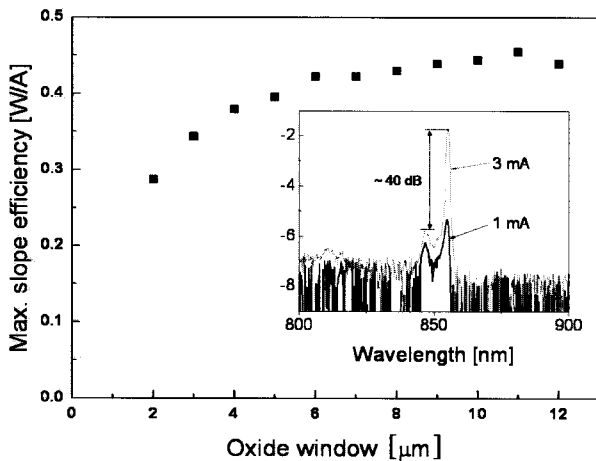


그림 3 산화창의 크기에 따른 slope efficiency 곡선. 단일모드 파장 스펙트럼(안쪽 그래프)

Fig. 3 Slope efficiency as varying the oxide aperture. The inset shows the single mode spectral response of VCL-DOT.

그림 3은 VCL-DOT의 레이징 특성을 나타낸다. 선택적 산화공법을 이용하여 mesa 크기가  $34 \times 34 \mu\text{m}^2$ 이고, Oxide aperture가  $2 \times 2 \mu\text{m}^2$ 로 제작된 VCL-DOT의 최소 문턱 전류는 0.65 mA로 지금까지 발표된 어떤 결과보다 낮은 문턱 전류 값이었고, slope efficiency는 0.3 이상으로 최고 0.43까지 특성을 보였으며, 상온에서 (25 °C) 입력전류를 3 mA로 하였을 때, 출력되는 광신호를 광 스펙트럼 분석기(OSA)를 통하여 스펙트럼을 분석한 결과, 출력 파장은 854.5 nm에서 side mode suppression ratio (SMSR)는 약 40 dB이상으로 단일모드 발진 파장을 보였다. 입력되는 광파워가 Dark에서 점차 증가함에 따라, 스위칭 전압의 크기가 5.20 V에서 1.90 V로 확연히 작아지며, 비선형 S-자형의 전류-전압 특성 곡선이 점차 사라지는 것을 확인 할 수 있다. 이는 입력되는 광 신호에 따라 광 스위칭이 가능하다는 것을 알 수 있다. 따라서 위의 VCL-DOT에 적절한 직렬 저항을 연결한 상태에서 스위칭 전압보다 다소 낮은 바이어스 입력 신호를 인가한 상태에서, 입력 빛이 없을 때는 높은 저항 상태의 off 상태에 놓이게 되지만, 입력 광 신호를 인가하여 주면, 스위칭 전압이 낮아지다가 순간 낮은 저항 상태를 유지하는 on 상태로의 스위칭이 가능하다.

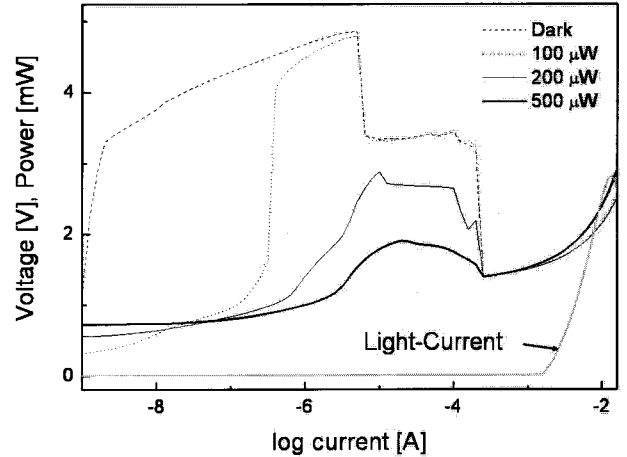


그림 4 입력 광신호의 크기에 따른 전류-전압 특성곡선.  
Fig. 4 LIV curve of the VCL-DOT with an oxide aperture of  $5 \times 5 \mu\text{m}$  as a function of input light intensity.

메모리(레지스터)로서의 로직 게이트 구현은 디지털 로직 프로세서의 가장 기본이 되는 단계이다. 또한 가장 기본이 되는 로직 AND, OR, 그리고 NOT 게이트를 구현 할 수 있으면, 그 각각의 직렬 혹은 병렬 조합으로 모든 불린 로직함수를 나타낼 수 있다. 따라서 앞에서 제작한 단일 소자 타입의 VCL-DOT를 이용하여 로직 AND와 OR 게이트를 구현하여 그 특성을 측정하였다. 지금까지 구현된 광 싸이리스터 타입의 로직 시스템은 로직 AND 혹은 OR 게이트 하나를 구현하는데 두 개 혹은 그 이상의 조합으로 구현 되었다. 하지만, 동일한 하나의 소자를 이용한 VCL-DOT는 복잡한 구성없이 단일 소자로 구현한 최초의 실험이다.

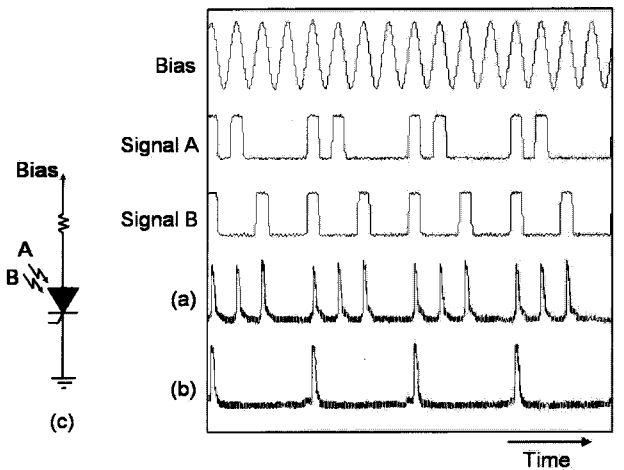


그림 5 단일 VCL-DOT를 이용한 (a) OR 와 (b) AND 함수 실험결과, (c) 단일 VCL-DOT 회로.

Fig. 5 Demonstration of digital optical logic operations (a) OR and (b) AND using a VCL-DOT. (c) Schematic equivalent circuit for single VCL-DOT.

그림 5는 복잡한 전기적 구성없이, 단일 소자를 이용한 (a) OR 와 (b) AND 함수의 실험 결과이다. 단일 VCL-DOT의 함수 구현 방법은 인가하는 전압의 크기에 결

정되어진다. 인가전압의 크기가 작을 때는 입력빛의 세기가 강할때만 턴온이 되지만, 인가전압의 크기가 크면 작은 빛에 의해서도 턴온이 되는 특성을 이용한다. 물론 매우 큰 인가전압일 경우에는 빛의 유무에 관계없이 턴온이 되기 때문에 적절한 입력전압이 필요하다. PnpN 광 싸이리스터는 50 Ω의 직렬 저항과 연결되어 있고, 동작 전압을 1 μs의 주기, 5.20 V<sub>P-P</sub>를 인가하였을 때, 그림 5(a)와 같이 작은 입력 광 신호에도 턴온하기 때문에 함수 OR를 구현할 수 있으며, 5.05 V<sub>P-P</sub>를 인가할 경우, 그림 5(b)와 같이 큰 입력 광 신호에만 턴온하기 때문에 함수 AND를 구현할 수 있다.

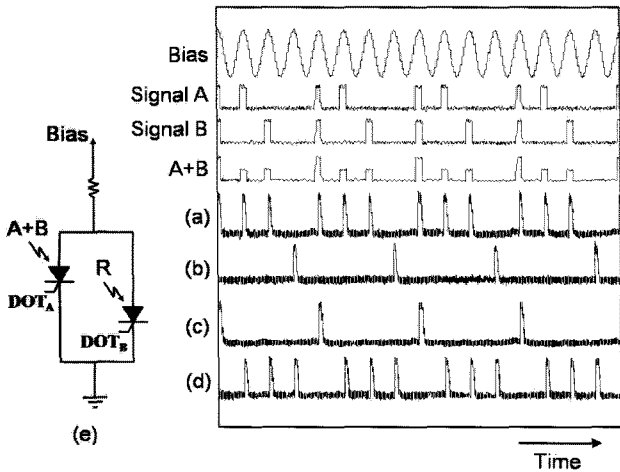


그림 6 광 로직 (a) OR, (b) NOR, (c) AND, (d) NAND 함수의 실험 결과. (e) 차동 VCL-DOT 회로.

Fig. 6 Demonstration of digital optical logic operations (a) OR, (b) NOR, (c) AND, and (d) NAND using a differential VCL-DOT. The photograph contains seven traces showing the bias voltage, optical inputs A and B, and the optical output pulses, respectively. (e) Schematic equivalent circuit for differential VCL-DOT.

그림 6(a)와 (b)는 차동 VCL-DOT를 이용한 광 로직 AND/NAND 와 OR/NOR 함수를 실험적으로 구현한 결과이다. 본 연구실에서 제안하는 차동 VCL-DOT를 이용하여 모든 종류의 광 로직 게이트를 구현하는 차동 동작원리는 다음과 같다. 실험 셋업은 동일한 두 PnpN 광 스위치가 병렬로 연결되어 있으며, 50 Ω의 직렬 로드 저항에 연결되어 양쪽 싸이리스터에 동일한 크기의 전압 신호(1 μs의 주기를 갖고, 5.54 V<sub>P-P</sub>의 크기)를 인가한다. 두 입력 신호 A와 신호 B는 광 커플러를 이용하여 합쳐지고, 두 입력 신호 (A+B)는 동시에 DOT<sub>A</sub>에 입사된다. DOT<sub>B</sub>로는 기준 광 입력 신호(R)가 입사된다. 두 DOT로부터 광 출력신호는 2x2 광 커플러/스플리터를 이용하여 각각 광 검출기로 측정한다. 여기서 광 AND/NAND 함수와 광 OR/NOR 함수를 구현하는 차이점은 단지 DOT<sub>B</sub>로 인가하는 기준 광 입력 신호(R)의 크기의 변화이다. 그림 5(a)는 광 로직 OR/NOR 게이트를 구현한 실험 결과를 나타낸다. OR/NOR 함수 구현을 위한 기준 광 입력 신호의 크기는 392 μW 이다. 여기서 두 입력 신호 (A+B)의 경우의 수는 각각 “1 1”, “1 0”, “0 1”, 그리고 “0

0”이다. DOT<sub>A</sub>로 입사되는 “0 0”인 경우에는 두 입력 신호 (A+B)의 파워는 DOT<sub>B</sub>로 입사되는 기준 입력 신호(R)의 파워보다 작기 때문에 DOT<sub>B</sub>가 턴온 영역에 놓이게 된다. 하지만, 나머지 “1 1”, “1 0”, 그리고 “0 1”의 신호인 경우 기준 입력 신호(R)의 파워보다 크기 때문에 DOT<sub>A</sub>가 턴온 영역에 놓인다. 그 결과 DOT<sub>A</sub>에서 나오는 출력 신호를 보면, 그림 6(a)와 같이 로직 OR 함수이고, DOT<sub>B</sub>에서 나오는 결과는 로직 NOR 함수이다. 하지만 그림 6(b)에서와 같이 OR/NOR 함수와 다르게 AND/NAND 함수 구현을 위해 기준 광 입력 신호의 크기를 457 μW로 조절을 하면, 이는 두 입력 신호(A+B) “1 1”의 파워 보다는 작고, “1 0”, “0 1”, 그리고 “0 0”의 파워보다는 큰 신호이다. 그 결과 DOT<sub>A</sub>에서 나오는 출력 신호를 보면, 이는 로직 AND 함수이고, DOT<sub>B</sub>에서 나오는 결과는 로직 NAND 함수로써 차동 스위칭 방식을 이용하여 모든 종류의 불린 로직을 구현 가능성을 검증하였다.

### 3. 결 론

본 논문에서는 하나의 소자에서 직, 병렬 전자회로의 접근 없이, 단일 스위칭 방식을 이용한 광 AND-gate와 OR-gate 그리고 차동 스위칭 방식을 이용한 AND와 OR 함수 뿐만 아니라 각 INVERT 함수인 NAND-gate와 NOR-gate를 모두 구현하였다. 본 연구실에서 제안하는 단일 스위칭 방식과 차동 스위칭 방식을 조합하여 기존의 복잡한 전기회로나 부가적인 연결 없이 모든 종류의 불린 로직을 구현할 수 있다. 이는 Programmable gate array를 광 도메인에서 처리할 수 있는 최초의 실험 결과이다. 비록 수 MHz의 낮은 스위칭 속도 결과를 보였으나, 이는 소자의 스케일, DOT 구조 설계의 최적화 작업과 적절한 바이어스 조건에 따라 속도를 향상시킬 수 있으리라 예상된다. 따라서 본 실험 결과는 광 스위칭, 광 컴퓨팅, 광 접속 뿐만 아니라 앞으로의 광 통신 시스템에 적용 가능한 VCL-DOT가 훌륭한 광 스위칭 소자로써 큰 기여를 하리라 기대한다.

### 감사의 글

이 논문은 2007년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임. (KRF-2007-357-D00181)

### 참 고 문 헌

[1] R. P. bryan, G. R. Olbright, and J. Cheng, “Cascadable surface-emitting laser logic: Demonstration of Boolean Logic,” *Electron. Lett.*, vol. 27, no. 11, pp. 893-894, 1991.  
 [2] Y. Tashiro, N. Hamao, M. Sugimoto, N. Takado, S. Asada, and K. Kasahara, “Vertical to surface transmission electrophotonic device with selectable output light channels,” *Appl. Phys. Lett.*, vol. 54, pp. 329-331, 1989.

[3] W. K. Choi, D. G. Kim, Kent D. Choquette, Y. K. Kim, S. Lee, D. H. Woo, and Y. W. Choi, "Optical properties of selectively oxidized vertical cavity laser with depleted optical thyristor structure", Appl. Phys. Lett., vol. 89, pp. 121117, 2006.

[4] 최운경, 김두근, 문연태, 김도균, 최영완, "완전공핍 광싸이리스터에서 입출력의 높은 아이솔레이션을 위한 수직입사형 구조에 관한 연구" 대한전기학회 논문지, 제 54C권, 1호, pp. 30-34, 2005. 1.

[5] K. Kasahara, Y. Tashiro, N. Hamao, M. Sugimoto, and T. Yanase, "Double heterostructure optoelectronic switch as a dynamic memory with low-power consumption," Appl. Phys. Lett., vol. 52, pp.679-681, 1988.

[6] J. Pankove, C. Radehaus, K. Wagner, "Winner-take-all neural net with memory," Electron. Lett., vol. 26, no. 6, pp. 349-350, 1990.

[7] A. G. Kirk, H. Thienpont, A. Goulet, P. Heremans, G. Borghs, R. Vounckx, M. Kuijk, "Parallel optoelectronic data transcription with fan-out between planes of PnpN optical thyristors," IEEE Photon. Technol. Lett., vol. 8, no. 3, pp. 464-466, 1996.

[8] K. Hara, K. Kojima, K. Mitsunaga, and K. Kyuma, "Optical flip-flop based on parallel-connected AlGaAs/GaAs pnpn structures," Opt. Lett. vol. 15, pp. 749, 1990.

[9] F. R. Beyette Jr., K. M. Geib, S. A. Feld, M. J. Hafich, X. An, G. Y. Robinson, and C. W. Wilmsen, "Optoelectronic Exclusive-OR (XOR) gate," IEEE Photon. Technol. Lett., vol. 5, no. 6, pp. 464-466, 1996.



**김도균 (金 燾 均)**

1977년 8월 23일생. 2003년 중앙대 전자전기공학부 공학사. 2005년 동 대학원 전자전기공학부 공학석사, 2009년 동대학원 전자전기공학부 공학박사~현재 동 대학원 전자전기공학부 석사과정  
Tel : 02-820-5326  
Fax : 02-822-5326  
E-mail : kdk2327@nate.com



**최영완 (崔 永 完)**

1985년 서강대학교 전자공학과 공학사, 1987년 버팔로 뉴욕주립대 (SUNY at Buffalo), 전기 및 컴퓨터공학과 공학석사, 1992년 동 대학원 전기 및 컴퓨터공학과 공학박사, 1992년 한국전자통신연구원(ETRI), 선임연구원 1995년~현재 중앙대학교 전자공학과 교수.  
Tel : 02-820-5326  
Fax : 02-822-5326  
E-mail : ychoi@cau.ac.kr

**저 자 소 개**



**최운경 (崔 雲 慶)**

1977년 3월 18일생.  
2002년 중앙대학교 전자전기공학 공학사,  
2004년 동 대학원 전자전기 공학석사,  
2007년 동 대학원 전자전기 공학박사,  
2008년 UC-Berkeley, Post-doc, 2009년~  
현재 LG이노텍, 선임연구원.  
Tel : 02-820-5326  
Fax : 02-822-5326  
E-mail : woonkyung@gmail.com