

인쇄회로기판 B²it(Buried Bump Interconnection Technology) 구조의 열적-기계적 거동특성 해석

조승현* · 장태은¹

동양공업전문대학 기계공학부, ¹삼성전기주식회사 기판사업부

Thermo-mechanical Behavior Characteristic Analysis of B²it(Buried Bump Interconnection Technology) in PCB(Printed Circuit Board)

Seunghyun Cho* and Tae-Eun Chang¹

Dept. of Mechanical engineering, Dongyang Technical College, 62-160, Gocheok-Dong, Guro-gu, Seoul, Korea 152-714

¹Advanced Circuit Interconnect Division, Samsung Electro-Mechanics Co., LTD

314, Maetan3-Dong, Yeongtong-Gu, Suwon, Gyeonggi-Do, Korea 443-743

(2009년 6월 3일 접수: 2009년 6월 29일 게재확정)

초 특: 최근 인쇄회로기판(PCB)의 제품트렌드는 박형화, 고밀도화로 대표되지만 휨(Warpage) 억제, 신뢰성 확보와 같은 기술적 난제로 인해 박형화와 고밀도화에 많은 제약과 받고 있다. B²it(Buried Bump Interconnection Technology) 공법은 기판의 핵심공정 중 하나인 드릴링 공정이 생략되어 인쇄회로기판을 낮은 제조비용으로 박형화할 수 있는 기술로 개발되고 있다. 본 논문은 B²it공법이 적용된 인쇄회로기판의 열적-기계적 거동특성을 유한요소해석(FEA)을 통해 고찰한 논문으로서 패키징레벨에서 방열효과와 신뢰성 등에 범프의 재료, 형상 등이 미치는 영향 등을 분석하였다. 해석결과에 의하면 B²it공법이 적용한 인쇄회로기판은 기존 비아구조를 가진 인쇄회로기판에 비해 칩에서 발생하는 열의 확산이 신속하고 패키징의 휨을 억제하는데도 유리하며 칩에서 발생하는 응력도 낮추지만 솔더-조인트의 응력은 증가시키게 된다. 따라서 패키징의 신뢰성을 향상시키기 위해서는 범프의 형상, 재료 등을 패키징을 구성하고 있는 모든 요소들을 고려하여 최적화하는 것이 필요하다.

Abstract: Although thin PCBs(Printed Circuit Boards) have recently been required for high density interconnection, high electrical performance, and low manufacturing cost, the utilization of thin PCBs is severely limited by warpage and reliability issues. Warpage of the thin PCB leads to failure in solder-joints and chip. The B²it(Buried Bump Interconnection Technology) for PCB has been developed to achieve a competitive manufacturing price. In this study, chip temperature, package warpage, chip stress and solder-joints stress characteristics of the PCB prepared with B²it process have been calculated using thermo-mechanical coupled analysis by the FEM(Finite Element Method). FEM computation was carried out with the variations in bump shapes and kinds of materials under 1.5 W power of chip and constant convection heat transfer. The results show that chip temperature distribution reached more quickly steady-state status with PCB prepared with B²it process than PCB prepared with conventional via interconnection structure. Although B²it structures are effective on low package warpage and chip stress, with high strength bump materials are disadvantage for low stress of solder-joints. Therefore, it is recommended that optimized bump shapes and materials in PCB design should be considered in terms of reliability characteristics in the packaging level.

Keywords: Printed circuit board, B²it, Temperature, Warpage, Stress, FEM

1. 서 론

소용화, 박판화로 특징지을 수 있는 최근 인쇄회로기판(Printed Circuit Board)의 개발에는 가격경쟁력과 함께 인쇄회로기판 및 패키징 레벨의 휨(Warpage)억제와 신뢰성 확보라는 근본적 기술확보가 필수적이다. 이러한 기술확보를 위해 PCB제조업체와 소재제조업체 등에서는 저열

팽창계수(Low thermal expansion coefficient)와 강성도(Stiffness)가 높은 재료개발과 적용을 위해 활발하게 연구를 진행하고 있다. 그러나, 인쇄회로기판은 절연층과 회로층이 반복적으로 적층된 다층(Multi layer)구조로서 비선형 거동특성을 나타내기 때문에 휨을 제품디자인단계에서 예측하거나 제조공정 중에 컨트롤하는 것이 매우 어렵다. 특히, 80공정 이상으로 구성된 PCB제조 프로세스

*Corresponding author

E-mail: coolsh@dongyang.ac.kr

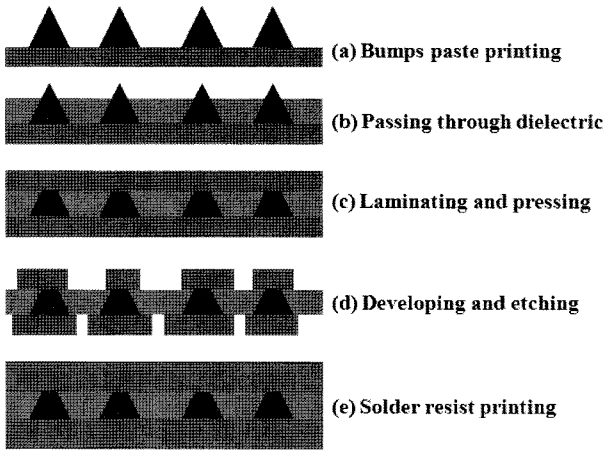


Fig. 1. B²it(Buried bumps interconnection technology) process for 2 layer-PCB

는 제품의 투입에서 완성까지 상당히 긴 제조시간이 소요되기 때문에 다양한 조건으로 인쇄회로기판의 휨과 신뢰성을 연구하는데 많은 제약이 된다. 따라서 최근 유한요소법(Finite element method)을 이용한 연구 및 제품개발은 효율성 향상을 위해 인쇄회로기판과 패키징 분야에 활발하게 적용되고 있으며,¹⁻³⁾ CFD(Computational Fluid Dynamics) 등 다양한 수치해석 툴 등이 패키징의 열전도뿐만 아니라 대류의 냉각효과를 고려한 열전달 특성해석에 사용되고 있다.^{4,6)}

한편, B²it(Buried bump interconnection technology)은 인쇄회로기판의 회로층간 전기적 연결을 범프가 관통하여 도통하게 함으로써 홀 가공, 도금 등의 핵심공정을 줄이고, 회로층의 두께를 얇게 관리할 수 있기 때문에 제조비용 절감과 인쇄회로기판의 박판화에 유리하다.⁷⁾ 범프의 관통을 통한 회로층간 연결을 위해서는 층간 정합(Alignment)확보가 매우 중요하지만 인쇄회로기판의 열변형은 불가피한 측면이 있다. 따라서 현재 B²it은 층간 정합확보가 가능한 4층이하의 인쇄회로기판에 적용이 용이한 기술이다.⁷⁾ B²it를 적용한 인쇄회로기판의 제조프로세스는 Fig. 1과 같다. 동박(Thin copper plate)위에 범프 페이스트를 프린팅하고(a), 절연층을 범프 페이스트로 관통한 후(b) 동박을 적층하고 프레스한 상태에서(d) 현상과 에칭으로 회로패턴을 형성한 후(e) 솔더 레지스트(Solder resist)를 프린팅하면 2층 인쇄회로기판이 완성된

다. Fig. 2는 인쇄회로기판의 층간 전기적 신호연결을 하는 구조를 보여주는 그림으로서 왼쪽 그림은 일반적인 비아(Via)구조를 나타내고, 오른쪽 그림은 B²it 구조의 범프를 나타낸 것이다.

본 연구에서는 B²it 구조를 가진 인쇄회로기판의 열적-기계적(Thermo-mechanical) 거동특성을 고찰하기 위해 범프형상에 따른 칩의 온도, 패키징의 휨, 칩과 솔더-조인트의 응력 등을 유한요소법을 사용하여 해석하였고, 일반적인 비아구조를 가진 인쇄회로기판이 적용된 경우의 해석결과와 비교함으로써 B²it 구조의 효과를 검증하였다. 패키징분야에서 신뢰성평가는 TCT(Thermal cycling test)로 평가하는 것이 일반적이나 본 논문에서는 칩의 발열에 의한 휨과 신뢰성 미세니즘을 평가하기 위해 칩의 온도가 정상상태로 수렴한 조건으로 해석을 수행하였다. 이와 같은 연구는 관련분야에 처음 분석한 사례로 B²it 구조를 인쇄회로기판에 적용할 것을 고려하는 업계의 연구 개발에 기여할 것으로 판단된다.

2. 해석 조건

본 연구에서는 유한요소해석을 위해 범용 해석프로그램인 MSC/MENTAT와 MSC/MARC를 사용하여 축대칭 2차원해석을 수행하였다.⁸⁾ 해석에는 다음과 같은 가정을 적용하였다.

- (1) 패키징의 초기온도는 25°C로 균일하다.
- (2) 패키징을 구성하고 있는 요소(볼딩, 칩, 솔더-조인트, 언더필, 인쇄회로기판 등)들은 완전하게 결합되어 접촉면에서 열저항(Thermal resistance)이 없다.
- (3) 모든 재료는 등방성(Isotropic)과 균일성(Homogeneous)을 가지고 있다.
- (4) 열적 특성값(열전도도, 비열 등)은 온도에 무관하게 균일하다.
- (5) 패키징 표면에서 발생하는 대류열전달계수는 일정하고, 복사에 의한 냉각은 무시한다.

Fig. 3은 연구에 적용된 패키징 구조를 나타낸 그림이다. 인쇄회로기판은 양면구조로 사이즈는 12 mm×12 mm×110 μm인데, solder resist, 회로층, 절연층의 두께는 각각 20 μm, 20 μm, 30 μm이다. 칩의 사이즈는 10 mm×10 mm×200 μm이다. 또한 칩과 인쇄회로기판을 연결하

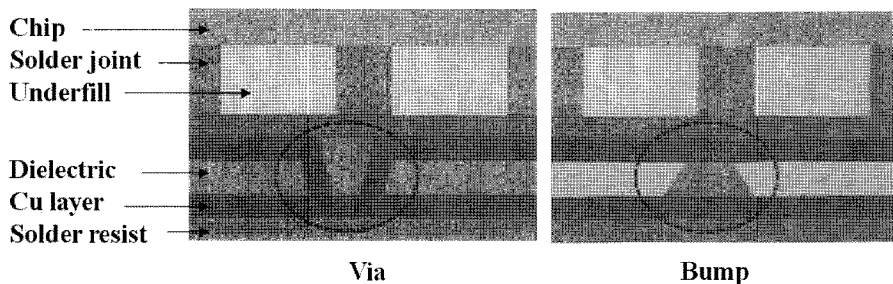


Fig. 2. Conventional via and bump of B²it interconnection between circuit layers in PCB

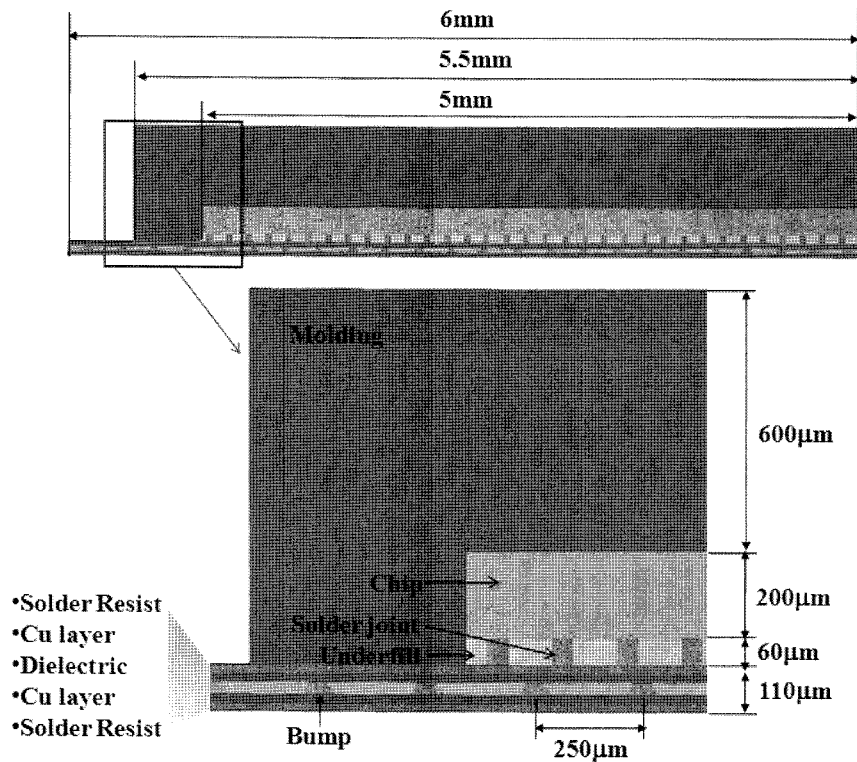


Fig. 3. Geometries of flip chip package with buried bumps interconnected PCB

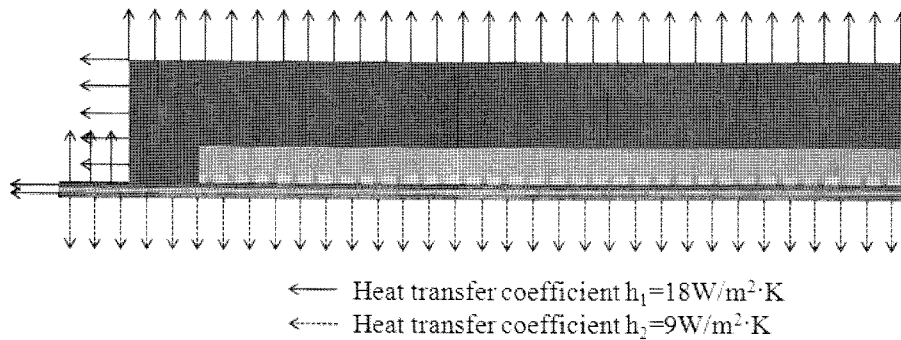


Fig. 4. Boundary conditions for heat transfer analysis

는 솔더조인트와 언더필의 높이는 60 µm이다. 몰딩은 11 mm×11 mm이고 칩위 높이가 600 µm로 설계하였다.

열전달 해석을 위한 패키징의 온도 경계조건은 Fig. 4와 같다. 패키징의 상부는 18 W/m²·K의 대류열전달계수를 갖는 공기에 접하고, 메인보드에 실장되는 패키징의 하부는 공기의 유동이 작기 때문에 9 W/m²·K의 대류열전달계수를 갖는다.⁹⁾ 칩에서는 1.5 W의 균일한 전력이 발생한다고 가정하였다.

Buried bump의 형상은 초기 원추뿔 형태에서 적층과 프레스링 공정 후 사각형태가 되는데 본 연구에서는 Fig. 5의 표시한 범프의 하부 직경과 상부 직경의 비(d_2/d_1)가 각각 100%, 70%, 50%인 경우에 대해 해석을 수행하였다. Thermo-mechanical coupled 해석을 위해 사용한 패키징 재료의 열적-기계적 특성값은 Table 1과 Fig. 6과 같다.¹⁰⁻¹¹⁾ Buried bump는 에폭시에 강도와 열전도특성 향상을 위해 silver나 CNT등을 배합하여 사용하는데 적용조건에 따라

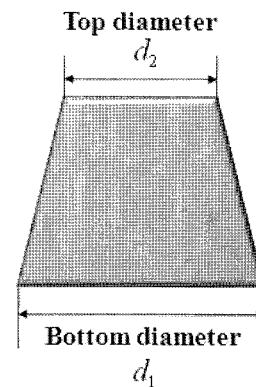


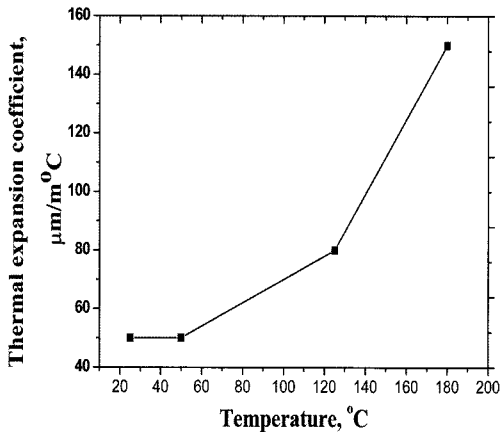
Fig. 5. Bump diameter ratio between top and bottom after laminating & pressing process

배합비는 달라진다. 본 연구에서 해석에 사용한 Bump I, Bump II, Bump III의 특성값은 Table 2와 Fig. 7와 같이 적용하였다.

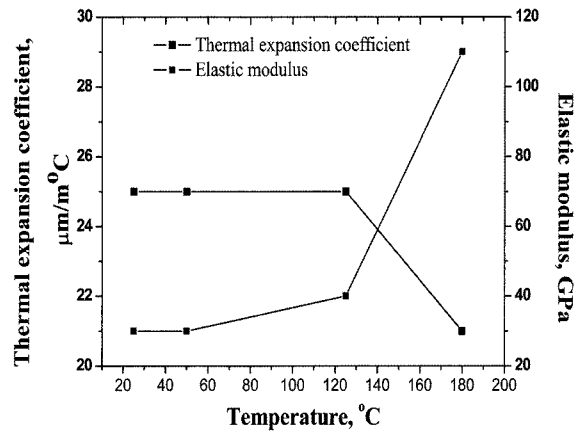
Table 1. Thermo-mechanical properties

	Elastic modulus, GPa	Poisson's ratio	CTE, mm/m°C	Density, kg/m ³	Specific heat, J/kg-K	Thermal conductivity, W/m-K
Solder resist	3	0.3	Fig. 6(a)	1400	1040	0.25
Solder joint	Fig. 6(b)	0.35	Fig. 6(b)	8480	134	50.6
Underfill	70	0.3	Fig. 6(c)	1150	1600	3
Dielectric	Fig. 6(d)	0.3	Fig. 6(d)	1790	1200	0.27
Chip	Fig. 6(e)	0.278	Fig. 6(e)	2300	712	150
Molding	4.23	0.317	32	1890	2500	0.7

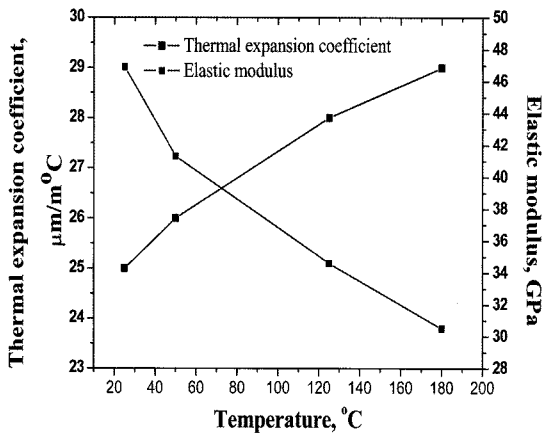
* CTE : Thermal expansion coefficient



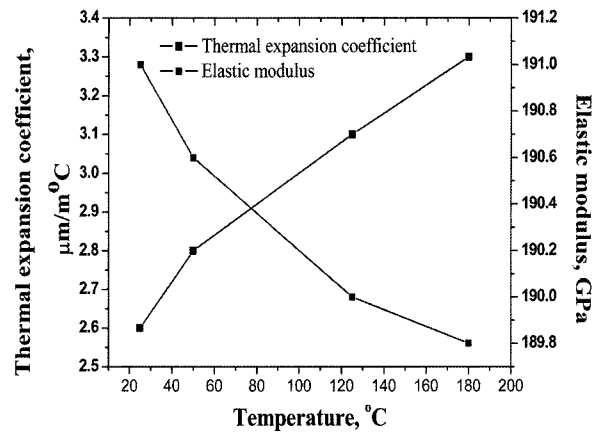
(a) Thermal expansion coefficient of solder resist



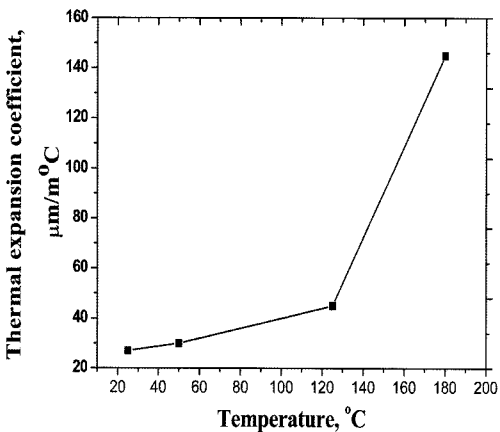
(d) Elastic modulus and thermal expansion coefficient of dielectric



(b) Elastic modulus and thermal expansion coefficient of solder-joints



(e) Elastic modulus and thermal expansion coefficient of chip



(c) Thermal expansion coefficient of underfill

Fig. 6. Temperature dependant material properties

3. 해석 결과 및 고찰

3.1. 온도분포 해석

Fig. 8은 칩에서 1.5 W의 전력이 30분간 가해진 후 회로층간 연결구조가 일반적인 비아인 인쇄회로기판이 적용된 패키징에서 발생한 온도분포를 나타낸 그림이다. Fig. 8(a)는 칩에서 전력이 0.02초간 가해진 후 발생한 온도분포로서 칩에서 발생한 열이 솔더-조인트를 통해 전달되고 있음을 보여주고 있다. Fig. 8(b)와 같이 0.06초가 경과한 후에는 칩에서 전달된 열이 인쇄회로기판의 비아를 통해서 인쇄회로기판 전체로 전달되고 있다. Fig. 8(c),

Table 2. Thermo-mechanical properties of bumps

	Elastic modulus, GPa	Poission's ratio	CTE, mm/m°C	Density, kg/m ³	Specific heat, J/kg·K	Thermal conductivity, W/m·K
Bump I (Copper)	30	0.343	Fig. 7	8960	385	385
Bump II (Epoxy10%+ Silver90%)	68.8	0.3	20.9	9631	320.6	377.1
Bump III (Epoxy15%+ Silver80%+ CNT5%)	121.4	0.3	20.7	8806.3	387.6	485.1

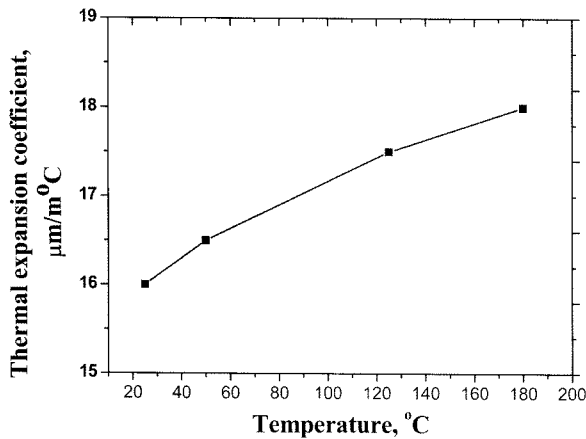


Fig. 7. Thermal expansion coefficient of copper

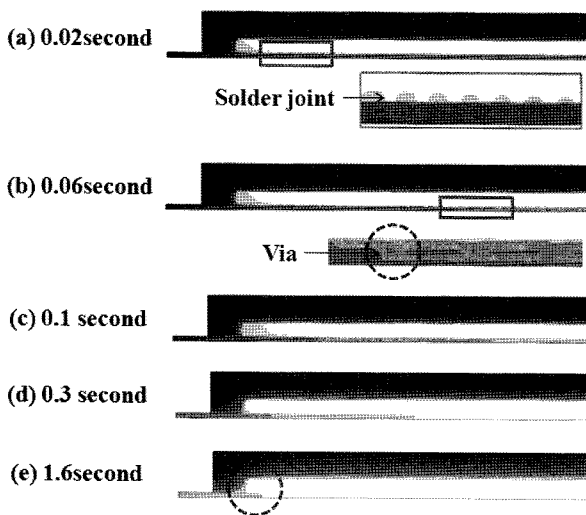
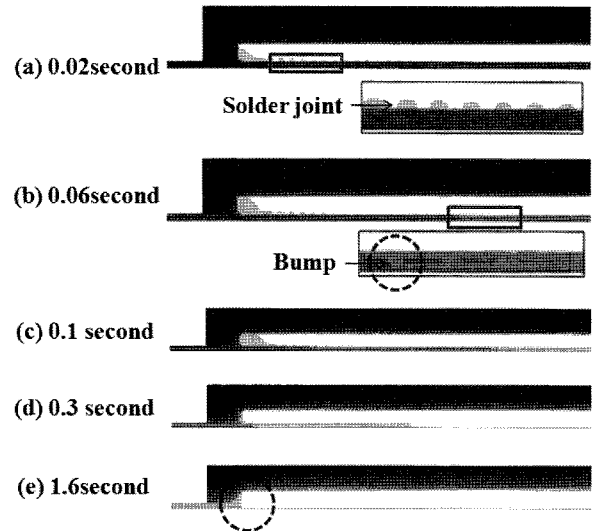


Fig. 8. Temperature distribution in package with PCB conventional via interconnection structure

Fig. 8(d), Fig. 8(e)는 각각 0.1초, 0.3초와 1.6초가 경과된 후 패키징에서 발생한 온도분포로서 1.6초가 경과한 후에도 칩의 온도가 완전하게 균일하지 않음을 보여주고 있다. 이것은 칩과 접하고 있는 인쇄회로기판의 냉각에 의해 칩과 인쇄회로기판의 온도가 정상상태(Steady-state)상태가 되지 않았음을 의미한다.

Fig. 9는 Fig. 8과 동일한 조건에서 B²it구조를 가진 인쇄회로기판을 적용한 패키징의 온도분포를 나타낸 결과이다. 칩에서 1.5 W의 전력이 가해진 후 1.6초가 경과하면 Fig. 9(e)와 같이 칩의 전체 온도가 균일해짐을 알 수



(a) Buried bump structure interconnection

Fig. 9. Temperature distribution in package with PCB buried bump interconnection structure

있다. 이와 같은 결과는 칩에서 발생한 온도가 B²it구조를 가진 인쇄회로기판을 통해 Fig. 8과 같은 일반적인 비아구조의 인쇄회로기판을 가진 패키징보다 신속하게 전달되고 있음을 나타낸 결과이다. 따라서 인쇄회로기판의 buried bump 층간연결구조가 장기간 반복적인 칩의 발열이 발생하는 실제 패키징의 구동조건에서는 칩 온도의 신속한 열전달에 유리한 설계이다.

Fig. 10은 인쇄회로기판의 Buried bump 구조의 형상과 재료에 따라 칩의 최대온도를 일반적인 비아구조를 가진 인쇄회로기판이 적용된 패키징의 칩 온도와 비교한 결과이다. 범프 하부직경과 상부직경의 비가 50%에서 70%, 100%로 증가할수록 칩의 최대온도가 감소함을 알 수 있다. 이러한 결과는 열전도도가 높은 범프의 형상을 원통형에 가깝도록 설계하는 것이 칩의 열을 신속하게 방열하는데 우수한 설계임을 나타낸다. 또한, Table 2와 같이 기존의 via를 적용한 인쇄회로기판에 비해 B²it구조를 적용한 인쇄회로기판에서 범프의 재료가 열전도도가 높을수록 즉, Bump I(Cu)이거나 Bump III(Epoxy15%+ Silver80%+ CNT5%)를 적용한 경우가 상대적으로 열전도도가 낮은 Bump II(Epoxy10%+ Silver90%)보다 칩의 최대온도가 낮게 발생하였다. 한편 Fig. 10의 결과와 같이 인쇄회로기판의 층간 연결구조가 기존의 비아와 B²it

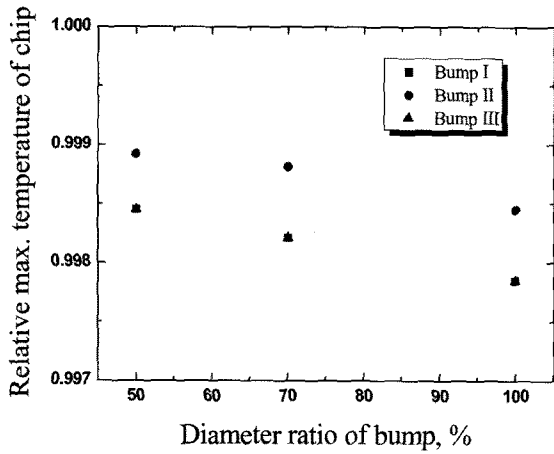


Fig. 10. Temperature comparison of chips in package as a function of diameter ratio of bump

구조에 따라 칩의 최대 온도차는 0.2%이내로 크지 않으나 범프의 열전도도가 높을수록 범프의 냉각효과는 증가할 수 있음을 알 수 있다.

3.2. 휨 해석

Fig. 11은 칩에서 1.5 W의 전력이 30분간 가해진 후 인쇄회로기판의 B²it구조의 형상과 재료에 따라 패키징에서 발생한 최대 휨을 일반적인 비아구조를 가진 인쇄회로기판이 적용된 패키징의 휨과 비교한 결과이다. 범프 재료의 강도가 증가할수록, 즉, Bump I, Bump II, Bump III로 갈수록 패키징에서 발생하는 휨을 억제하는데 유리하다. 또한 범프의 d_2/d_1 비가 증가할수록 패키징에서 발생하는 휨은 감소한다. 범프의 재료가 Bump II 또는 Bump III이고 d_2/d_1 비가 50%와 70%일 때 패키징의 휨은 약 5~7.5% 감소하였다. 그러나 범프가 cu인 경우는 오히려 휨이 증가하며 범프의 d_2/d_1 비가 증가할수록 휨이 미소하지만 증가한다. 이와 같은 결과는 B²it구조를 가진 인쇄회로기판의 휨 억제효과를 증가시키기 위해서는 범프

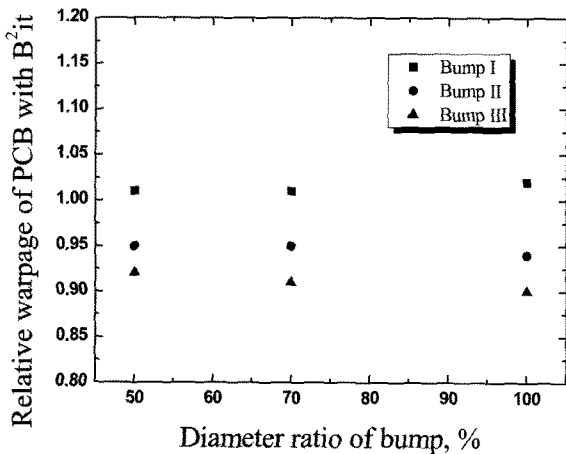


Fig. 11. Relative maximum warpage of package as a function of diameter ratio of bump

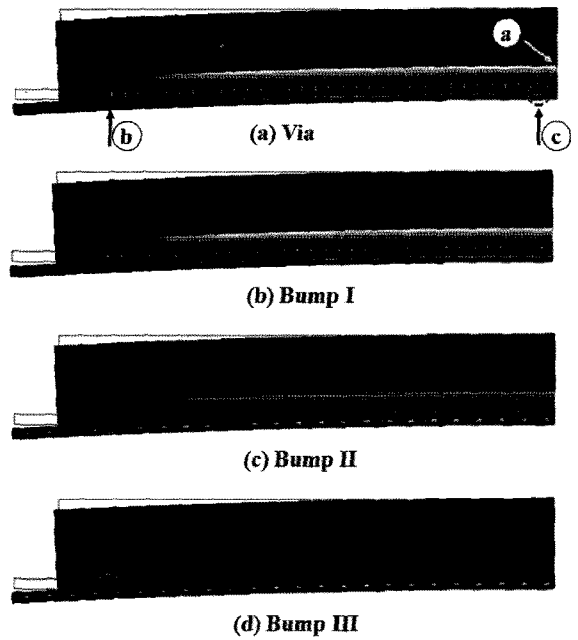


Fig. 12. Cauchy stress distributions of the package with buried bumps interconnection

의 강도를 증가시키는 것이 바람직함을 의미한다.

3.3. 응력 해석

Fig. 12는 칩에서 1.5 W의 전력이 30분간 가해진 후 휨이 발생한 상태에서 패키징의 Cauchy 응력의 분포를 인쇄회로기판의 층간연결을 일반적인 비아를 사용한 경우와 B²it구조를 사용한 경우에 대해 비교한 결과이다. Fig. 12(a)는 일반적인 비아구조를 가진 인쇄회로기판을 사용한 패키징의 Cauchy 응력분포로서 칩에서 발생하는 최대 응력은 칩의 중심위치 ㉑에서 발생하고, 칩과 인쇄회로기판을 연결하는 솔더-조인트는 최외곽 위치 ㉒에서 발생하며, 비아에서는 가운데 위치 ㉓에서 발생한다. 이와 같은 패키징의 응력분포는 패키징의 거동특성과 밀접한 관계가 있다. 칩과 인쇄회로기판의 비아가 각각 가운데 위치에서 최대응력이 발생하는 것은 패키지의 휨이 발생할 때 각각 가운데 위치에서 최대 전단력이 발생하기 때문이다. 솔더-조인트의 최대응력이 발생하는 위치가 Fig. 12(a)의 ㉒와 같은 최외곽에서 발생하는 것은 위치 ㉒에서 칩과 인쇄회로기판의 열팽창량 차이가 가장 크게 발생하여 전단력이 최대가 되기 때문이다.⁷⁾

Fig. 13은 B²it구조를 가진 인쇄회로기판이 적용된 패키징의 칩에서 발생한 최대 Cauchy 응력을 일반적인 비아구조를 가진 인쇄회로기판이 적용된 패키징의 응력과 비교한 결과로서 Fig. 12의 ㉑위치에서 발생한 응력값을 사용하였다. 범프의 d_2/d_1 비가 50%, 70%일 때에는 Bump II를 사용한 인쇄회로기판이 적용된 패키징에서 칩의 응력이 가장 높게 발생하였고 Bump III를 사용한 경우가 가장 낮게 발생하였다. 칩에서 발생한 응력은 칩의 변형에 의한 기계적 응력과 칩의 온도변화에 따른 열응력이 동

시에 작용하는데, 기계적 응력은 휨에 의해 발생하는 변형을 변화로 발생하는 응력이며, 열응력은 열팽창차이와 온도차이에 비례하여 발생한다. 인쇄회로기판의 범프 재료를 각각 Bump I, Bump II, Bump III를 적용한 경우 칩에서 발생한 휨은 각각 22.71 μm , 21.39 μm , 20.73 μm 이다. 범프의 재료 중 Bump II를 사용한 경우 가장 높은 응력이 발생한 것은 Bump II의 열팽창계수가 가장 높을 뿐만 아니라 Fig. 10과 같이 칩의 온도가 가장 높게 발생하여 열응력이 가장 크기 때문이고, Bump III를 사용한 경우에 가장 낮은 응력이 발생한 것은 Bump III이 Bump I보다 열팽창계수가 크기 때문에 열응력이 높게 발생하지만 두 재료를 사용한 경우에 칩의 온도 차이가 없어서 발생한 열응력 차이는 크지 않은 반면 Bump III를 사용한 경우에 칩의 변형률이 크게 감소하여 기계적 응력이 크게 줄어들었기 때문이다.

Fig. 14는 각각 B²it구조를 가진 인쇄회로기판이 적용된 패키징의 솔더-조인트에서 발생한 최대 Cauchy 응력을 일반적인 비아구조를 가진 인쇄회로기판이 적용된 패키징의 응력과 비교한 결과로서 Fig. 12의 ⑥위치에서 발생한 응력값을 사용하였다. 결과에 의하면 범프의 재료가

Cu인 경우를 제외하면 범프 d_2/d_1 비가 솔더-조인트에서 발생하는 응력에 미치는 영향은 매우 작다. 솔더-조인트에서 발생한 응력은 범프의 재료가 Bump III일 때 가장 높았고, Bump II일 때 두번째로 높은 응력이 발생하였으며 Bump I에서 가장 낮은 응력이 발생하였다. 이것은 칩과 인쇄회로기판의 열팽창 차이로 인해 솔더-조인트의 변형률이 범프 재료에 따라 달라지기 때문인데 솔더-조인트의 변형률 순서와 발생한 응력 순서가 동일하다. 솔더-조인트의 수평방향 변형률과 수직방향 변형률은 범프 재료가 Bump I, Bump II, Bump III일 때 각각 0.001808, 0.001835, 0.001858과 0.003256, 0.003438, 0.003562이다.

4. 결 론

본 연구에서는 B²it 구조를 갖는 인쇄회로기판을 사용한 패키징의 거동특성을 열적-기계적 유한요소해석으로 분석하였다. 패키징 표면에서 발생하는 대류와 패키징 내부의 열전도에 의한 열전달이 발생한 후 칩의 최대온도를 분석하였고, 칩에서 발생하는 열이 냉각되면서 발생하는 패키징의 휨(Warpage)과 패키징에서 신뢰성이 가장 취약한 솔더-조인트와 칩의 Cauchy 응력을 관찰하였다. 이러한 해석값들은 일반적인 비아구조를 가진 인쇄회로기판이 적용된 패키징에서 계산된 값의 상대값으로 표현하여 B²it 구조를 갖는 인쇄회로기판의 효과를 고찰하였다.

해석결과에 의하면 B²it 구조를 갖는 인쇄회로기판이 사용된 패키징의 칩온도는 기존 비아구조를 적용한 인쇄회로기판을 사용된 경우와 차이가 크지 않았으나 B²it 구조를 갖는 인쇄회로기판이 상대적으로 칩의 열을 신속하게 방출하여 칩의 온도분포가 빨리 균일해졌다. 이와 같은 결과는 칩의 온도분포가 불균일하여 발생하는 신뢰성 저하와 같은 문제점을 개선하는데 B²it 구조를 갖는 인쇄회로기판이 유리함을 의미한다. 한편, 범프의 형상은 가능한 바닥면의 직경과 상부의 직경 차이가 적을수록, 즉 원통형일수록 칩의 열전달에 유리하였다. 범프의 초기 형상이 원추형태에 가까운 것이 절연재의 관통에 유리하여 층간 연결이 용이하지만 범프를 통한 방열효과 상승과 범프의 신뢰성 향상을 위해서는 범프의 초기형상을 가능한 원통형이 되도록 설계조건 및 가공조건을 도출하는 것이 필요할 것이다.

B²it 구조를 가진 인쇄회로기판은 일반적인 비아구조를 가진 경우보다 패키징의 휨을 억제하는데 효과적이다. 범프의 d_2/d_1 비가 실제 범프와 유사한 50%, 70%에서 휨은 약 5~7.5% 감소하였다. 특히, 범프의 재료가 Bump III(Epoxy15%+ Silver80%+ CNT5%)를 사용한 경우에 패키징의 휨과 칩의 Cauchy 응력을 감소시키는데 효과적이다. 그러나, 솔더-조인트는 인쇄회로기판과 칩의 열팽창 차이에 직접적인 영향을 받는 부분으로써 범프의 재료가 Bump I(Cu)인 경우에 가장 낮은 Cauchy 응력이 발생하

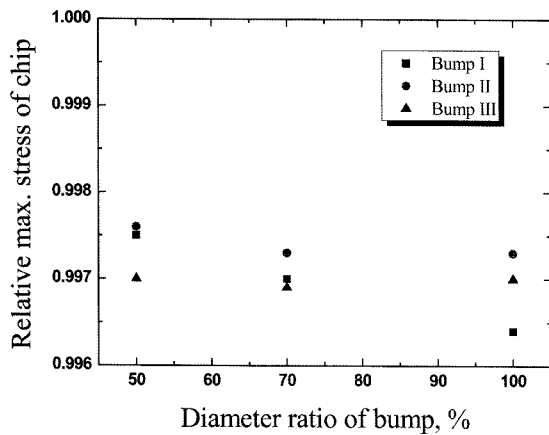


Fig. 13. Relative maximum Cauchy stress of a chip in package as a function of diameter ratio of bump

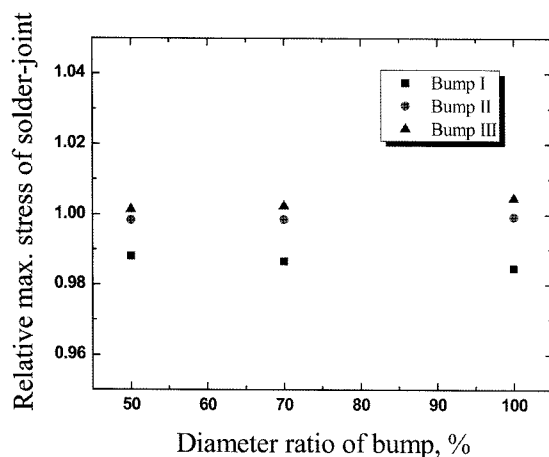


Fig. 14. Relative maximum Cauchy stress of solder-joint in package as a function of diameter ratio of bump

였다.

이와 같은 결과로부터 인쇄회로기판의 범프는 기존 비아구조에 비해 패키징의 휨과 칩의 신뢰성을 향상시키는데 유리하지만, 솔더-조인트의 신뢰성에는 불리함을 알 수 있다. 따라서 패키징의 방열특성을 향상시키고, 휨을 억제하며, 신뢰성을 향상시키기 위해서는 인쇄회로기판의 비아구조와 솔더-조인트 등 패키징을 구성하고 있는 각 요소들의 거동특성을 동시에 고려한 설계가 이루어져야 한다.

참고문헌

1. Mertol, A. "Application of the Taguchi method to chip scale package (CSP) design", IEEE Trans. Adv. Packag. 23, 266(2000).
2. B. Vandeveld, E. Beyne, G. Q. Zhang, Jo F. J. M. Caers, D. Vandepitte and M. Baelmans, "Solder parameter sensitivity for CSP life-time prediction using simulation-based optimization method", IEEE trans. on Electronics Packag. Manufact. 25, 318 (2002).
3. Seunghyun Cho, Jinwon Choi, "Study on the Behavior Characteristics of Solder Balls for FCBGA Package", Met. Mater.-Int. 13, 4 (2007).
4. Tien-Yu(Tom) Lee, "An Investigation of Thermal Enhancement on Flip Chip Plastic BGA Packages Using CFD Tool", IEEE trans. on Components Packag. Tech. 23, 3(2000).
5. John Lohan, et al., "Visualization of Forced Air Flows over a Populated Printed Circuit Board and Their Impact on Convective Heat Transfer", Inter Society Conference on Thermal Phenomena(eds. IEEE Institute of Electrical & Electron.) p. 501, San diego, Calif, USA, May30-June1, (2002).
6. Ben Chamber, Tien-yu Tom Lee, and William Blood, "Steady State and Transient Thermal Analysis of Chip Scale Packages", Inter Society Conference on Thermal Phenomena(eds. IEEE Institute of Electrical & Electron.) p. 68, Seattle, WA USA, May27-30, (1998).
7. Osamu SHIMADA, Katsumi HISANO, Hide IWASAKI, Masaru ISHIZUKA and Yoshitaka FCKUOKA, "Thermal Management Estimations for Buried Bump Interconnection Technology Printed Wiring Boards with Bump(Filled Via) Interconnection", Intersociety Conf. Thermal Phenomena(eds. IEEE Institute of Electrical & Electron.) p.468, Seattle, Washington, USA, May 27-30, (1998).
8. MSC.Marc User's Manual. MSC.software corporation, (2005)
9. Dickson T.S. Yeung and Matthew M.F.Yuen, "Warpage of Plastic IC Packages as a Function of Processing Conditions", ASME Trans 123, 268 (2001).
10. Masazumi Amagai, "Characterization of chip scale package materials", Microelectron Reliab. 39, 1365 (1999).
11. John H. Lau and S.-W. Ricky Lee, "Effects of Build-Up Printed Circuit Board Thickness in the Solder Joint Reliability of a Wafer Level Chip Scale Package(WLCSP)", Trans Compon Pack Technol. 25, 3 (2002).