

DT-CMOS 스위치를 사용한 휴대기기용 고효율 전원제어부 설계

A design of the high efficiency PMIC with DT-CMOS switch for portable application

하가산*, 이강윤*, 하재환*, 주환규*, 구용서**

Kasan Ha*, Kangyoon Lee*, Jaehwan Ha*, Hwankyu Ju*, Yongseo Koo**

Abstract

The high efficiency power management IC(PMIC) with DT-CMOS(Dynamic Threshold voltage MOSFET) switching device for portable application is proposed in this paper. Because portable applications need high output voltages and low output voltage, Boost converter and Buck converter are embedded in One-chip. PMIC is controlled with PWM control method in order to have high power efficiency at high current level. DTMOS with low on-resistance is designed to decrease conduction loss. Boost converter and Buck converter, are based on Voltage-mode PWM control circuits and low on-resistance switching device, achieved the high efficiency near 92.1% and 95%, respectively, at 100mA output current. And Step-down DC-DC converter in stand-by mode below 1mA is designed with LDO in order to achive high efficiency.

요 약

본 논문에서는 DT-CMOS(Dynamic Threshold voltage CMOS) 스위칭 소자를 사용한 모바일 기기용 고 효율 전원 제어 장치(PMIC)를 제안하였다. 휴대기기에서 필요한 높은 출력 전압과 낮은 출력 전압을 제공하기 위하여, 부스트 변환기(Boost Converter)와 벅 변환기(Buck Converter)를 원칩(One-chip)으로 구현하였다. 그리고 높은 출력 전류에서 고 전력 효율을 얻기 위하여 PWM(Pulse Width Modulation) 제어 방식을 사용하여 PMIC를 구현하였으며, 낮은 온 저항을 갖는 DT-CMOS를 설계하여 도통 손실을 감소시켰다. Voltage-mode PWM 제어 회로와 낮은 온 저항 스위칭 소자를 사용하여 구현한 부스트 변환기와 벅 변환기는 100mA 출력 전류에서 92.1%와 95%의 효율을 구현하였으며, 1mA이하의 대기모드에서도 높은 효율을 구현하기 위하여 LDO를 설계하였다.

Key words : DC-DC converter, PWM, DT-CMOS, PMIC

1. 서론

* 서경대학교 전자공학과

(Department of Electronics Engineering, Seokyeoung University)

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)

본 연구는 과학기술부지원으로 수행하는 일반 연구자 지원 사업, 2009년도 「서울시 산학연 협력사업」의 「나노 IP/SoC 설계기술 혁신 사업단」의 지원으로 이루어졌습니다.

接受日:2009年 6月 11日, 修正完了日: 2009年 06月 26日

최근 정보통신 기술의 비약적인 발전으로 유비쿼터스가 실현되면서 책상 위 PC의 네트워크뿐만 아니라 휴대폰, PDA등 개인용 휴대단말기가 네트워크화 되어 언제, 어디서나, 누구나 대용량 통신망을 사용할 수 있게 되었다. 이러한 추세에 맞추어 개인용 휴대기기 분야에 있어 소형·경량화, 고성능·고기능화 및 장시간 사용이 요구되고 있다. 그에 부응하여 휴대기기의 충전기, 어댑터 및 전원제어부의 소형화 추세가 두드러지고 있다. 또한, 이러한 응용분야를 중심으로 기존의 Linear 방식의 전원장치가 SMPS(Switching

Mode Power Supply)방식으로 빠르게 대체되어 가고 있으며, 전반적으로 그 활용범위가 확대되고 있다. SMPS는 기존의 선형 제어 방식의 파워 서플라이에 비해 고효율, 소형 및 경량이라는 특징이 있다. 이런 이유로 최근의 핸드폰, PDA, MP3 등과 같이 소형화가 필요한 휴대기기 등의 전원장치가 대부분 이러한 SMPS 방식으로 빠르게 대체되고 있다.

휴대기기 배터리 전압은 2.5V~3.6V로 낮아지고 있는 추세이며, 휴대기기의 다양한 시스템은 배터리 전압보다 낮은 전원전압을 대부분 요구하지만, LED backlight처럼 높은 전압을 요구하는 경우도 있다. 그러나 이러한 상황에서 전원제어장치를 추가적으로 사용하게 된다면, 면적에서 많은 손실을 감수 할 수 밖에 없게 된다. 이 문제를 해결하기 위하여 LED backlight를 위한 전원제어부와 주 전원 제어부를 원 칩화 시키는 방법이 있으며, 이를 통하여 PCB 상에서 면적 및 제작 비용을 감소 시킬 수 있다.

벽 변환기 및 부스트 변환기 등의 DC-DC 변환기는 스위칭 주파수를 높여 에너지 축적용 소자를 소형화함으로써 소형·경량화를 이룰 수 있는데 이를 위해서는 고속의 반도체 스위칭 소자의 개발이 필요하게 된다. 그러나 스위칭 주파수를 고주파화하면 스위칭 손실, 인덕터 손실, 도통 손실 등 손실이 증대하게 되므로 이에 대한 대비책이 별도로 강구되어야 한다.[1] 이러한 손실을 줄이기 위해 온 저항이 낮은 스위칭 소자를 사용하여 도통 손실을 줄였다.

기존의 저전압 DC-DC 변환기에서는 스위칭 소자로 CMOS 소자를 사용해 왔다. 그러나 CMOS 스위칭 소자로 매우 작은 온 저항을 얻기 위해서는 매우 큰 면적을 필요로 한다. 따라서 본 연구에서는 이러한 스위칭 소자의 문제를 개선 하고자 문턱전압을 낮추어 온 저항을 줄일 수 있는 DT-CMOS를 사용한 스위칭 소자를 제안하였다. 제안된 소자는 기존 CMOS 공정을 이용하면서 CMOS 소자 보다 더 적은 면적으로 보다 작은 온 저항을 갖는다.

따라서 본 논문에서는 DT-CMOS 스위칭 소자를 이용하여 동일한 면적에서 기존의 CMOS 스위칭 소자를 사용하는 SMPS보다 더 높은 전력 변환 효율을 갖는 전원제어부를 설계하였다. 본론 1절에서는 휴대기기용 전원제어부의 구성에 대해 설명한다. 본론 2절에서는 DT-CMOS 스위칭 소자의 기본 개념과 구현 방법 및 동작 특성을 설명하였으며, 3절에서는 DC-DC 변환기를 설계하였다. 4절에서는 저 전류에서 효율이 급격히 떨어지는 PWM 방식을 보완할 LDO 조정기(Low Drop-out regulator)에 대해서 설명하였으며, 5절에서는 본 논문이 제안한 전원제어부의 Layout을 설명하였다. 마지막으로 설계 및 시뮬레이

션 결과를 종합하여 결론을 맺는다.

II. 본론

1. 전원제어부 구성

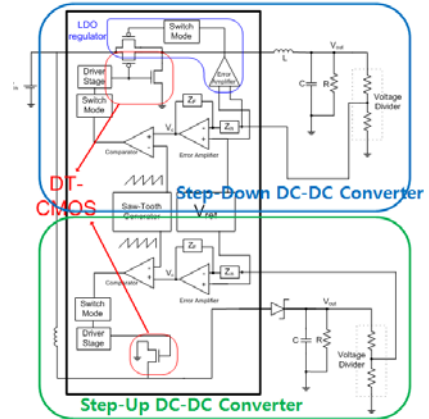


Fig. 1. 전원제어부 전체 블록도

그림 1. Whole Block Diagram of Power Management IC

그림 1은 DT-CMOS를 사용한 전원제어부 전체 블록도이다. 전원제어부는 주 회로를 위한 Step-Down DC-DC 변환기와 LED Backlight를 위한 Step-Up DC-DC 변환기로 구성되어 있으며, 높은 출력 전류에서 고효율을 얻기 위하여 PWM(Pulse Width Modulation) 방식을 사용하여 구현하였다. Step-Down DC-DC 변환기는 일반적인 동작 모드시에 전원의 공급을 위한 벽 변환기와 1mA이하의 저전류로 동작하는 대기모드를 위한 LDO 조정기로 구현하였다. Step-Up DC-DC 변환기는 부스트 변환기로 설계 하였으며, PWM 제어 회로에서 기준전압발생회로(Bandgap Reference Voltage Generator)와 삼각파 발생기(Saw-Tooth Wave Generator)를 벽 변환기와 공유하여 사용함으로써 패키지를 통한 면적 감소뿐만 아니라, Layout 상에서 10~15% 이상의 면적 감소 효과를 보였다. 또한 PWM 제어회로의 공유를 통해서 소비전력을 낮추고, 낮은 온 저항을 가진 DT-CMOS를 스위칭 소자(Switching Device)로 사용함으로써 효율을 상승 시킬 수 있었다.

2. DT-CMOS(Dynamic Threshold voltage CMOS)

SMPS는 스위치를 차단과 도통 시킴으로써 교류펄스를 생성하고, 다시 이 교류펄스를 필터를 통해 직류로 바꾼다. 이때 스위치가 온오프 하면서 발생하는 손실은 스위치의 기생 커패시턴스(capacitance)에 의해 발생하는 스위칭 손실(Switching Loss)과 스위치가 도통했을 때 스위치의 온 저항에 의해 발생하는

도통 손실(Conduction Loss)이 있다.[9]

스위칭 손실은 스위치의 기생 커패시턴과 스위칭 주파수에 비례한다. 한편 스위치의 크기는 최대 출력 전류에 의해 결정되고, 스위칭 주파수 역시 SMPS를 PWM(Pulse Width Modulation)방식으로 제어했을 때 고정된다. 이와 같이 스위칭 손실은 고정된 요인이지만, 스위치의 온 저항에 의한 도통 손실은 출력 전류가 커질수록 증가하게 된다.[1]

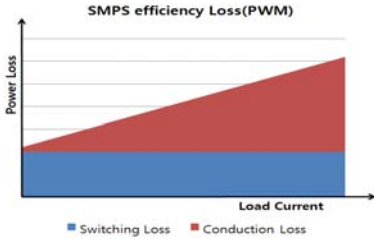


Fig. 2. Analysis of SMPS efficiency loss
그림 2. SMPS 효율 손실 분석

그림 2에서와 같이 출력전류가 커질수록 도통 손실은 점점 증가하여 높은 출력전류에서는 스위칭 손실보다 더 커지게 된다. 결국 SMPS의 효율을 높이기 위해 낮은 온 저항을 갖는 스위치의 개발은 필수적이다.

회로 성능의 손실 없이 저전력을 구현하려면 공급 전압의 축소에 따라 문턱전압도 줄여야 하는데, 이는 대기상태에서의 누설전류(leakage current)의 양 때문에 한계가 있다. 이 문제에 대한 해결책으로 동적 문턱전압(dynamic threshold) 기술이 있다. 동적 문턱전압 기술은 로직 천이(logic transition)시에는 낮은 문턱전압을, 대기상태에서는 높은 문턱전압을 가지게 하여 동작속도는 빠르게 하면서 대기상태의 전력 소모는 줄이는 기술이다.[3]

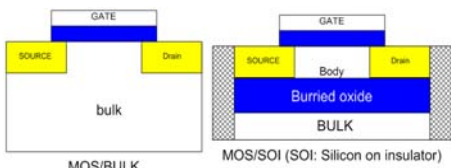


Fig. 3. Bulk NMOS and NMOS with SOI wafer
그림 3. Bulk NMOS와 SOI 기판에서의 NMOS

그림 3은 SOI 기판을 사용한 NMOS의 단면을 나타낸 것이다. 그림 SOI 기판을 사용한 NMOS 처럼 DTMOS는 gate와 body를 연결시켜 문턱전압이 낮아지도록 하는 것이다. 이렇게 하여 낮아진 문턱전압으로 인해 동일한 면적과, V_{gs} 에서 더 많은 전류를 흘릴 수 있게 되어 스위칭 소자에서 향상된 효율을 기대 할 수 있게 된다. 하지만 이

경우 body로 흐르는 누설 전류가 커지게 된다. Body로 흐르는 전류를 제어하기 위해서 그림 3과 같은 회로구성을 택하였다.

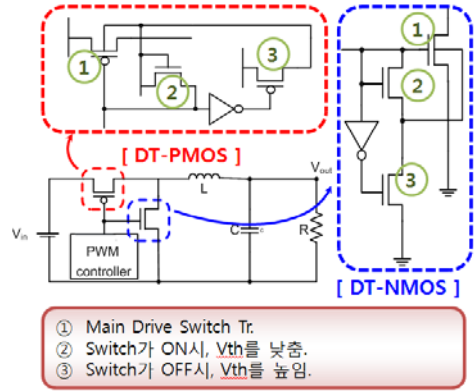


Fig. 4. Leakage current control method in DTMOS
그림 4. DT-CMOS에서 누설전류 제어기법

제안된 DT-CMOS는 스위치가 On 됐을 때, diode connection nMOS에 의해 스위치 MOS의 body 전압을 제어하여 문턱전압을 낮추고, 스위치가 Off 됐을 때, 각각 pMOS와 nMOS의 body 전압을 전원전압과 ground로 만들어 문턱전압을 높인다.

제안된 DT-CMOS는 스위치가 On 상태에서 낮은 문턱전압으로 인해 기존의 CMOS 스위치 보다 낮은 저항을 가진다. 또한, diode connection MOS의 사이즈를 조정하여 높은 전원전압에서도 body 쪽 누설전류를 최소화 하여, 기존 DT-CMOS의 단점인 누설 전류에 의한 전원전압의 제한을 극복하였으며, medi-ci와 hspice를 통한 시뮬레이션 결과 source와 body의 forward bias로 인한 latch-up 또한 발생하지 않았다.

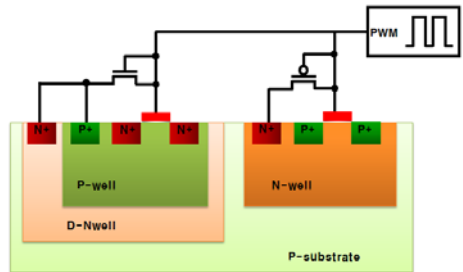


Fig. 5. The design of DT-CMOS in Bulk CMOS
그림 5. Bulk CMOS에서의 DT-CMOS 구현.

한편 본 논문에서는 SOI 기판을 사용하는 DT-CMOS를 PWM 제어회로와 One-chip화 시키기 위해 CMOS 공정을 통하여 DT-CMOS를 구현하였

다. 그림 3의 MOS/SOI와 같이 SOI 기판에 구현을 하던 것과 달리 그림 5에서는 일반적인 실리콘 기판에 Deep-Nwell을 사용하여 substrate와 body를 격리시켜 소자를 구현하였다. 이렇게 함으로써 스위칭 소자와 PWM 제어를 One-Chip으로 구현할 수 있게 되었다.

가. DT-CMOS 스위치의 특성 분석

본 논문에서 제안한 DT-CMOS 스위치와 CMOS 스위치의 문턱 전압과 I-V 특성을 비교해 보았다.

특성 비교에 앞서 시뮬레이션에 적절한 스위치의 크기를 정하기 위하여 CMOS 스위치 크기에 따른 SMPS의 효율 변화를 시뮬레이션 하였다.

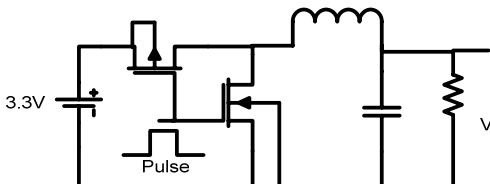


Fig. 6. Buck converter
그림 6. 벅 변환기

회로는 그림 6처럼 구성한 후 CMOS 스위치의 크기를 키워 가면서 효율을 측정 하였다. 출력 전류를 100mA로 하고, 인덕터와 캐패시터의 ESR은 고려하지 않았다. 입력을 3.3V로 하고 스위치에 입력되는 Pulse의 폭을 조정하여 2.5V의 출력을 만들었다. 이때 인덕터와 캐패시터는 각각 6uH와 6uF로 하였다.

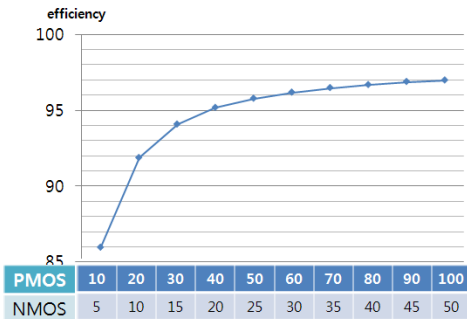


Fig. 7. Switching characteristic simulation circuit
그림 7. Switching 특성 시뮬레이션 회로

그림 7을 보면, PMOS와 NMOS의 사이즈가 증가 함에 따라서 효율이 증가하는 것을 볼 수 있다. 이때 효율 증가 대비 가장 적절한 스위치의 크기로 PMOS의 M 값 60, NMOS의 M 값을 30으로 결정하였다.

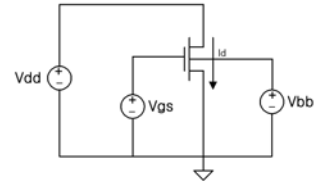


Fig. 8. Switching characteristic simulation circuit
그림 8. Switching 특성 시뮬레이션 회로

I-V 특성 분석을 위하여 그림 8처럼 회로를 구성하여 동일한 W/L (Width/Length)을 갖는 DT-CMOS 스위치와 CMOS 스위치를 각각 적용한 후 입력 전압을 증가시켜가면서 문턱전압과 I-V 특성을 측정하였다. 문턱전압은 Vdd의 입력을 3.3V로 하고 Vgs를 증가시켜가면서 측정하였다.

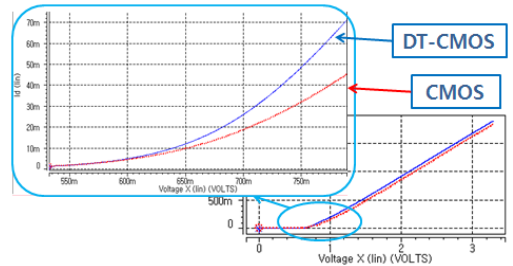


Fig. 9. Threshold voltage comparison of DT-CMOS and CMOS
그림 9. DT-CMOS와 CMOS의 문턱전압 비교

그림 9에서 보듯이 DT-CMOS가 CMOS보다 문턱전압이 낮아짐으로써 같은 전압에서 더 많은 전류의 도통이 가능함을 확인 할 수 있다.

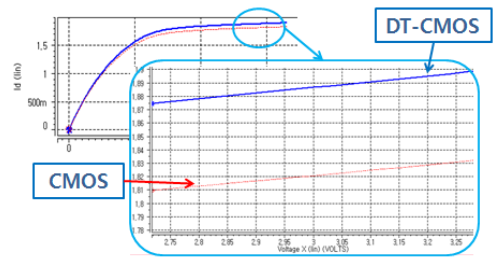


Fig. 10. I-V characteristics of DT-CMOS and CMOS
그림 10. DT-CMOS와 CMOS의 I-V 특성

그림 10은 Vds 증가에 따른 DT-CMOS와 CMOS 스위치의 I-V 특성 출력 그래프로서, 그림에서 보듯이 DT-CMOS가 CMOS보다 같은 전압에서 더 많은 전류의 도통이 가능함을 확인 할 수 있다.

나. DTMOS 스위치의 효율 분석

부스트 변환기와 벡 변환기를 시뮬레이션하여 DT-CMOS와 일반적인 CMOS 스위치의 효율을 비교해 보았다. 시뮬레이션 회로는 그림 11과 그림 12처럼 구성하였다.

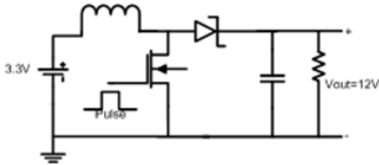


Fig. 11. Boost Converter
그림 11. 부스트 변환기

CMOS 스위치를 이용한 부스트 변환기와 벡 변환기의 효율과 DT-CMOS를 이용한 부스트 변환기와 벡 변환기의 효율을 비교하기 위해 Load 전류의 값을 비교시켜 가며 효율을 비교해 보았다.

로드 전류를 최소 0.1mA부터 최대 500mA로 변화를 시켰을 때, 10mA까지는 CMOS의 효율이 더 높지만, 50mA를 넘어서게 되면서 부스트 변환기와 벡 변환기 모두 DT-CMOS의 효율이 더 높아지는 것을 그림 12와 그림 13을 통해 알 수 있다.

부스트 변환기에서 100mA의 출력 전류를 기준으로 하여 결과를 살펴 보면 CMOS의 효율이 93.3%인데 비하여 DT-CMOS의 효율은 94.1%이다. 그리고 출력 전류 500mA에서는 CMOS의 효율은 72.7%인데 비하여 DT-CMOS의 효율은 75.2%로서 2.5% 더 높은 효율을 출력을 하였다.

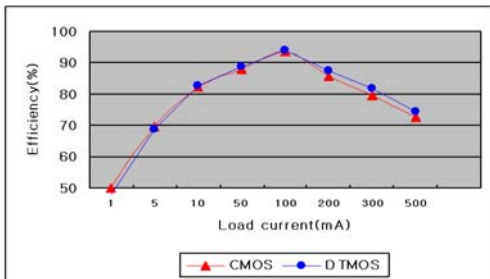


Fig. 12. The efficiency of Boost Converter with load current variation
그림 12. DT-CMOS와 CMOS 스위치를 이용한 부스트 변환기의 로드에서 따른 효율 변화

벡 변환기에서는 100mA의 출력 전류를 기준으로 하여 결과를 살펴 보면 CMOS의 효율이 96.25%인데 비하여 DT-CMOS의 효율은 97%이다. 만약 CMOS로 97% 정도의 효율을 내려면 CMOS의 사이즈는 약 2배가 되기 때문에 사이즈가 매우 커지게 된다.

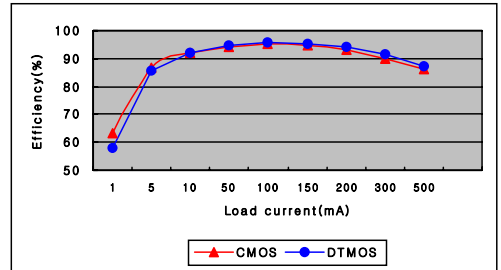


Fig. 13. The efficiency of Buck Converter with load current variation
그림 13. DT-MOS와 CMOS 스위치를 이용한 벡 변환기의 부하에 따른 효율 변화

3. DC-DC converter 설계

가. PWM(Pulse Width Modulation) 설계

그림 14는 PWM 제어 회로를 포함하는 Step-Down DC-DC 변환기의 전체 블록도를 나타낸다. PWM 제어 회로는 출력 전압과 기준 전압(Vref)을 비교하여 생긴 오차를 오차 증폭기(Error Amp)로 증폭하고, 이 증폭된 전압은 비교기(comparator)에서 톱니파(saw tooth wave)와 비교되어 오차에 상응한 구형파 펄스를 생성하여 Step-Down DC-DC 변환기의 스위치를 구동시켜 출력 전압을 안정시킨다. Step-Up DC-DC 변환기도 이와 동일하며, Step-Down DC-DC 변환기와 기준전압회로와 삼각파 회로를 공유하여 설계하였다.[6]

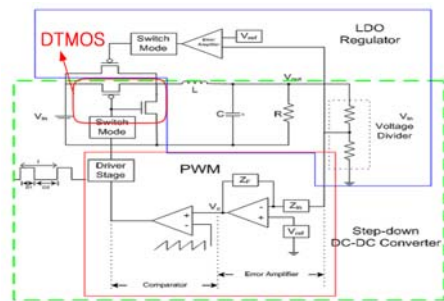


Fig. 14. Whole block diagram of Step-Down DC-DC Converter
그림 14. Step-Down DC-DC 변환기 전체 블록도

(1) 기준전압 발생회로 설계

기준전압 발생회로는 전원전압과 온도의 변화에 무관하게 기준전압을 만들어주는 블록으로 band-gap reference 회로를 이용하여 설계하였다.

기준전압 발생기는 전원제어부에서 출력전압의 최소 범위를 결정한다. 따라서 넓은 출력범위를 갖기 위해 기존의

1.2V를 출력하는 기준전압 발생기가 아닌 저전압 (555mV) 기준전압 발생기를 설계하였다.[2]

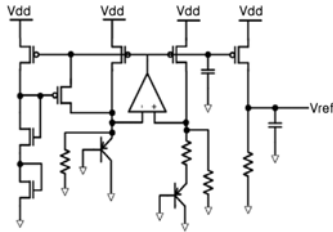


Fig. 15. Low voltage reference generator circuit

그림 15. 저전압 기준전압 발생기 회로도

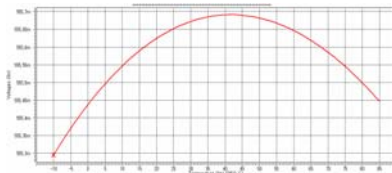


Fig. 16. Reference voltage change with temperature

그림 16. 온도변화에 따른 기준전압 변화

그림 15는 저전압 기준전압 발생기의 회로도이고, 그림 16은 기준전압 발생기의 시뮬레이션 결과이다. 온도변화에 따른 기준전압의 변화는 약 5ppm/°C 이다.

(2) 오차 증폭기 설계

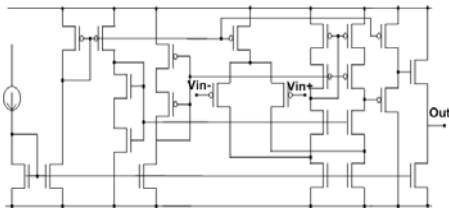


Fig. 17. Error Amplifier circuit

그림 17. 오차증폭기 회로도

오차 증폭기는 전원제어부의 출력 전압과 기준전압 발생 회로의 555mV를 비교하여 그 오차만큼을 증폭시키는 역할을 한다. 높은 DC gain을 갖기 위해 folded cascode 방식을 사용하였고, 저항을 구동해야 하므로 출력단을 common source로 구성하였다. 그림 14는 오차 증폭기의 회로도를 나타내고, 그림 17은 오차증폭기의 AC 시뮬레이션 결과이다.

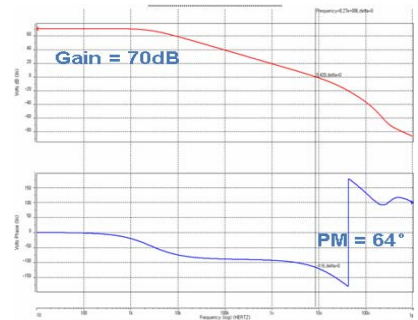


Fig. 18. The AC simulation result of the error amplifier

그림 18. 오차증폭기의 AC 시뮬레이션 결과

나. DC-DC 변환기 설계

앞서 설계한 PWM 제어 회로를 바탕으로 그림 1과 같이 전원제어부를 설계하였다. 부스트 변환기의 입력전압은 3.3V 출력전압은 12V 출력전류 100mA, 스위칭 주파수 1.2Mhz, 인덕터와 캐패시터의 ESR(Equivalent Series Resistance)를 100mΩ으로 시뮬레이션 했을 시 최대 92.1%의 효율을 가지고, 리플은 20mV를 가진다. CMOS 스위치를 사용할 때 보다 약 0.6%정도 효율이 개선되었다.

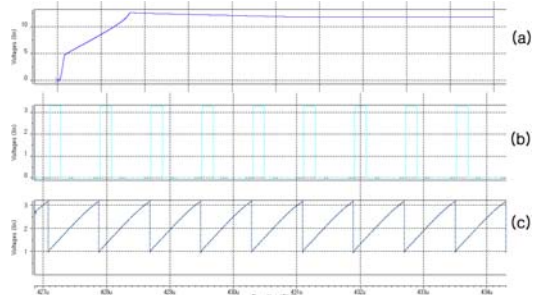


Fig. 19. Simulation result of Boost Converter (a) Output Voltage (b) DT-NMOS Gate Voltage (c) Saw-Tooth Wave Output Voltage

그림 19. 부스트 변환기의 시뮬레이션 결과

(a) 출력 전압 (b) DT-NMOS 게이트 전압 (c) 삼각파 전압

벅 변환기의 입력전압은 3.3V 출력전압은 2.5V로 하고 나머지 조건은 부스트 변환기와 동일하게 설정 시 최대 95%의 효율을 가지고, 리플전압은 12mV를 가진다. DT-CMOS를 사용하여 시뮬레이션 한 결과, CMOS 스위치를 사용할 때 보다 약 0.5%정도 효율이 개선되었다.

그림 19와 20은 전원제어부의 출력전압, DT-NMOS 게이트 전압, 삼각파 출력전압을 차례대로 나타낸다.

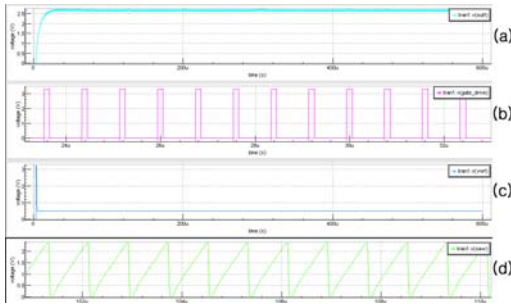


Fig. 20. Simulation result of Buck Converter
 (a) Output Voltage (b) DT-NMOS Gate Voltage
 (c) Reference Voltage (d) Saw-Tooth Wave Output Voltage
 그림 20. 벡 변환기의 시뮬레이션 결과
 (a) 출력 전압 (b) DT-NMOS 게이트 전압
 (c) Reference 전압 (d) 삼각파 출력 전압

4. LDO regulator MODE 구현

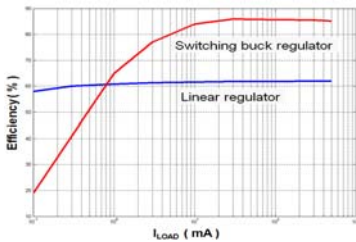


Fig. 21. Efficiency comparison of LDO and SMPS
 그림 21. LDO와 SMPS의 효율 비교

그림 21을 보는 것과 같이 PWM 방식의 SMPS는 높은 출력전류에서 높은 전력변환 효율을 갖지만 출력전류가 낮아지면 효율이 급격히 떨어진다. 오늘날 휴대기기는 대기 모드에서 매우 적은 전류를 소모한다. 대기 전류가 점점 작아지는 추세로 가면서, 대기모드에서 PWM 방식의 SMPS로 전원을 공급하는 것은 매우 비 효율적이다. 반면에 LDO 조절기는 로드 변화에 따라 효율이 크게 변하지 않는다. 즉, 매우 낮은 대기 전류에서도 일정 이상의 효율을 보장할 수 있다.

휴대기기의 대기모드에서도 일정한 효율을 보장하기 위해 본 논문에서는 대기모드에서 LDO를 이용하여 전원을 공급하였다. 그림 14를 보면 디바이더 저항과 로드 캐패시터, 기준전압 발생기는 기존의 벡 변환기에 있는 것을 그대로 사용하였고, 오차 증폭기와 작은 Drive MOS Tr. 추가하여 벡 변환기에서 추가되는 외부 소자 없이 LDO 동작을 구현하였다. LDO 모드 추가에 따른 면적 증가는 4mm²으로서 전체 동작 면적 232mm²에서 적은 면적 증가로 저전류에서 높은 효율을 구현하였다.

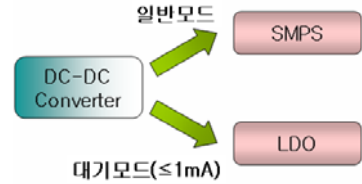


Fig. 22. Operation mode of Step-Down DC-DC Converter
 그림 22. Step-Down DC-DC 변환기 동작모드

그림 22처럼 Step-Down DC-DC 변환기는 일반모드에서는 SMPS(벡 변환기)로 동작하다가 단말기가 대기모드로 되면 두 개의 스위치가 차단되고 LDO가 동작하게 된다. 일반모드와 대기모드는 외부의 제어에 의해서 동작하도록 설계하였다. 1mA의 로드전류 조건에서 벡 변환기는 약 28%의 효율을 갖지만, 본 논문에서 설계한 LDO는 약60%의 효율을 가짐으로써, 단말기가 대기모드에서도 일정 이상의 효율을 유지하도록 하였다.

4. Layout

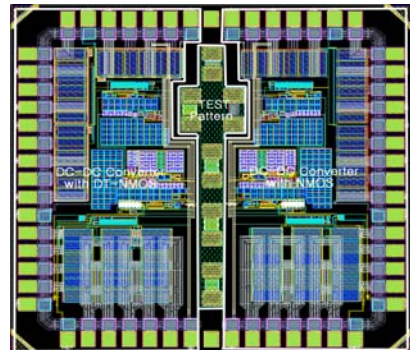


Fig. 23. Layout of Power Management IC
 그림 23. 전원제어부 배치도

그림 23은 전원제어부의 Layout이다. 효율 비교를 위하여 왼쪽 회로는 본 논문에서 제안한 DT-CMOS 스위치를 내장한 전원제어부를, 그리고 오른쪽 회로는 기존의 CMOS 스위치를 내장한 전원제어부를 Layout 하였다.

III 결론

본 논문에서는 DT-CMOS를 이용하여 낮은 온 저항을 갖는 스위칭 소자 내장형 전원제어부를 설계하였다.

휴대 기기에 응용되는 전원제어부의 경우 소형화와 장시간 사용을 위한 고 효율화가 큰 이슈가 되는데, 본 논문에서는 기존의 CMOS 스위치 대신 DT-CMOS 스위치를 사용하여 동일면적대비 고효율을 구현하였다. 부스트 변환기는 입력 전압 3.3V, 출력 전압 12V, 출력 전류

100mA, 인덕터와 캐패시터의 ESR(Equivalent Series Resistance)를 100mΩ으로 시뮬레이션 했을 시 최대 92.1%의 효율이 나왔으며, 1.2MHz의 높은 스위칭 주파수를 사용하여 전원제어부에서 가장 큰 면적을 차지하는 인덕터의 크기를 줄일 수 있게 하였다.

벽 변환기는 입력 전압 3.3V, 출력 전압 2.5V 했을 시 최대 95%의 효율이 나왔으며, LDO regulator를 사용하여 출력전류 1mA 이하의 대기모드에서도 60% 이상의 효율을 보장하였다.

마지막으로 TSMC 130nm 공정을 사용하여 전원제어부를 설계하고 Layout 하였다.

참고문헌

- [1] 김희준, “스위치 모드 파워 서플라이” 성인당, 3p-61p
- [2] Baker, “CMOS Circuit Design and layout”, Wiley, 900p
- [3] Chris Toumazou, “Trade-Offs in analog Circuit Design” Kluwer Academic Publishers, 139p-2004p
- [4] Fariborz Assaderaghi, “A Dynamic Threshold Voltage MOSFET for Ultra Low Voltage Operation”, IEEE, 33.1.1p
- [5] K. Mark Smith, Jr., “A Comparison of Voltage-Mode Soft-Switching Methods for PWM Converters” IEEETrans-Power Electronic, Vol. 12, No. 2 (1997)
- [6] Atsuo Fukui, “Design Consideration for a 2 MHz Synchronous Buck Converter in CMOS”, Proceedings of 2004 International Symposium on Power Semiconductor Devices & ICs, WSI-7
- [7] A. Djemouai, “New CMOS Integrated Pulse Width Modulator for Voltage Conversion Applications”, IEEE 0-7803-6542-9(2000)
- [8] Lu Chen, “Design and Test of a Synchronous PWM Switching Regulator System”, IEEE 0-7803-6253-5(2000)
- [9] Sanjaya Maniktala, “Switching Power Supplies A to Z” Newness, 61p-234p

저 자 소 개

하 가 산 (학생회원)



2008년 : 서경대학교 전자공학과 졸업 (공학사)
 2008년 3월~현재 : 서경대학교 대학원 전자컴퓨터공학과 (석사과정) <주관심분야> DC-DC converter, Power Management IC, etc.

이 강 윤 (학생회원)



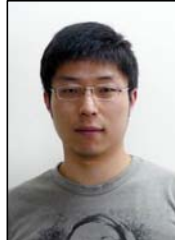
2009년 : 서경대학교 전자공학과 졸업 (공학사)
 2009년 3월~현재 : 서경대학교 대학원 전자컴퓨터공학과 (석사과정) <주관심분야> DC-DC converter, Power Management IC, etc.

하 재 환 (학생회원)



2009년 : 서경대학교 전자공학과 졸업 (공학사)
 2009년 3월~현재 : 서경대학교 대학원 전자컴퓨터공학과 (석사과정) <주관심분야> DC-DC converter, Power Management IC, etc.

주 환 규 (학생회원)



2003년 3월~현재: 서경대학교 전자공학과 (학사과정) <주관심분야> DC-DC converter, Power Management IC, etc.

구 용 서 (정회원)

전기 전자 학회 논문지 (Journal of IKEEE) Vol. 8, No. 1 참조