

# 전기화학적 도금을 이용한 wrap-around 게이트 나노구조의 제작

## Fabrication of wrap-around gate nanostructures from electrochemical deposition

안 재 현, 홍 수 헌, 강 명 길, 황 성 우

JaeHyun Ahn\* , SuHeon Hong\* , MyungGil Kang\* , SungWoo Hwang\*

### Abstract

To overcome short channel effects, wrap-around field effect transistors have drawn a great deal of attention for their superior electrostatic coupling between the channel and the surrounding gate electrode. In this paper, we introduce a bottom-up technique to fabricate a wrap-around field effect transistor using silicon nanowires as the conduction channel. Device fabrication was consisted mainly of electron-beam lithography, dielectrophoresis to accurately align the nanowires, and the formation of gate electrode using electrochemical deposition. The electrolyte for electrochemical deposition was made up of non-toxic organic-based solution and liquid nitrogen was used as a method of maintaining the shape of polymethyl methacrylate(PMMA) during the process of electrochemical deposition. Patterned PMMA can be used as a nano-template to produce wrap-around gate nano-structures.

### 요 약

Wrap-around 전계효과 트랜지스터는 채널과 전극간의 커플링을 매우 커서 채널길이가 짧아지면서 생기는 단채널효과(short channel effect)를 개선시킬 수 있는 이유로 많은 관심을 불러왔다. 본 논문에서는 실리콘 나노와이어를 이용하여 상향식의 wrap-around 전계효과 트랜지스터(FET)의 제작 공정을 소개한다. 소자의 제작 공정은 크게 전자빔 리소그래피, 유전영동(dielectrophoresis)을 이용한 나노와이어의 효과적 정렬 그리고 게이트 전극의 전기 화학적 도금(electrochemical deposition)을 이용한 생성 등의 방법들로 이루어진다. 전기 화학적 도금을 위한 용액은 독성을 띄지 않는 유기물 용액을 사용하였다. 액체 질소를 이용하여 polymethyl methacrylate(PMMA)가 전기화학적 도금시 형태를 잃지 않게 함으로써, 패터닝된 PMMA가 wrap-around 게이트 나노구조를 제작하기 위한 나노 템플릿으로 사용될 수 있도록 하였다.

**Key words :** *Silicon nanowire, Wrap-around gate, Field effect transistor, Dielectrophoresis, Electrochemical deposition*

\* 高麗大學校 電子電氣工學科  
(School of Electrical Engineering, Korea University)

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)

接受日:2009年 5月 29日, 修正完了日: 2009年 6月 24日

## 1. 서론

최근 상향식(Bottom-up)으로 합성된 다양한 나노 물질을 이용하여 전계효과 트랜지스터(FET)를 만드는 연구가 활발하다 [1-4]. 실리콘 나노와이어는 합성 단계에서 와이어의 직경, 도핑 농도를 조절하여 원하는

는 전기적 성질의 물질을 만들 수 있는 장점이 있어 미래 나노스케일 전계효과 트랜지스터 제작에 유력한 나노물질이다 [5]. 이러한 나노스케일 전계효과 트랜지스터(FET)에서 게이트의 원활한 구동은 곧 트랜지스터의 성능과 직결된다. 채널의 길이가 점점 짧아짐에 따라 드레인 전압에 의한 채널 전압의 왜곡이 소자 내부에 발생하여 원하지 않는 단채널효과(short channel effect)가 나타난다. 이러한 단채널효과를 효과적으로 제어하고 성능을 향상시키기 위한 다양한 방안이 소개되어 있다 [6-7]. 채널의 길이가 짧아짐에 따라 채널을 더욱 효과적으로 제어하기 위해 기존의 단면형태의 게이트 구조에서 더블 게이트, 트라이 게이트, 오메가 게이트, wrap-around로 게이트 구조를 발전시키는 것이 가장 효과적으로 알려져 있다 [8-9]. 이렇게 다양한 게이트 구조 중에서 게이트가 채널을 완전히 감싸는 wrap-around 형태의 게이트가 채널을 가장 효과적으로 제어하고 가장 큰 성능향상을 가져올 것으로 기대된다. 현재 대부분의 wrap-around 게이트 소자는 실리콘 기판에서 출발한 하향식(Top-down) 방법으로 제작된 것들이 주를 이룬다. 본 논문에서는 전기화학적 도금(electrochemical deposition)을 이용한 상향식의 wrap-around 게이트 나노구조 제작 공정을 소개한다.

## II. 관련 연구

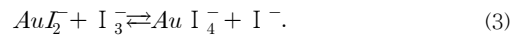
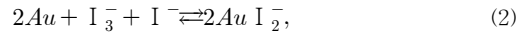
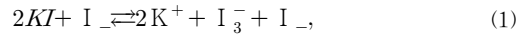
### 1. 게이트 구조에 따른 소자의 성능비교

기존의 MOSFET의 단면형태의 채널과는 달리, 나노와이어는 원통모양의 채널을 갖는다. 이에 따라 단순한 top, bottom 게이트보다 채널과 게이트간의 원활한 커플링을 위한 게이트 구조가 가능하다. 지난 10년간 기존의 MOSFET 게이트는 더블, 트라이, 오메가, wrap-around 등의 다양한 구조로 발전되어왔다. 채널을 감싸는 게이트 단면은 평면의 경우 한 개의 면, 더블 게이트는 두 개, 트라이 게이트는 셋, 오메가 게이트는 세 개 반, wrap-around는 완전히 감싸기 때문에 네 개로 생각할 수 있다 [10]. 게이트와 채널 간에 접촉하는 단면이 커질수록 게이트는 채널을 효과적으로 제어할 수 있으며, 채널이 작아짐에 따라 생기는 단채널효과도 감소시킬 수 있다. 즉, 게이트가 점점 채널을 감쌀수록 게이트가 원활히 작동하여 드레인 전류에 off-state 전류가 작아지며 동시에 subthreshold swing을 개선시킨다. 이처럼 다양한 게이트 구조 중에 wrap-around 구조의 전계효과 트랜

지스터가 가장 뛰어난 성능을 보이는 것은 과거 실험과 모델링 작업에서 증명되었다 [11].

### 2. 전기화학적 도금을 위한 용액제조

이 논문에서는 기존의 하향식이 아닌 상향식으로 wrap-around 게이트 구조를 제작하기 위한 방법으로 전기화학적 도금의 개념을 도입했다. 금 입자로 포화된 용액을 만들기 위해서 기존에는 시안화물(cyanide)을 이용하여 제조하였는데 이 방법은 시안화수소산(hydrocyanic acid)의 생성에 따라 독성을 띄는 치명적인 단점이 있다. 이러한 단점을 해결하기 위하여 시안화물 대신 요오드팅크(iodine tincture)의 원료가 되는 물질을 이용하여 포화용액을 제조하였다 [12]. 금이 요오드팅크와 반응하여 용액 속에서 이온화 상태로 존재하는 화학식은 다음과 같다.



이러한 방법은 무독성으로 실험시 인체에 안전할 뿐만 아니라 경제적으로 유리하다.

## III. 실험 및 결과

### 1. 소자 제작을 위한 준비 단계

실험에 사용될 실리콘 나노와이어는 실리콘 기판위에 금 나노입자를 촉매로 이용한 vapor-liquid-solid (VLS)방식으로 합성되었으며 와이어의 지름은 50 ~ 60 nm이다. 이렇게 합성한 나노 와이어는 바이알에 알코올과 섞은 후 약 10초간 초음파 분해하여 솔루션 형태로 만들었다.

소자기판의 경우 산화막 두께가 300 nm인 실리콘 기판 위에 미리 제작된 마스크로 포토리소그래피 하여 패드 모양을 제작하였다. 전자빔 리소그래피와 lift-off 공정을 이용하여 전극을 1 μm이하로 줄임으로써 실험을 위한 기판 제작을 완성하였다. 제작된 패드는 모두 4개이며 가운데가 비어 있는 십자가 모양으로 배열되어 있다. 이중 서로 마주보는 두 개의 패드는 나노와이어를 정렬할 소스-드레인 패드이며

이들에 수직한 방향에 위치한 나머지 두 개의 패드는 게이트를 전기화학도금으로 자라나오게 할 게이트 seed 패드이다.

전기화학적 도금을 위한 포화용액은 0.3 g의 potassium iodide와 0.3 g의 iodine을 10 mL의 IPA에 녹인 후, 용액에 쉽게 녹도록 얇은 금선을 넣고 80 °C에서 2시간동안 녹여 금이 더 이상 녹지 않는 상태를 만든다. [13].

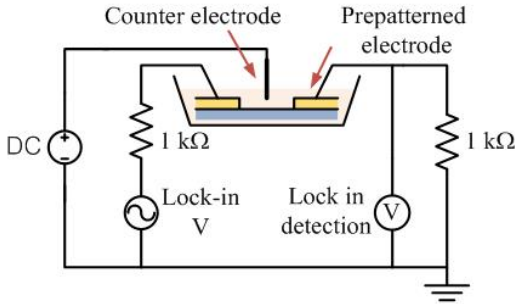


Fig. 1. Schematic diagram describing the electrochemical deposition process  
 그림 1. 전기화학적 도금을 위한 장치의 모식도

2. 소자 제작 공정

그림 1은 유전영동과 전기화학적 도금을 위한 장치의 모식도이다. 앞서 준비한 소자기판의 양 전극 사이에 실리콘 나노와이어를 정렬시키기 위해 유전영동을 작업을 수행하였다. 전자빔 리소그래피로 만든 양 전극의 패드위에 프로브 팁을 올려놓고 10 Vp-p, 1 MHz의 AC전압을 가한 후 미리 준비한 실리콘 나노와이어 솔루션을 0.5 μL 떨어뜨린 후 공기 중에 증발하기 이전에 질소로 불어주었다. 이 공정의 결과로 소스와 드레인 전극 사이에 나노와이어가 정렬된 중간 결과물을 얻을 수 있다.

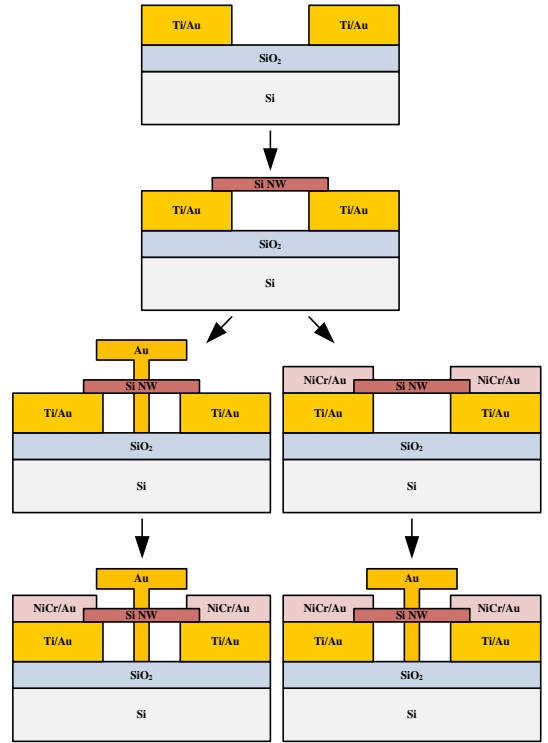


Fig. 2. Flow chart of wrap-around gate structure  
 그림 2. Wrap-around 게이트 구조의 제작 흐름에 따른 단면도

그림 2는 유전영동 이후의 중간 결과물을 이용하여 wrap around 전계효과 트랜지스터를 제작할 수 있는 두 가지 다른 방법의 공정 흐름도를 보여주고 있다. 첫 번째는 전극 양단에 정렬된 나노와이어 소자에 PMMA로 spin coating한 이후 나노와이어에 수직한 방향으로 게이트를 전기화학적 도금할 흡을 전자빔 리소그래피를 이용하여 만든다. 전기화학적 도금시 PMMA의 형태가 유지될 수 있도록 하기 위해 리소그래피를 마친 소자를 액체 질소에 담가둔다. 이후 곧바로 전기화학적 도금을 하여 게이트 전극을 형성시킨다. 아세톤으로 PMMA를 제거한 이후 또 다른 전자빔 리소그래피 및 lift-off를 이용하여 소스-드레인 전극을 다시 덮고 rapid thermal annealing(RTA)으로 소스-드레인간 접촉을 형성한다.

두 번째 방법은 게이트 위치를 만들기 전에 전자빔 리소그래피를 이용하여 소스-드레인 전극을 완성시킨 후, 액체질소에 담그는 방법이며 2차로 전기화학적 도금시 소스-드레인 전극으로 사용되는 전극 쌍

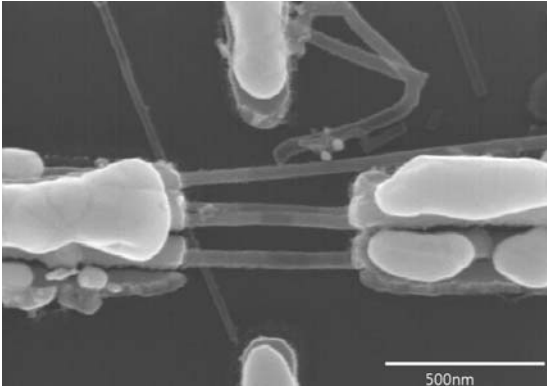


Fig. 3. SEM image of the device after rapid thermal annealing

그림 3. Rapid thermal annealing 이후 전자현미경 사진

은 프로브 팁을 이용하여 접촉시키고, 전극 끝부분이 금으로 된 counter 전극을 소자가 담긴 petri dish안에 위치시킨다. Electrolyte solution을 붓고 counter 전극에는 DC전압, 소스-드레인 전극에는 AC전압을 가해 양 전극에서부터 전자빔 리소그래피로 그린 양 전극단 사이의 구간에 이르기까지 금으로 도금이 되어나간다. 두 전극이 붙으면 양 전극사이로 전류가 흐르는데, 이 전류를 lock-in amplifier를 이용한 장치에서 감지하여 자동적으로 소스-드레인 사이의 AC전압을 끄게 한다. IPA로 소자를 깨끗이 씻어낸 후, UV cleaning하면 게이트 전극이 완성된다. 유전영동을 이용한 정렬공정 이후 전자현미경 사진이 그림 3에 나타나 있다. 네 개의 나노와이어가 두 전극 사이에 직선 형태로 잘 정렬되어 있음을 알 수 있다. 이 소자는 게이트 전극의 형성을 하지 않고 2차 소스-드레인 전극을 올린 소자이다. 전극 위의 밝은 부분은 2차 전자빔 묘화로 형성된 금속이다. RTA공정으로 인하여 수축된 형태를 보이고 있다. 완성된 소자의 전자현미경 사진은 그림 4에 나타나있다. 그림 4에서 확인할 수 있듯이 공정후의 게이트는 높은 aspect ratio를 가지는 상대적으로 큰 측벽 모양을 보이고 있다. 게이트의 측벽을 보면 나노와이어가 완전히 게이트의 측벽내부에 감싸져 있음을 확인할 수 있다.

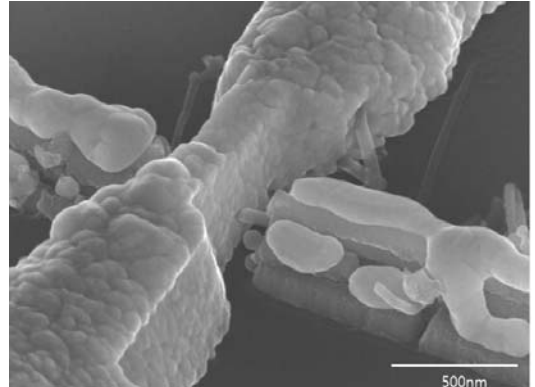


Fig 4. SEM image of the fabricated wrap-around silicon nanowire field effect transistor

그림 4. 완성된 wrap-around 실리콘 나노와이어 전계효과 트랜지스터의 전자현미경 사진

#### IV. 결론

본 실험에서, 우리는 유전영동을 이용하여 상향식으로 합성된 실리콘 나노와이어의 정렬에 성공하였으며, 전자빔 리소그래피와 전기화학적 도금을 이용하여 실리콘 나노 와이어를 채널로 하는 wrap-around 게이트 구조를 제작하였다. 전기화학적 도금은 무독성의 유기용매를 기반으로 하여 이루어졌으며, 전자빔 리소그래피로 패터닝된 PMMA가 게이트 구조의 템플릿으로 사용되었다. 그리고 전기화학적 도금 시에 발생하는 템플릿의 변형을 막기 위해 액체 질소를 이용하였다. 이렇게 제작된 wrap-around 나노 와이어 전계효과 트랜지스터는 단채널효과를 줄이 수 있다는 구조적인 장점 이외에도 제작 공정상의 여러 장점을 가진다. 일반적인 반도체 공정이 고진공, 고온에서 진행되는 것과 달리 상온, 저진공 상태에서 게이트 구조의 구현이 가능하기 때문에, 비용을 절감시킬 수 있을 뿐만 아니라 기판 상에서 다양한 물질의 응용이 가능하다.

#### 참고문헌

- [1] Y. Cui, X. Duan, J. Hu, C. M. Lieber, "Doping and Electrical Transport in Silicon Nanowires," J. Phys. Chem. B Vol. 104, Num. 22, pp. 5213-5216, Jun. 2000
- [2] J. Y. Yu, S. W. Chung, J. R. Heath, "Silicon

Nanowires: Preparation, Device Fabrication, and Transport Properties," J. Phys. Chem. B, Vol. 104, pp. 11864-11870, 2000

[3] Y. Cui, C. M. Lieber, "Nanoscale Electronic Devices Assembled Using Silicon Nanowire Building Blocks," Science, Vol. 291, pp. 851-853 Feb. 2001

[4] Y. Cui, Z. Zhong, D. Wang, W. U. Wang, C. M. Lieber, "High Performance Silicon Nanowire Field Effect Transistors," Nano Lett. Vol.3, pp. 149-152, Jan. 2003

[5] Y. Cui, L. Lauhon, Gudiksen J, Wang M. S., C. M. Lieber, "Diameter-controlled synthesis of single-crystal silicon nanowires," Appl. phys. Lett., Vol. 78, Number 15, pp. 2214-2216, Apr. 2001

[6] Agrawal B., De. V. K., Meindl J. D., "Device parameter optimization for reduced short channel effects in retrograde doping MOSFET's," IEEE Transactions on electron devices, Vol. 43, Issue 2, pp. 365-368, Feb 1996

[7] Effendi Leobandung, Jian Gu, Lingjie Guo, and Stephen Y. Chou, "Wire-channel and wrap-around gate metal-oxide-semiconductor field-effect transistors with a significant reduction of short channel effects," J. Vac. Sci. Technol. B, Vol. 15, Issue 6, pp. 2791-2794, Nov. 1997

[8] Balestra F., Cristoloveanu S., Benachir M., Brini J., Elewa T., "Double-Gate Silicon-on-Insulator Transistor with Volume Inversion: A New Device with Greatly Enhance Performance," IEEE electron device letters, Vol 8, Number 9, pp. 410-412, Sep. 1987

[9] Doyle B. S., Datta S., Doczy M., Hareland S., Jin B., Kavalieros J., Linton T., Murthy A., Rios R., Chau, R., "High Performance Fully-Depleted Tri-Gate CMOS Transistors," IEEE electron device letters, Vol. 24, Number 4., pp. 263-265, Apr. 2003

[10] M. Bescond K. Nehari, J. L. Autruan, N. Cavassilas, D. Munteanu, and M. Lannoo, "3D quantum-modeling and simulation of multi-gate nano MOSFETs," in Prco, IEDM Tech. Dig, pp. 617-620, Dec. 2004

[11] D. Munteanu, "3D Quantum Numerical Simulation of Single-Event Transients in Multiple-Gate Nanowire MOSFETs," Nuclear Science,

Vol. 54, No. 4, pp. 994-1001, Aug. 2007

[12] Umeno A., Hirakawa K., "Fabrication of atomic-scale gold junctions by electrochemical plating using a common medical liquid", Appl. Phys. Lett., Vol.86, 143103, Mar. 2005

[13] S. H. Hong, M. G. Kang, H. Y. Cha, M. H. Son, J. S. Hwang, H. J. Lee, S. H. Sull, S. W. Hwang, D. Whang, and D. Ahn, "Fabrication of one-dimensional devices by a combination of AC dielectrophoresis and electrochemical deposition", Nanotechnology, Vol. 13, pp. 105305, Feb. 2008

## 저 자 소 개

### 안 재 현 (학생회원)



2008년 : 고려대학교 전기전자전  
과공학부 졸업 (공학사)  
2008년 ~ 현재 : 고려대학교 대학  
원 전기전자공학과 (석사과정)  
<주관심분야>  
다양한 나노 와이어를 이용한 하  
향식 방법의 소자 제작

[xellove@gmail.com](mailto:xellove@gmail.com)

### 홍 수 현 (비회원)



2002년 : 고려대학교 전기전자  
전과공학부 졸업 (공학사)  
2004년 : 고려대학교 대학원 전기  
전자공학과 (공학석사)  
2005년 ~ 현재 : 고려대학교 대학  
원 전기전자공학과 (박사과정)  
<주관심분야> 하향식 공정을 이용  
한 나노소자의 제작 및 특성 분석

[hongsh1221@hanmail.net](mailto:hongsh1221@hanmail.net)

**강 명 길** (비회원)

2004년 : 고려대학교 전기전자전  
파공학부 졸업 (공학사)  
2005년 ~ 현재: 고려대학교 대학  
원 전기전자공학과 (석박통합과정)  
<주관심분야> 하향식 방법을 이  
용한 다양한 나노소자의 제작 및

고주파적 특성 분석

[cricket177@korea.ac.kr](mailto:cricket177@korea.ac.kr)

**황 성 우** (비회원)

1985년 : 서울대학교 전자공학과  
졸업 (공학사)  
1987년 : 서울대학교 전자공학과  
(공학석사)  
1993년 : Princeton University  
전기공학과(공학박사)

1993~1995 : NEC Fundamental Research Labs.  
연구원

1995~현재 : 고려대학교 전기전자전파공학부 교수  
<주관심분야> 나노소자 제작, 나노소자의 DC &  
시간변화에 따른 수송현상, 양자컴퓨팅소자, RF &  
고속디지털 회로 설계, 제작, 특성연구

[swhwang@korea.ac.kr](mailto:swhwang@korea.ac.kr)