

CCD 이미지 센서용 Power Management IC 설계

A Design of Power Management IC for CCD Image Sensor

Yong-Seo Koo^{**}, Kang-Yoon-Lee^{**}, Jae-Hwan Ha^{**}, Yil-Suk Yang^{***}
구 용 서^{**}, 이 강 윤^{**}, 하 재 환^{**}, 양 일 석^{***}

Abstract

The power management integrated circuit(PMIC) for CCD image sensor is presented in this study. A CCD image sensor is very sensitive against temperature. The temperature, that is heat, is generally generated by the PMIC with low efficiency. Since the generated heat influences performance of CCD image sensor, it should be minimized by using a PMIC which has a high efficiency. In order to develop the PMIC with high efficiency, the input stage is designed with synchronous type step down DC-DC converter. The operating range of the converter is from 5V to 15V and the converter is controlled using PWM method. The PWM control circuit consists of a saw-tooth generator, a band-gap reference circuit, an error amplifier and a comparator circuit. The saw-tooth generator is designed with 1.2MHz oscillation frequency. The comparator is designed with the two stages OP Amp. And the error amplifier has 40dB DC gain and 77° phase margin. The output of the step down converter is connected to input stage of the charge pump. The output of the charge pump is connected to input of the LDO which is the output stage of the PMIC. Finally, the PMIC, based on the PWM control circuit and the charge pump and the LDO, has output voltage of 15V, -7.5V, 3.3V and 5V. The PMIC is designed with a 0.35um process.

요 약

본 논문에서는 CCD 이미지 센서용 PMIC를 제안한다. CCD 이미지 센서는 온도에 민감하다. 일반적으로 낮은 효율을 갖는 PMIC에 의해 열이 발생된다. 발생된 열은 CCD 이미지 센서의 성능에 영향을 미치므로 높은 효율을 갖는 PMIC를 사용함으로써 최소화 시켜야 한다. 고효율의 PMIC개발을 위해 입력단은 동기식 step down DC-DC 컨버터로 설계하였다. 제안한 PMIC의 입력범위는 5V~15V이고 PWM 제어방식을 사용하였다. PWM 제어회로는 삼각파 발생기, 밴드갭 기준 전압회로, 오차 증폭기, 비교기로 구성된다. 삼각파 발생기는 1.2MHz의 발진 주파수를 가지며, 비교기는 2단 연산 증폭기로 설계되었다. 오차 증폭기는 40dB의 DC gain과 77° 위상 여유를 갖도록 설계하였다. step down DC-DC 컨버터의 출력은 Charge pump의 입력으로 연결된다. Charge pump의 출력은 PMIC의 출력단인 LDO의 입력으로 연결된다. PWM 제어회로와 Charge pump 그리고 LDO로 구성된 PMIC는 15V, -7.5V, 5V, 3.3V의 출력전압을 갖는다. 제안한 PMIC는 0.35um 공정으로 설계하였다.

Key words : DC-DC converter, PMIC, PWM, Charge pump, LDO
할 수 있도록 하는 반도체 소자이다. 이미지 센서는

* 檀國大學校 電氣電子工學部 (Electronics and Electrical Engineering, Dankook University)

** 西京大學校 電子工學科 (Department of Electronics Engineering, Seokyeung University)

*** 韓國電子通信研究員 (Electronics and Telecommunications Research Institute)

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)

본 연구는 지식경제부의 "System IC 2010"과 한국전자통신연구원(ETRI) 지원으로 이루어졌습니다.
接受日:2009年 12月 8日, 修正完了日: 2009年 12月 28日

크게 전하 결합 소자(Charge Coupled Device, CCD)와 상보성 금속 산화막 반도체 이미지 센서(Complimentary Metal Oxide Image Sensor, CIS)의 두 가지로 나누어진다. CCD 이미지 센서(CCD image sensor)는 방송 뿐만 아니라 보안카메라에서 고밀도 TV까지 다양한 분야에 사용되고 있으며, 팩스기, 복사기, 스캐너, 디지털 카메라, 바코드 리더에도 CCD 이미지 센서가 사용되고 있다. 이러한 다양한 활용으로 인하여 CCD 이미지 센서의 시장은 매우 광대하

1. 서론

이미지 센서는 빛의 신호를 전기적 신호로 변환하여 디스플레이 장치에 표시하거나 저장 장치에 저장

다. 물론, 최근에는 CIS(CMOS Image Sensor)가 많은 두각을 나타내고 있다. CCD에 비해서 1/100의 전력만 소비하며, 데이터 전송을 병렬로 하기 때문에 매우 빠르다. 또한 소형 제품의 제작이 가능하고 생산공정이 간단하여 제작비가 저렴한 장점과 단점으로 지적되었던 노이즈의 처리 기술의 빠른 발전으로 CCD 이미지 센서의 이미지 품질과 비슷한 수준에 와있는 상황이다. 하지만 CCD는 센서에 최적화된 공정을 사용할 수 있어, 암전류나 변환 효율, 노이즈와 같은 화질 측면에서 우수한 특성을 나타내고 있다. 빛에 대한 빠른 반응성과 앞선 이미지 재현성으로 인해 고품질을 원하는 장비는 물론이며, 많은 곳에서 CCD 이미지 센서가 계속 사용 되고 있다. 그리고 영상 처리가 필요한 모든 분야에서 아날로그 장비들이 디지털화되어가고 있는 만큼 시장은 더욱 확대되어질 전망이다.[1]

CCD 이미지 센서가 기존의 아날로그 시장을 대체하면서 가장 중요한 점은 이전의 아날로그 장비들만큼의 신뢰성 확보여부이다. CCTV용 CCD 이미지 센서의 경우 내부 부품들은 다양한 입력 전압을 사용하는 부품들로 구성되어 있으며, 특히 CCD 이미지 센서는 시스템에서 발생하는 열, 전압과 전류 변화에 민감하게 반응하며, 이것은 곧 영상 품질에 영향을 미치기 때문에 전력의 관리는 중요한 요소이다. 이에 Power Management IC(PMIC) 기술은 중요한 이슈로 부각되고 있다.

본 논문에서는 CCD 이미지 센서의 특성에 적합한 PMIC를 설계한다. PMIC는 세부적으로 SMPS(Switching mode Power Supply)방식의 step down DC-DC 컨버터, PWM 제어부, Charge Pump 블록, LDO 블록으로 구성된다. 본문 1절에서는 CCD 이미지 센서 시스템의 구성 및 개요를 컬러 CCD 카메라 블록을 통해 간략하게 언급한다. 2절에서는 본 논문에서 제안한 PMIC의 구조를 설명하며, PMIC의 세부 블록인 DC-DC 컨버터, PWM 제어부, Charge Pump, LDO에 대해서 설명한다. 3절에서는 본 논문이 제안한 PMIC의 Layout을 설명한다. 마지막으로 설계 및 시뮬레이션 결과를 종합하여 결론을 맺는다.

II. 본론

1. CCD 이미지 센서 시스템의 구성 및 개요

CCD 이미지 센서의 경우 다양한 전압을 필요로 하며 그 구성을 그림 1에 나타내었다. 그림 1의 CCD 카메라 블록은 크게 5개의 부분으로 나누어진다. 외부 영상 신호를 렌즈를 통하여 CCD 이미지 센서로 받아서 전기 신호로 변환하여 출력하는 영상 입력 블록, 입력 신호를 A/D 변환 및 노이즈 제거등의 데이터 처리 후 출력하는 신호 및 타이밍 처리 블록, 전체 시스템 및 렌즈 밝기를 제어하는 제어 블록, 처리한 신호를 증폭하여 출력하는 영상 출력부, 마지막으로 시스템에 구성된 장치로 전원을 공급하고 4개의 채널로 구분되는, 즉, 본 논문에서 설계하는 부분인 전원 블록이다. CCD 이미지 센서용 PMIC의 경우 시스템 전체에 필

요한 전원을 공급하며 4개의 채널로 구성된다. 본 논문의 PMIC는 5V에서 15V 입력을 받아 5V, -7.5V, 15V, 3.3V를 출력한다.

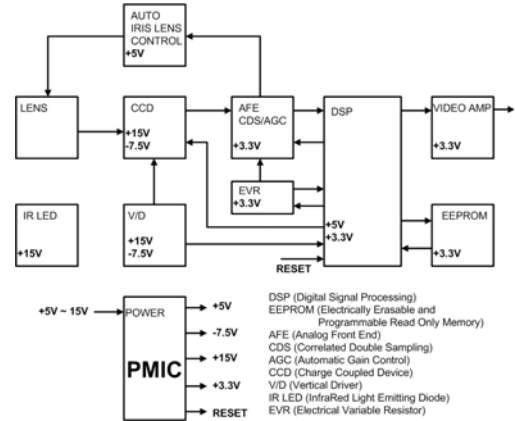


Fig. 1. Color CCD camera block diagram
그림 1. 컬러 CCD 카메라 블록도

2. CCD 이미지 센서용 PMIC 설계

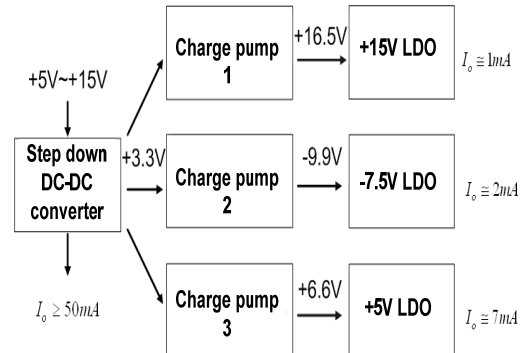


Fig. 2. Power management IC block diagram
그림 2. PMIC 블록도

그림 2는 CCD 이미지 센서용 PMIC의 블록도이다. 그림 1에서와 같이 CCD 이미지 센서는 다양한 전압을 필요로 한다. 본 논문에서는 CCD 이미지 센서에 사용되는 5V, 15V, -7.5V와 CCD 이미지 센서 주변의 블록에서 사용되는 3.3V를 지원하기 위한 PMIC를 설계하였다. 제안한 PMIC는 step down DC-DC 컨버터 블록, charge pump 블록, LDO 블록으로 크게 3개의 블록으로 구성되어 있다. Step down DC-DC 컨버터 블록은 PMIC의 입력단으로써 외부의 5V~15V의 입력을 받아 3.3V의 전압을 출력한다.

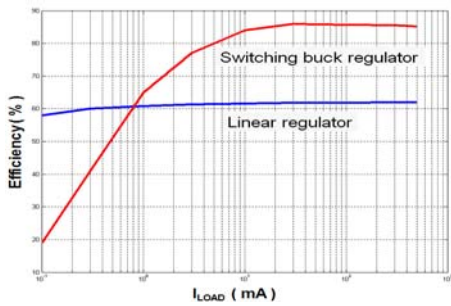


Fig. 3. Efficiency comparison of LDO and SMPS
 그림 3. LDO와 SMPS의 효율 비교

SMPS 방식의 step down DC-DC 컨버터는 그림 3과 같이 LDO와 비교했을 때 고전류에서 효율이 높다. 본 논문에서는 CCD 이미지 센서외의 블록에서 필요한 전류가 50mA 이상이기 때문에 같은 부하전류 조건에서 효율이 우수한 SMPS 방식의 step down DC-DC 컨버터를 사용하였다. 고전류에서 효율이 높은 SMPS 방식의 step down DC-DC 컨버터를 사용함으로써 높은 전력변환 효율과 PMIC에 의해 발생하는 열을 최소화 시킨다. 3.3V의 전압은 앞서 언급한 CCD 이미지 센서외의 블록에 사용되며 동시에 최종 출력 전압을 만들기 위한 과정에서 하나인 charge pump 블록으로 입력된다. Charge pump 블록으로 입력된 전압은 16.5V, -9.9V, 6.6V의 서로 다른 전압을 출력하며 최종 출력 전압을 만들기 위해 LDO 블록으로 입력된다. LDO 블록으로 입력된 Charge pump 블록의 출력은 15V, -7.5V, 5V의 전압을 출력한다. 각각의 LDO 블록은 1mA, 2mA, 7mA의 출력 전류에 사용할 수 있도록 설계한다.

2-1. Step down DC-DC 컨버터 설계

가. PWM(Pulse Width Modulation) 설계

그림 4는 PWM 제어 회로를 포함하는 step down DC-DC 컨버터의 전체 회로를 나타낸다. PWM 제어 회로는 출력 전압과 기준 전압을 비교하여 생긴 오차를 오차 증폭기로 증폭하고, 이 증폭된 전압은 비교기에서 삼각파와 비교되어 오차에 상응한 구형파 펄스를 생성하여 step down DC-DC 컨버터의 스위치를 구동시켜 출력 전압을 안정시킨다.[2-4]

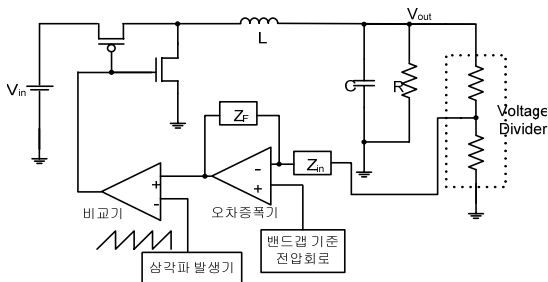


Fig. 4. Step down DC-DC converter circuit
 그림 4. Step down DC-DC 컨버터 회로

(1) 기준전압 발생회로 설계

기준전압 발생회로는 전원전압과 온도의 변화에 무관하게 기준전압을 만들어주는 회로로써 밴드갭 기준 전압회로를 이용하여 설계하였다.[5]

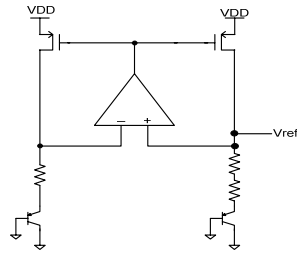


Fig. 5. voltage reference generator circuit
 그림 5. 기준전압 발생 회로

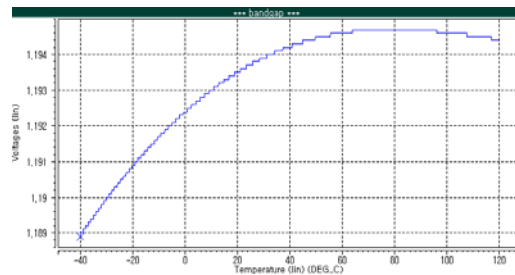


Fig. 6. Reference voltage change with temperature
 그림 6. 온도변화에 따른 기준전압 변화

그림 5는 기준전압 발생기의 회로도이고, 그림 6은 기준전압 발생기의 시뮬레이션 결과이다. 설계된 기준전압 발생회로는 1.2V를 출력하며 온도변화에 따른 기준전압 변화를 관찰하기 위해 -40°C에서 120°C까지 온도 변화를 주어 시뮬레이션을 수행하였다. 기준 전압 차이는 5mV이다.

(2) 오차 증폭기 설계

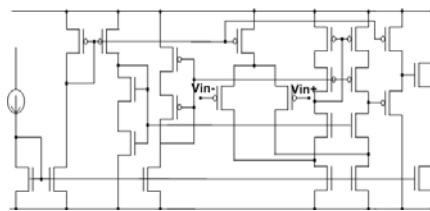


Fig. 7. Error Amplifier circuit
 그림 7. 오차증폭기 회로도

오차 증폭기는 전원제어부의 출력 전압과 기준전압 발생회로의 1.2V를 비교하여 그 오차만큼을 증폭시키는 역할을 한다. 높은 DC gain을 갖기 위해 folded cascode 방식을 사용하였고, 저항을 구동해야 하므로 출력단을 common source로 구성하였다. 그림 7는 오차 증폭기의 회로도를 나타내고, 그림 8은 오차증폭기의 AC 시뮬레이션 결과이다.

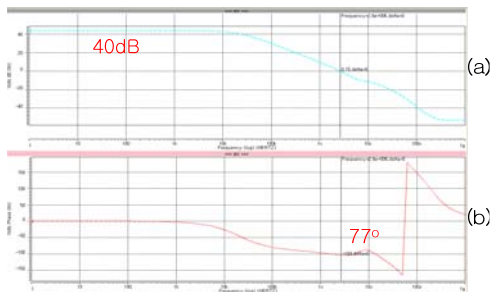


Fig. 8. The AC simulation result of the error amplifier

(a) DC gain (b) Phase margin

그림 8. 오차증폭기의 AC 시뮬레이션 결과

(a) DC gain (b) 위상 여유

나. DC-DC 컨버터 설계

앞서 설계한 PWM 제어 회로를 바탕으로 그림 4과 같이 전원제어부를 설계하였다. Step down DC-DC 컨버터의 입력 전압은 5V~15V 출력전압은 3.3V, 스위칭 주파수 1.2MHz이다.

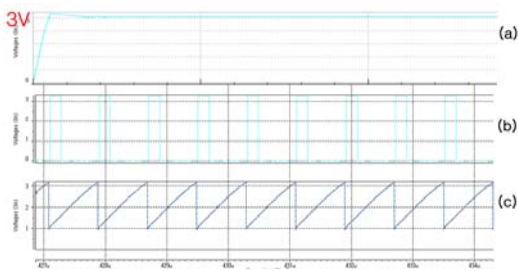


Fig. 9. Simulation result of step down DC-DC converter

(a) Output Voltage (b) NMOS Gate Voltage

(c) Saw-Tooth Wave Output Voltage

그림 9. Step down DC-DC 컨버터의 시뮬레이션 결과

(a) 출력 전압 (b) NMOS 게이트 전압 (c) 삼각파 전압

그림 9은 입력전압을 10V로 했을 때의 시뮬레이션 결과이며 step down DC-DC 컨버터의 출력전압, NMOS 게이트 전압, 삼각파 출력전압을 차례대로 나타낸다.

2-2. Charge pump 설계

앞서 언급했던 것과 같이 CCD 이미지 센서는 다양한 입력 전압을 갖는다. 본 논문에서는 PWM 제어를 이용하여 출력된 3.3V의 전압을 그림 10과 같은 Dickson charge pump를 이용하여 서로 다른 3개의 전압을 만든다.[5-7] 그 이후 LDO를 이용하여 최초 설계목표로 했던 전압으로 조정한다. charge pump의 경우 180°의 위상 차이와 level high인 구간에서 오버랩이 발생하지 않는 두 개의 펄스가 필요하다.[6-7] 그림 11을 이용하여 클럭 발생기를 설계하였다. Charge pump의 시뮬레이션 결과는 그림 12와 같다.

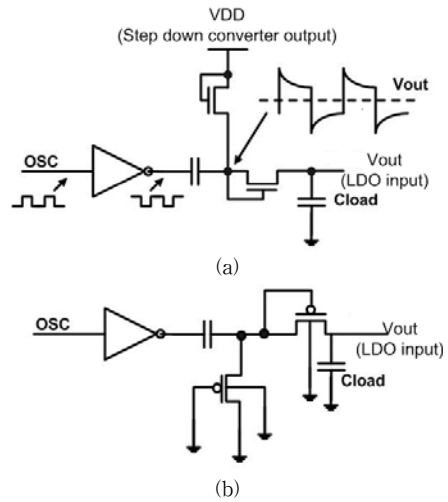


Fig. 10. Charge pump circuit

(a) Positive charge pump (b) Negative charge pump

그림 10. Charge pump 회로도

(a) Positive charge pump (b) Negative charge pump

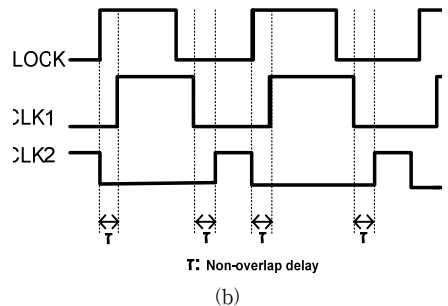
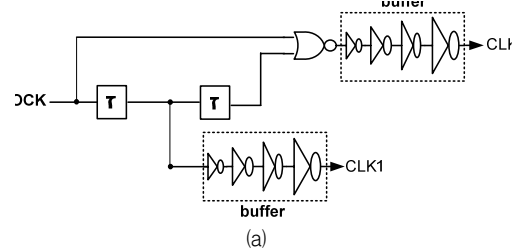


Fig. 11. Non-overlapping clock generator

(a) Non-overlapping clock generator circuit

(b) Operation of the Non-overlapping clock generator

그림 11 오버랩이 발생하지 않는 클럭 발생기

(a) 오버랩이 발생하지 않는 클럭 발생기 회로도

(b) 오버랩이 발생하지 않는 클럭 발생기의 동작

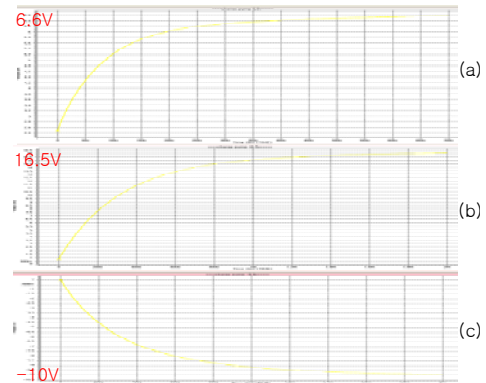


Fig. 12. Simulation result of charge pumps
 (a) 6.6V charge pump (b) 16.5V charge pump
 (c) -9.9V charge pump
 그림 12. Charge pump 시뮬레이션 결과
 (a) 6.6V charge pump (b) 16.5V charge pump
 (c) -9.9V charge pump

2-3. LDO 설계

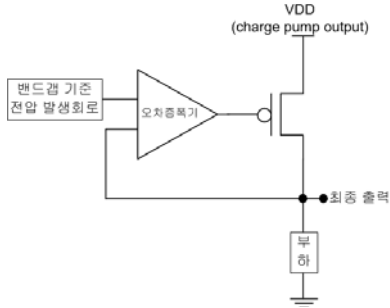


Fig. 13. LDO block diagram
 그림 13. LDO 블록도

그림 3과 같이 PWM 방식의 SMPS는 높은 출력전류에서 높은 전력변환 효율을 갖지만 출력전류가 낮아지면 효율이 급격히 떨어진다. 또한 CCD 이미지 센서는 전원공급단의 전압 리플이나 노이즈에 민감하다. 본 논문의 경우 출력전류는 1mA에서 7mA로 비교적 작다. 때문에 charge pump의 출력을 원하는 전압으로 낮춤에 있어서 높은 출력전류에서 전력변환 효율을 갖고 LDO 보다 전압리플이 큰 PWM 방식의 SMPS 대신 낮은 출력 전류에서 PWM 방식의 SMPS 보다 높은 전력변환 효율을 갖고 전압리플도 작은 그림 14의 LDO를 사용하였다.[8] LDO의 시뮬레이션 결과는 그림 15와 같다.

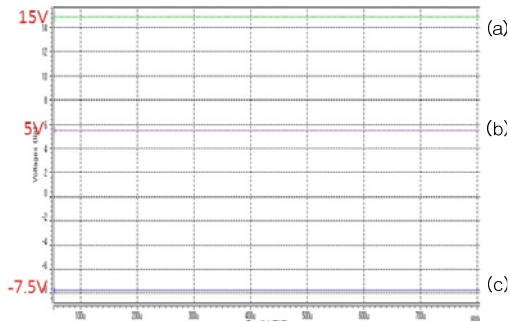


Fig. 14. Simulation result of LDOs
 (a) 15V LDO (b) 5V LDO (c) -7.5V LDO
 그림 14. LDO 시뮬레이션 결과
 (a) 15V LDO (b) 5V LDO (c) -7.5V LDO

3. Layout

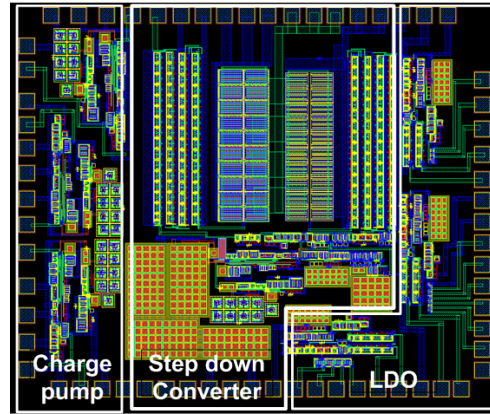


Fig. 15. Layout of PMIC for CCD image sensor
 그림 15. CCD 이미지 센서용 PMIC 레이아웃

그림 15는 본 논문에서 제안한 PMIC의 전체 레이아웃이다. 칩의 면적을 줄이기 위해 charge pump에 쓰이는 캐패시터의 경우 외부 캐패시터로 대체 하였다.

III 결론

본 논문에서는 CCD 이미지 센서용 Power Management IC를 설계하였다.

높은 효율을 갖는 PMIC를 개발하기 위해 PMIC의 입력단에는 5V~15V의 전원에서 동작하는 PWM 방식의 출력전압 3.3V의 동기식 step down DC-DC 컨버터를 설계하였다. PWM 제어부의 회로 설계는 삼각파 발생회로의 경우, 1.2MHz 발진 주파수를 갖는 삼각파와, 간단한 OTA를 이용한 비교기를 설계하였다. 오차 증폭기는 40dB의 DC gain과 77°의 위상 여유를 갖도록 설계하였고, 오차 증폭기의 보상회로를 설계함으로써 위상 손실을 보상하였다.

CCD 이미지 센서는 다양한 전압을 필요로 하기 때문에 본 논문에서는 step down DC-DC 컨버터와 더불어 charge pump와 LDO를 이용하여 CCD 이미지 센서에 사용되는 5V, 15V, -7.5V와 CCD 이미지 센서의 블록에서 사용되는 3.3V를 지원하기 위한 PMIC를 설계하였다.

마지막으로 0.35um 공정을 사용하여 PMIC를 설계하고 layout 하였다.

참고문헌

[1] 문현찬, “이미지센서 (CCD, CMOS) 기술 및 시장 동향”, 전자정보센터
 [2] 김희준, “스위치 모드 파워 서플라이” 성인당, 3p-61p
 [3] Atsuo Fukui,, “Design Consideration for a 2 MHz Synchronous Buck Converter in CMOS”, Proceedings of 2004 International Symposium on Power Semiconductor Devices & ICs, WSI-7
 [4] Sanjaya Maniktala, “Switching Power Supplies A to Z” Newness, 61p-234p
 [5] Baker, “CMOS Circuit Design and layout”,

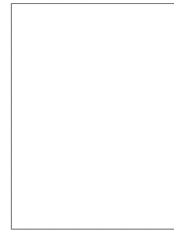
Wiley, 542p-548p, 745p-772p

[6] Feng Pan, "Charge Pump Circuit Design", McGrawHill, 1p-118p

[7] John F. Dickson, "On-Chip High-Voltage Generation in NMOS Integrated Circuits Using An Improved Voltage Multiplier Technique", IEEE Journal of solid state circuits

[8] Bang.S. Lee, "Technical Review of Low Dropout Voltage Regulator Operation and Performance", Texas instruments application report

양 일 석 (비회원)



1989년 : 경북대학교
전자전기컴퓨터학부 졸업 (공학사)
1994년 : 경북대학교 대학원
전자전기컴퓨터학부 (공학석사)
2008년 : 경북대학교 대학원
전자전기컴퓨터학부 (공학박사)
1999년~현재 : 한국전자통신연구
원 책임연구원

<주관심분야> Low-power circuit design, High-energy efficiency circuit design, Low-power micro-processor design

저 자 소 개

구 용 서 (정회원)

전기전자학회 논문지
(Journal of IKEEE) Vol. 8, No.1 참조

이 강 윤 (학생회원)



2009년 : 서경대학교 전자공학과
졸업 (공학사)
2009년 3월~현재 :
서경대학교 대학원
전자컴퓨터공학과 (석사과정)
<주관심분야>
DC-DC converter, Power
Management IC, etc.

하 재 환 (학생회원)



2009년 : 서경대학교 전자공학과
졸업 (공학사)
2009년 3월~현재 :
서경대학교 대학원
전자컴퓨터공학과 (석사과정)
<주관심분야>
DC-DC converter, Power
Management IC, etc.