

2.06mV/count의 해상도를 갖는 칩 내부 전원전압 잡음 측정회로

On-chip Power Supply Noise Measurement Circuit with 2.06mV/count Resolution

이 호 규*, 정 상 돈*, 김 철 우*
 Hokyuu Lee*, Sangdon Jung*, Chulwoo Kim*

Abstract

This paper describes measurement of an on-chip power supply noise in mixed-signal integrated circuits. To measure the on-chip power supply noise, we can check the effects of analog circuits and compensate it. This circuit consists of two independent measurement channels, each consisting of a sample and hold circuit and a frequency to digital converter which has a buffer and voltage controlled oscillator(VCO). The time-based voltage information and frequency-based power spectrum density(PSD) can be achieved by a simple analog to digital conversion scheme. The buffer works like a unit-gain buffer with a wide bandwidth and VCO has a high gain to improve resolution. This circuit was fabricated in a 0.18um CMOS technology and has 2.06mV/count. The noise measurement circuit consumes 15mW and occupies 0.768mm².

요 약

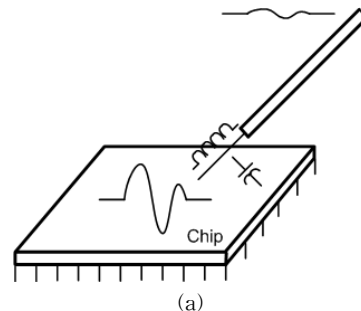
이 논문에서는 혼성 신호 집적회로 상의 온칩 전원전압 잡음을 측정하는 회로에 대해 기술하였다. 온칩 상의 전원전압 잡음을 측정함으로써 잡음이 아날로그 회로에 미치는 영향을 확인하고 이를 보상하는 정보로도 사용할 수 있다. 이 회로는 동일하지만 독립적인 두 개의 채널로 구성되어 있다. 각 채널은 샘플 앤 홀드와 전압 제어 발진기를 포함한 주파수-디지털 변환 블록으로 구성되어 있다. 간단한 아날로그-디지털 변환 방법을 사용해서 시간 기준 전압 정보와 주파수 기준 전력 스펙트럼 밀도를 얻을 수 있다. 버퍼는 넓은 대역폭을 갖는 유닛 게인 버퍼로 동작하고, 전압 제어 발진기는 해상도를 높이기 위한 높은 증폭도를 가지고 있다. 이 회로는 0.18um CMOS 공정으로 설계되었으며 측정된 해상도는 2.06mV/count 이다. 전원잡음 측정회로는 15mW의 전력을 소모하며 0.768mm²의 면적을 차지한다.

Key words : Supply voltage noise measurement, Sample and Hold, VCO, Power Spectrum Density,

1. 서론

최근 회로 공정의 발달로 인해서 하나의 칩에 수백만 개의 트랜지스터를 집적시키는 아날로그-디지털 혼성신호 집적 회로(IC)의 수요가 늘고 있다. 또한 모바일 기기 등과 같은 초소형 기기에 대한 수요가 증가함으로서 집적회로의 사이즈는 점점 작아지고 있는 추세이다. 이러한 혼성신호 집적 회로에서 디지털 회로의 빠른 데이터 변화에 의해 생기는 잡음은 전원 또는 기판을 통해서 가까이 위치한 아날로그 회로에 영향을 미치게 되고 이는 회로 전체의 성능에 영향을

미치게 된다. 이에 혼성신호 집적회로의 잡음 문제에 관한 논의가 시작되었고[1], 최근에는 이러한 전원전압, 기판 잡음을 측정하여 보상을 해주는 연구가 중



* 高麗大學校 電子電氣工學科

(School of Electrical Engineering, Korea University)

* 高麗大學校 電氣電子電波工學科 부교수, 교신저자

(School of Electrical Engineering, Korea University)

※ 이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임(No. R0A-2007-000-20059-0)

接受日:2009年 12月 10日, 修正完了日: 2009年 12月 28日

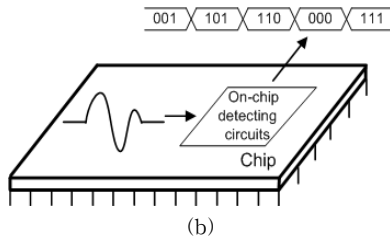


Fig. 1. (a) Off-chip measurement (b) On-chip measurement

그림 1. (a) 오프-칩 측정 방법 (b) 온-칩 측정 방법

요시 되고 있다 [2]-[4].

이러한 전원전압 측정 방법에는 오프-칩 측정 방법과 온칩 측정 방법이 있다. 그림 1(a)은 오프-칩 측정 방법에 대해 보여주고 있다. 이러한 오프-칩 측정 방법은 측정의 간편함은 있으나 측정 장비 상에 존재하는 매우 큰 기생 커패시턴스와 인덕턴스의 영향 때문에, 측정할 수 있는 대역폭이 매우 제한적이게 된다. 그러나 그림 1(b)의 온칩 측정 방식은 칩 내부에 직접 전원전압의 잡음을 측정하는 회로를 삽입함으로써 칩 외부의 조건에 상관없이, 원하고자 하는 값을 대역폭의 제한을 덜 받으면서 측정할 수 있다.

Keiko Makie는 디지털 잡음이 온칩 상의 아날로그 회로에 미치는 영향을 측정하기 위해서 전압-비교기를 기반으로 하는 잡음측정 방법을 제안하였다 [2]. 하지만 이 방식은 잡음의 크기와 rms 값을 측정할 수 있다. Muhtaroglu는 온 칩 상의 높은 주파수에 의한 전원전압의 잡음을 측정하기 위해서 온 다이 드롭 검출기(On-die droop detector)를 제안하였다 [3]. 이 검출기는 양(+) 또는 음(-)으로 오버슈트 하는 경우를 검출하는데, 이러한 검출 측정을 서로 다른 문턱 레벨에 따라 반복적으로 함으로서 전압 잡음의 분포 정보를 알 수 있다. 하지만 이렇게 반복적인 측정을 함으로서 알아낸 전압 잡음 신호는 칩이 정상적으로 작동하고 있을 때의 전원전압 잡음 신호를 측정 한 것이라고 보기 어렵다.

전원전압 상의 잡음이 어느 정도로 회로 상에 영향을 미치는 지를 정량적으로 표현하기 위해서는 잡음의 분포 스펙트럼과 주파수 스펙트럼을 알아야 한다. 이를 위해 Elad는 전원 전압의 잡음을 랜덤 프로세스로 가정하고 이것의 자기상관(Autocorrelation)을 사용하여 잡음의 스펙트럼을 측정하였다 [4].

이제까지 전원전압 잡음의 여러 가지 측정 방법에 대해 알아보았다. [2]와 [3]의 경우는 칩이 동작하고 있을 때의 전원전압 잡음이 아닌 임의의 순간에 발생하는 전압 잡음을 측정한 것으로, 실제로 칩에서 발생하는 것을 측정하기 위해서는 [4]의 방식이 적절하다. 이에 [4]의 측정 방법을 바탕으로 회로를 구현하여 전원전압 상의 잡음을 시간에 따른 변화뿐만 아니라 주파수에 따른 변화, 특히 파워 스펙트럼 밀도(Power spectrum density)를 얻을 수 있는 정보를 칩 내에서 측정하였다. 이 측정된 디지털 데이터를 사용하여 칩 내부의 전원전압 잡음의 정도를 정량적으로 표현할 수 있고, 이를 보상하는 정보로서 이용할 수 있다. 또

한 측정 장비의 한계, 즉 대역폭의 제한과 내부의 정보를 정확히 파악할 수 없다는 단점을 극복할 수 있다. 본 논문의 구성은 다음과 같다. I절에서는 전원전압 측정방법의 종류와 그에 따른 장·단점에 대해 알아보았다. II절에서는 전원전압 잡음 측정 회로에 대해 설명하고 III절에서는 설계된 회로의 측정 결과에 대해 기술 하였다. 마지막으로 IV절에서는 본 연구 결과에 대한 결론을 맺고 있다.

II. 전원전압 잡음 측정회로

1. 전원전압 잡음과 시불변 랜덤 프로세스

일반적으로 전원전압의 잡음은 시불변 랜덤 프로세스(stationary random process)로 모델링 하며, 이는 샘플링 하는 전압 정보가 항상 일정한 시간차를 유지한 상태에서 측정되어야 하는 조건을 갖는다. 이를 위해 전원전압의 전압 정보를 일정한 시간 간격(τ)을 유지한 채 측정할 수 있도록 회로를 배치하여야 한다. 이를 통해 얻은 정보는 다음 수식을 통해 자기상관(R)을 구하게 된다.

$$R(\tau) = E[v_{noise}(t + \tau/2)v_{noise}(t - \tau/2)] \quad (1)$$

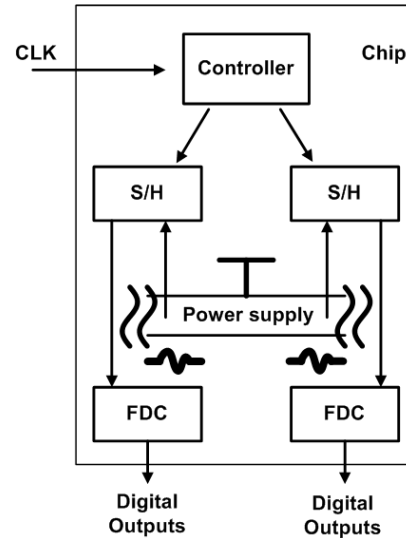


Fig. 2. Block diagram of supply voltage noise measurement circuits

그림 2. 전원전압 잡음 측정회로의 블록 다이어그램

이렇게 얻어진 정보를 푸리에 변환을 시킴으로서 주파수에 따른 스펙트럼의 변화율인 전력 스펙트럼 밀도(P)를 구할 수 있고, 또한 주파수에 따른 전원전압 잡음의 파워를 파악할 수 있게 된다.

$$S(f) = \int_{-\infty}^{\infty} R(\tau) e^{-2\pi i f \tau} d\tau \quad (2)$$

$$P = \int_{F_1}^{F_2} S(f)df + \int_{-F_2}^{-F_1} S(f)df \quad (3)$$

2. 전원전압 잡음 측정 회로의 구조

그림 2는 온칩 전원전압 잡음 측정회로의 블록 다이어그램이다. 이 회로는 전원전압을 순간적으로 샘플링 하는 샘플 앤 홀드 회로와 특정 주파수를 일정한 디지털 값으로 출력해주는 주파수-디지털 변환기, 그리고 이 일련의 과정을 조절해주는 컨트롤러로 구성되어 있다. 외부에서 넣어주는 클럭은 컨트롤러를 조절하여 샘플 앤 홀드와 주파수-디지털 변환기의 동작을 모두 조절함으로써 잡음 측정 시 용이성을 갖게 하였다.

전원전압의 잡음 측정 시, 회로에서 발생하는 잡음에 대한 영향이 측정 시스템에 영향을 미치지 않게 하기 위해서 이 측정 회로의 전원전압은 측정하고자 하는

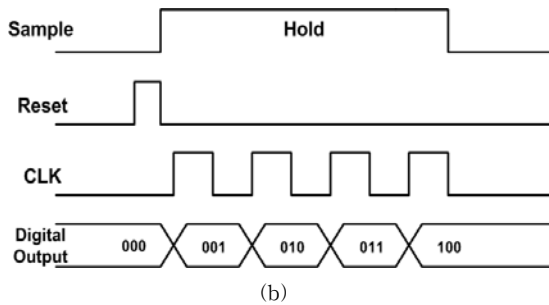
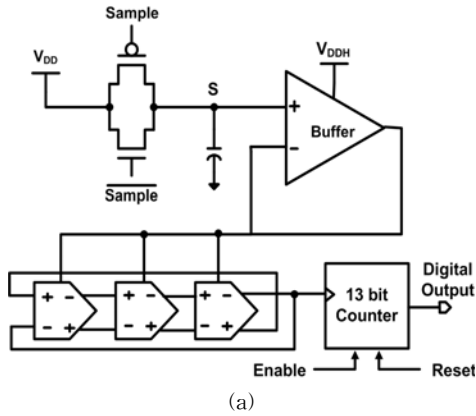


Fig. 3. (a) On-chip Supply voltage noise measurement circuits (b) Timing chart
그림 3. (a) 칩 내부의 전원전압 잡음 측정회로 (b) 타이밍 차트

전원전압과는 다른 핀에서 공급받게 된다. 또한 컨트롤러를 제외한 나머지 회로들을 모두 대칭적으로 배치함으로써 주파수에 따른 전원전압의 잡음을 정확히 측정할 수 있게 하였다.

가. 샘플 앤 홀드

샘플 앤 홀드 블록은 측정하고자 하는 전원전압의

잡음 데이터를 샘플링 하여 일정시간 동안 지속시켜주는 역할을 한다. 그림 3(a)은 샘플 앤 홀드의 회로도이다. 이 회로는 스위치, 샘플링 커패시터와 단위 이득 버퍼로 구성되어 있다. 샘플링 앤 홀드 블록은 전원전압(V_{DD})을 입력 신호로 갖기 때문에 입력 신호의 레벨이 전원전압 잡음 측정 회로의 전원전압과 같게 된다. 이는 샘플 앤 홀드 블록이 홀드 모드일 때에도 스위치가 완전히 꺼지지 않아 샘플링 노드(S)와 전원전압 노드가 커플링 되는 상황이 발생하게 되어 원하고자 하는 전원전압 잡음을 측정할 수 없게 된다. 이런 상황을 방지하기 위해 전원전압 잡음 측정 회로의 전원전압(V_{DDH})을 0.18um공정의 일반적인 전압레벨인 1.8V 보다 높은 2.2V를 사용하였다.

스위치가 꺼질 때 발생하는 MOSFET의 전하 주입(Charge injection)과 클럭 피드스루(Clock feedthrough) 현상은 샘플링 커패시터에 저장되는 전하량에 영향을 미쳐 왜곡현상이 일어나게 된다 [5]. 이 원치 않는 현상에 대한 해결책으로 NMOS 또는 PMOS를 이용한 스위치 대신 CMOS 트랜스미션 게이트를 사용하였다. 트랜스미션 게이트를 사용함으로써 상호보완적인 신호가 전하 주입과 클럭 피드스루에 의해 생기는 변화량을 서로를 상쇄시켜서 이러한 문제를 해결하였다 [6].

일반적으로 잡음은 회로상의 디지털 클럭 신호가 상승단 또는 하강단 일 때 발생하게 된다. 그러므로 잡음 곡선의 대역폭은 디지털 회로의 클럭 주파수가 아닌 디지털 회로의 상승 또는 하강단의 속도에 의해 결정되게 된다 [2]. 따라서 스위치와 버퍼의 대역폭이 모자라 V_{DD}의 높은 주파수 성분의 잡음이 필터링 되어 측정이 안 되는 경우를 방지하기 위해, 각각의 회로가 넓은 대역폭을 갖도록 설계 하였다.

나. 전압 제어 발진기

그림 3(b)은 컨트롤러의 통제를 통해 회로가 동작하는 타이밍 차트이다. Sample 신호가 “1”이 되는 순간의 전원전압을 커패시터가 홀딩을 하고, 그 값이 전압 제어 발진기로 전달하여 특정 주파수를 출력하도록 한다. 또한 Sample 신호가 “1”로 유지되는 시간동안 카운터가 그 주파수를 가산하여 디지털 신호로 출력하게 된다. 전원전압 상에 잡음이 존재하면 전압제어 발진기의 주파수가 변하게 되어 이를 카운터가 디지털 신호로 출력해 줌으로서 시간에 따른 전원전압 잡음의 변화 추이를 파악할 수 있다.

전압 제어 발진기의 해상도는 다음과 같은 수식으로 표현할 수 있고, Sample 신호의 길이(T_{win})와 전압제어 발진기의 입력 전압에 따른 출력 주파수의 이득(K_{VCO})에 의해 결정이 된다.

$$1LSB = 1 / (T_{win} \cdot K_{vco}) \quad (4)$$

두 개의 독립적인 채널에서 샘플링 된 두 전원전압 잡음의 미세한 차이를 측정하기 위해서는 전압 제어 발진기의 해상도를 극대화 시켜야 한다. 이를 위해

K_{VCO} 를 극대화 하였으며 T_{win} 을 13bit 카운터가 과잉 카운팅이 발생하지 않는 범위에서 최대한으로 넓게

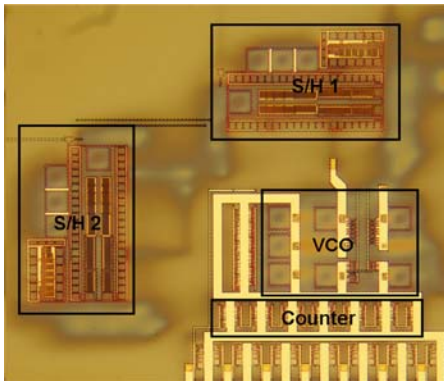


Fig. 4 Chip micrograph
그림 4. 칩 사진

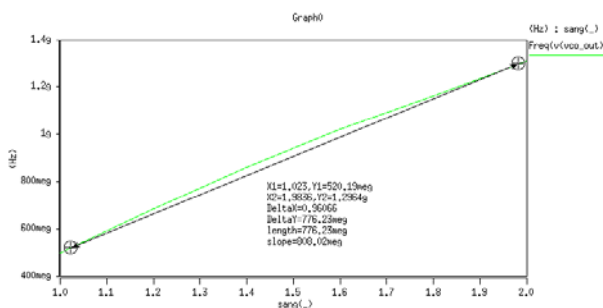


Fig. 5. VCO gain curve
그림 5. 전압 제어 발진기 이득 곡선

설계를 진행하였다. 이 회로에서는 수 밀리볼트의 해상도를 보장하기 위해 수백 나노초의 샘플링 신호의 길이를 갖게 설계하였다.

III. 측정 결과

그림 4는 테스트 칩의 칩 사진이다. 제작된 유효 칩 면적은 $0.768\text{mm}^2(0.96\text{mm} \times 0.8\text{mm})$ 이다. 이 연구에서 우리가 측정하고자 하는 것은 전원전압의 잡음에 대한 디지털 값이므로, 가장 중요한 값은 전압 제어 발진기가 각각의 입력 전압에 대해 얼마나 선형적으로 변하는 가에 있다. 또한 회로 전체의 해상도가 전압 제어 발진기의 이득과 샘플링 신호의 길이에 의해 결정 되므로 이 또한 확인해 보아야 한다. 그림 5는 특정 전압을 입력으로 받았을 때의 전압 제어 발진기의 주파수대역을 표시한 레이아웃 후(post-layout) 모의 실험 결과 그래프이다. 그래프에서 보듯 입력 전압에 따른 주파수의 변화가 선형적인 것을 확인할 수 있다.

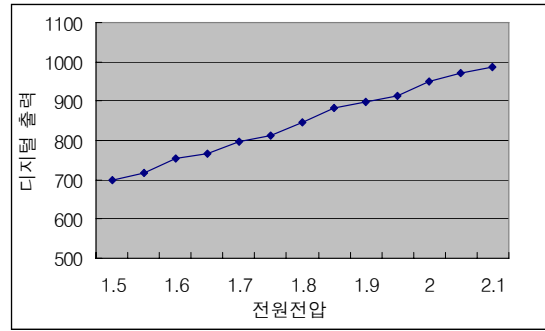


Fig. 6. Measured digital output with Supply voltage noise
그림 6. 측정된 전원 전압 잡음에 따른 디지털 출력

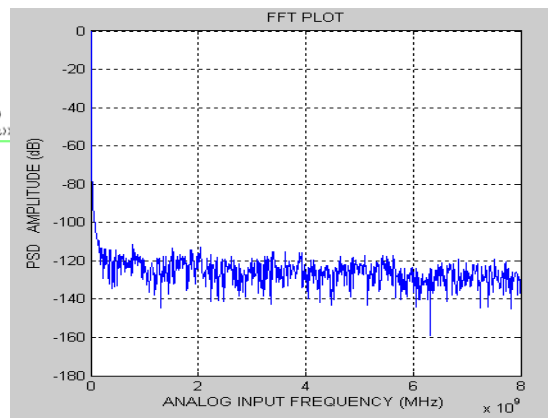


Fig. 7. Measured PSDs of V_{DD} noise
그림 7. 측정된 전원전압 잡음의 파워 스펙트럼 밀도

레이아웃 후 모의실험 결과 전압 제어 발진기의 이득은 808MHz/V 이다.

그림 6은 측정된 전원 전압 잡음에 따른 디지털 출력 값을 나타내고 있다. 전원 전압의 잡음이 2.1V 까지 올라갔을 때, 디지털 출력의 값이 1000 이하인 것을 확인할 수 있다. 이는 약 10bit의 카운터가 처리할 수 있는 수치로 우리가 설계한 13bit 카운터는 이 실험에서 문제없이 사용될 수 있음을 확인할 수 있다. 또한 전원 전압 잡음의 레벨에 따라 디지털 출력 값이 선형적으로 바뀌는 것을 확인할 수 있다. 샘플링 시간을 평균적으로 600ns로 설정하고 측정을 하였을 때, 해상도는 2.06mV/count 를 나타내는 것을 알 수 있다. 또한 (4)를 이용하여 전압 제어 발진기의 이득을 역으로 계산해 보면, 전압 제어 발진기의 이득이 809MHz/V 가 나오는 것을 확인할 수 있다. 이로서 설계한 전압 제어 발진기가 예상한 대로 잘 동작하고 있는 것을 확인할 수 있다. 그림 7은 측정을 통해 얻

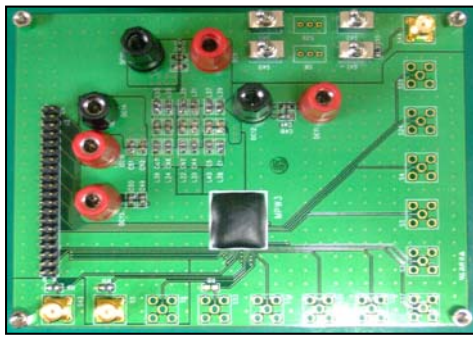


Fig. 8. Test board
그림 8. 테스트 보드

Table 1. Measured performance summary
표 1. 측정 성능 요약

공정	0.18um CMOS
전원 전압	1.8V
회로의 동작전압	2.2V
전압 제어 발진기 이득(Kvco)	시뮬레이션 : 1.27GHz/V
	측정 : 809MHz/V
해상도 (Twin : 600ns)	시뮬레이션 : 1.297mV/count
	측정 : 2.07mV/count
소모 전력	15mW
면적	0.768mm ²

Table 2. Performance Comparison
표 2. 성능 비교

Work	Process	Resolution(V)
[3]	90nm	7mV
This work	180nm	2.07mV

은 칩 내부의 전원전압 잡음 정보를 매텔랩을 이용하여 푸리에 트랜스폼을 시켜 파워 스펙트럼 밀도를 구한 것이다. 그림 8은 제작된 칩을 테스트를 하기 위해 제작한 테스트 보드이다.

표 1에는 전원전압 잡음 측정 회로의 최종 측정 결과를 나타내었다. 해상도는 600ns의 샘플링 신호 길이를 가질 때 2.07mv/count를 나타내었다. 600ns의 샘플링 신호 길이를 가질 때 디지털 출력이 10bit으로 처리되었으므로 샘플링 신호 길이를 카운터가 13bit까지 처리할 수 있을 만큼 확대하여 해상도를 더욱 높일 수 있는 것을 알 수 있다. 표 2는 다른 전원전압 잡음 측정 회로와 성능을 비교한 것이다. 이 결과 공정상의 차이에도 불구하고 이 회로가 측정할 수 있는 해상도가 3배 이상 높다는 것을 확인할 수 있다.

IV. 결론

혼성신호 집적회로를 제작할 때, 아날로그 회로의 전원전압 잡음을 감소시키는 것은 회로의 정상 동작 측면에서 매우 중요하다. 이러한 전원전압 잡음을 감쇄시키기 위해 잡음이 어느 정도인지를 측정하여 보상해 주는 회로가 필요로 하게 되고, 이를 위해 본 연구에서는 0.18um 1-poly 6-metal CMOS공정을 사용하여 전원전압 잡음 측정 회로를 제작하였다. 제작된 회로는 간단한 두 개의 동일한 샘플 앤 홀드, 전압 조절 발진기와 13bit 카운터로 구성되어 있고 샘플링 신호 길이를 외부의 클록에 의해 조절해 줌으로서 해상도를 조절 할 수 있다. 샘플링 시간을 평균적으로 600ns로 설정하고 측정을 하였을 때, 해상도는 2.06mV/count를 나타냈고 1.8V 전원에서 15mW의 전력을 소모하였다.

참고문헌

[1] J. A. Olmstead et al., "Noise problems in mixed analog-digital integrated circuits" *IEEE Custom integrated circuits conference*, pp. 659-662, 1987

[2] Keiko Makie-Fukuda et al., "Measurement of digital noise in mixed-signal integrated circuits" *IEEE J. Solid-State Circuits*, vol 30, no. 2, pp. 87-92, May 1995

[3] Ali Muhtaroglu et al., "On-Die Droop Detector for Analog Sensing of Power Supply Noise" *IEEE J. Solid-State Circuits*, vol 39, no. 4, pp. 651-660, Apr. 2004

[4] Elad Alon et al., "Circuits and Techniques for High-Resolution Measurement of On-Chip Power Supply Noise" *IEEE J. Solid-State Circuits*, vol 40, no. 4, pp. 820-828, Apr. 2005

[5] G.Wegmann et al., "Charge injection in analog MOS switches," *IEEE J. Solid-State Circuits*, vol 22, no. 6, pp. 1091-1097, Dec. 1987

[6] R.Jacob Baker, "CMOS Circuit Design, Layout, and Simulation, 2nd ed.", IEEE Press, New jersey, pp. 829-834, 2004

저 자 소 개

이 호 규 (학생회원)



2007년 : 고려대학교 전기전자전파공학과 졸업 (공학사)
2007년 3월~현재 : 고려대학교 전자전기공학과 석박통합과정 6학기 재학 중
<주관심분야>
High-speed/Low-power ADC
lhk@kilby.korea.ac.kr

정 상 돈 (비회원)

2007년 : 고려대학교 전기전자전
파공학과 졸업 (공학사)
2007년 3월~2009년 2월 : 고려
대학교 전자전기공학과 석사 졸업
(공학석사)
2009년 3월~현재 : 삼성전자 DS부분
<주관심분야>Wireline Transceiver
jsd@kilby.korea.ac.kr

김 철 우 (정회원)

1994년 : 고려대학교 전자공학과
졸업 (공학사)
1996년 : 고려대학교 대학원 전자
공학과 (공학석사)
2001년 : 미국 University of
Illinois at Urbana-Champaign
Electrical and Computer
Engineering (공학박사)
2002년 9월~현재 : 고려대학교 전기전자전파공학부
부교수
<주관심분야> PLL, DLL, Wireline Transceiver, ADC,
Power management.
ckim@korea.ac.kr