

논문 2009-46IE-2-2

유전알고리즘의 하드웨어 구현 및 실험과 분석

(Hardware Implementation of Genetic Algorithm and Its Analysis)

동 성 수*, 이 종 호**

(Sung Soo Dong and Chong Ho Lee)

요 약

본 논문은 진화 하드웨어 시스템의 엔진으로 사용하기 위한 유전알고리즘의 하드웨어 구현 및 실험과 분석에 대한 연구이다. 진화 하드웨어는 응용에 따라 동작되어지는 환경에 적응하여 동적이면서 자동적으로 자기의 구조를 바꿀 수 있는 능력을 가진 하드웨어로서 재구성 가능한 하드웨어 부분과 유전알고리즘과 같은 진화 연산을 하는 부분으로 구성 되어 있다. 유전알고리즘은 실시간 응용 부분 등에 있어서 하드웨어로 구현하는 것이 속도 면에서 유리하다. 하드웨어로 처리하는 것이 병렬성, 파이프라인 처리, 그리고 함수 사용 부분 등에 있어 소프트웨어의 단점을 보완하여 이득이 있기 때문이다. 본 논문에서는 유전알고리즘을 하드웨어로 구현하여, 몇 가지 예제에 대하여 실험을 하고 실험 결과를 분석하여 그 구조가 유리함을 보였다.

Abstract

This paper presents the implementation of libraries of hardware modules for genetic algorithm using VHDL. Evolvable hardware refers to hardware that can change its architecture and behavior dynamically and autonomously by interacting with its environment. So, it is especially suited to applications where no hardware specifications can be given in advance. Evolvable hardware is based on the idea of combining reconfigurable hardware device with evolutionary computation, such as genetic algorithm. Because of parallel, no function call overhead and pipelining, a hardware genetic algorithm give speedup over a software genetic algorithm. This paper suggests the hardware genetic algorithm for evolvable embedded system chip. That includes simulation results and analysis for several fitness functions. It can be seen that our design works well for the three examples.

Keywords: evolvable hardware, genetic algorithm, embedded system, reconfigurable hardware

I. 서 론

진화하드웨어 (evolvable hardware: EHW)는 환경에 따라 자체 구조를 동적이고 자율적으로 변경시킬 수 있어서, 동작환경이 바뀌더라도 그에 적응하여 자체 하드웨어를 변경시켜 동작을 수행할 수 있는 유용한 하드웨어이다^[1]. EHW는 재구성이 가능한 하드웨어 장치와 자율적으로 재구성을 시킬 수 있는 알고리즘으로 구성되

어 있다, 재구성 알고리즘은 유전알고리즘(genetic algorithm: GA)이 많이 사용되는데, 집단 내에서 유전적 진화적응을 근간으로 하는 탐색 알고리즘이다^[2]. 광범위한 탐색 공간에서 해답을 찾는데 효율적이어서 이미지 프로세싱^[3], 퍼지제어^[4] 등 여러 응용에 사용되었다. 그러나 소프트웨어 GA는 응용문제가 커질수록 연산량으로 인해 시간 지연이 매우 커진다. 따라서 GA 연산을 병렬처리 및 파이프라인 처리가 가능한 하드웨어로 구현하여 극복할 수 있다. 본 논문은 GA 각 모듈을 VHDL로 설계하고 FPGA로 구현하여 실험 및 분석을 통해 EHW의 하드웨어 GA 엔진으로 사용할 수 있음을 보였다. 본론에서는 기존의 연구와 설계된 GA 구조를 보였고, III장의 실험에서는 실험결과와 분석을, IV장에서는 결론을 나타내었다.

* 정희원, 용인송담대학 정보미디어학부
(School of Information and Media, YonginSongdam College)

** 정희원, 인하대학교 정보통신공학부
(Dept. of Information Technology & Telecommunication, Inha University)

접수일자: 2009년2월19일, 수정완료일: 2009년6월10일

II. 본 론

1. 기존의 하드웨어 GA 분석

GA를 하드웨어로 구현한 기존 연구들의 몇 가지 특징을 정리하여 표 1에 나타내었다.

표에서 살펴본 바와 같이 선택연산자(selection), 난수 발생기(random number generator: RNG), Crossover 연산자 내의 구성이 서로 다른 것은, 적용한 응용에 적합하도록 설계되었기 때문이다. 따라서 본 연구는 GA 하드웨어의 최대 효과를 얻고자, 칩으로 구현 전에 하드웨어 상에서 최적의 GA 조합을 구성할 수 있도록 내부 구조를 설계하였다.

표 1. GA의 하드웨어 구현
Table 1. Hardware implementation of GA.

	Selection	RNG	Crossover
Scott ^[5]	Roulette	CA	1-point
Graham ^[6]	Roulette	LFSR	1-point
Kajitani ^[7]	Elitist Recombination	CA	uniform
Wakabayashi ^[8]	Roulette	CA	2-point, uniform, adaptive
Our model	Roulette	CA, LFSR	1-point, 2-point, uniform

2. 제안된 GA 하드웨어 엔진의 구조

EHW는 프로세서, 메모리, 진화대상 하드웨어 그리고, GA 엔진으로 구성되어 임베디드 시스템(embedded system)으로 구현된다. 제안되어 설계된 GA는 하드웨어로 구현 시 유연성을 갖기 위해서 VHDL로 설계하였고, 사용자가 GA 응용에 맞추어 변수들을 조정 가능하게 하였다.

GA는 크게 6개의 모듈로 구성된 구조인데 RNG모듈은 CA와 LFSR이 가능하도록 설계하였다. 여기서 사용된 CA는 16개의 셀들로 이루어져 각 상태가 규칙 90과 150으로 변환된다^[9].

$$\text{규칙 90: } s_i^+ = s_{i-1} \oplus s_{i+1} \quad (1)$$

$$\text{규칙 150: } s_i^+ = s_{i-1} \oplus s_i \oplus s_{i+1} \quad (2)$$

여기서

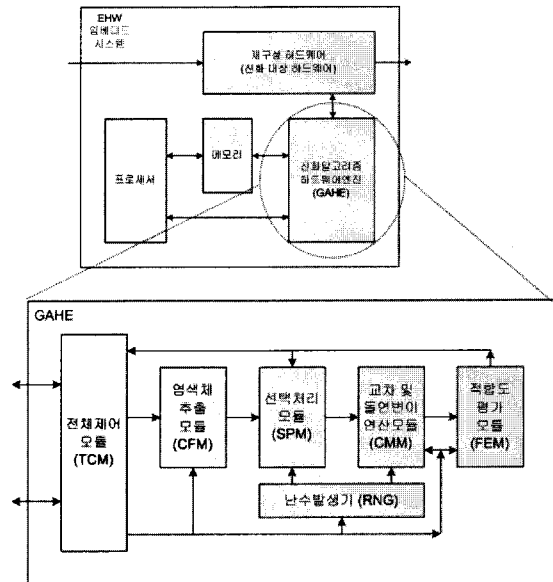


그림 1. 진화 하드웨어 플랫폼과 GA 구조
Fig. 1. The evolvable hardware platform and GA architecture.

s_i : i 번째 셀의 현재 상태

s_i^+ : s_i 의 다음 상태

\oplus : XOR 연산자

LFSR은 다음의 식(3)으로 구현하였다.

$$P(x) = x^{16} + x^{14} + x^{13} + x^{11} + 1 \quad (3)$$

교차 및 돌연변이 연산 모듈에서는 교차연산이 1-point, 2-point, uniform을 선택하여 연산할 수 있게 구현하였고, 응용에 따라 변경해야 하는 적합도(fitness) 함수는 적합도 평가 모듈에서 변경할 수 있다. 전체적인 진화 하드웨어 플랫폼과 GA 하드웨어 엔진의 구조를 그림 1에 나타내었다^[10].

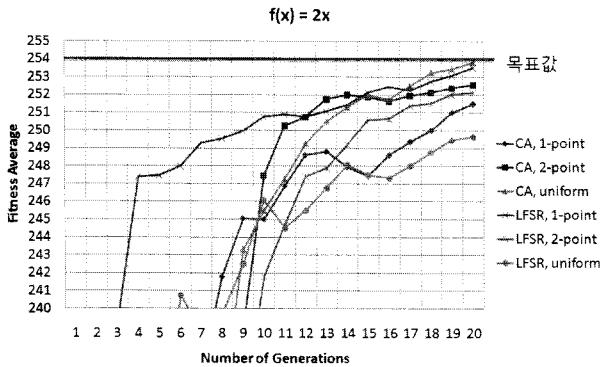
III. 실험

설계된 GA 하드웨어 엔진을 Xilinx의 3s500efg320-4로 구현하였다. 동작 실험을 위한 적합도 함수는 다음의 3가지를 사용하였다. 이는 Scott^[5]이 사용한 적합도이다.

$$f(x) = 2x \quad (4)$$

$$f(x) = x^2 \quad (5)$$

표 2. $f(x)=2x$ 인 경우의 세대 진행에 따른 평균 적합도
Table 2. Average fitness (simulation results) for the fitness function $f(x)=2x$.



$$f(x) = 2x^3 - 45x^2 + 300x \quad (6)$$

공통적으로 교배율은 0.8, 돌연변이율은 0.1로 하였고, 집단은 32개, 세대(generation)는 20번으로 제한하여 최대값을 찾는 실험을 하였다. 각 적합도함수에 대해서 6가지 경우, 즉 RNG를 CA로 하여 crossover 연산이 1-point, 2-point, uniform인 경우와 RNG를 LFSR로 하여 1-point, 2-point, uniform인 경우에 대해 실험한 결과를 나타내었다. 적합도함수 $f(x) = 2x$ 인 경우는 $0 \leq x \leq 127$ 의 범위에 대해 16비트 GA 시스템으로 구성하고, 실험하여 결과를 표 2에 나타내었다.

표의 결과는 최대값 254를 기준으로 신뢰구간 95%까지를 나타내었다. LFSR, 1-point인 경우가 신뢰구간 내에 빨리 접근하였고, CA uniform은 최대값에 제일 근접하게 수렴함을 알 수 있다. 적합도함수 $f(x) = x^2$ 인 경우는 $0 \leq x \leq 31$ 의 범위에 대해 실험하여 결과를 표 3에 나타내었다.

표 3. $f(x)=x^2$ 인 경우의 세대 진행에 따른 평균 적합도
Table 3. Average fitness (simulation results) for the fitness function $f(x)=x^2$.

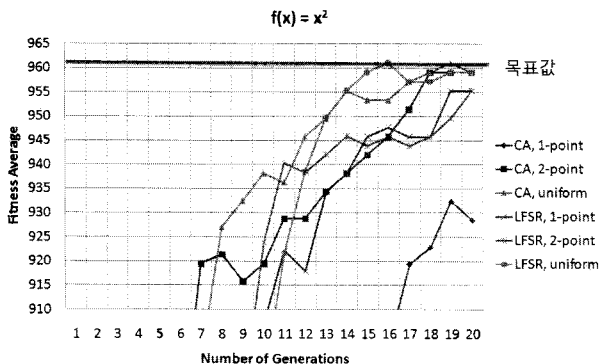
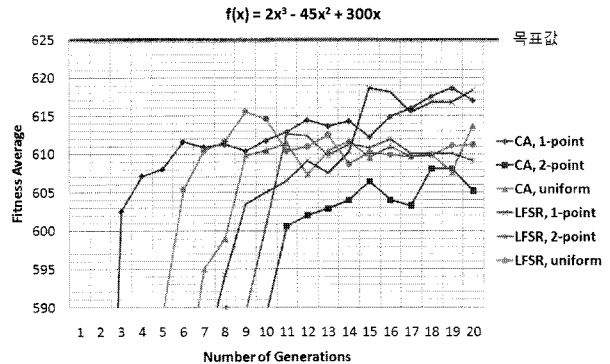


표 4. $f(x)=2x^3-45x^2+300x$ 인 경우의 세대 진행에 따른 평균 적합도

Table 4. Average fitness (simulation results) for the fitness function $f(x)=2x^3-45x^2+300x$.



위의 결과는 CA, 2-point가 신뢰구간 내에 먼저 수렴하였고, LFSR, uniform은 최대값 961로 제일 먼저 근접함을 알 수 있다.

적합도함수 $f(x) = 2x^3 - 45x^2 + 300x$ 인 경우는 $0 \leq x \leq 7$ 의 범위에 대해 16비트 GA 시스템으로 실험하여 결과를 표 4에 나타내었다.

이 경우는 $x = 5$ 일 때 최대값 625가 존재하는 경우로, 앞의 두 경우와 다르게 구간 내에 정점과 값이 떨어지는 구간이 포함되어 있다. 이 경우는 세대 수를 늘리면 최대값으로 더 근접하는데, 비교실험을 위해 동일하게 제한하였다. CA, 1-point가 신뢰구간 내에 제일 먼저 수렴하고 있다. 구현된 타겟 디바이스를 기준으로 동작속도는 약 72MHz이고, 1세대 동작에 걸리는 시간은 약 $29\mu s$ 이다.

IV. 결 론

실험 결과 수학적 함수 최적화 문제에 있어서도 적합도 함수가 다른 경우에 목표값으로 제일 먼저 수렴하는 연산의 종류가 다를 수 있다. 따라서 제안된 구조와 같이 각 모듈에 다양한 동작을 구현하여 선택할 수 있도록 설계했을 때, 응용에 가장 적합한 구조를 하드웨어 검증 상에서 선정하여 칩으로 구현할 수 있다. 이는 EHW 시스템에서 제안된 GA 하드웨어 엔진을 적용하여 최적의 결과를 나타낼 수 있는 근거를 보여 준다. EHW는 실시간 처리가 요구되는 최적화 문제 등의 응용 분야를 갖는다.

참고 문헌

- [1] T. Higuchi, N. Kajihara, "Evolvable Hardware Chips for Industrial Applications", *Communications of the ACM*, vol. 42, no. 4, pp. 60-66, 1999.
- [2] Goldberg, D.E. "Genetic Algorithm in Search, Optimization, and Machine Learning." Addison-Wesley, 1989.
- [3] J. M. Rouet, J. J. Jacq, and C. Roux, "Genetic algorithms for a robust 3-D MR-CT registration," *IEEE Trans. Inf. Technol. Biomed.*, vol. 4, no. 2, pp. 126-136, Jun. 2000.
- [4] C. C. Chen and C. C. Wong, "Self-generating rule-mapping fuzzy controller design using a genetic algorithm." *Proc. Inst. Electr. Eng. Control Theory Appl.*, vol. 149, no. 2, pp. 143-148, Mar. 2002.
- [5] Scott, S and Seth. "HGA: A Hardware-Based Genetic Algorithm." *Proc. of the ACM/SIGDA Third Int. Symp. on Field-Programmable Gate Arrays*, pp. 53-59, 1995.
- [6] P. Graham, B. Nelson, "A hardware genetic algorithm for the traveling salesman problem on Splash2." 5th International Workshop on Field-Programmable Logic and its Applications, pp. 352-361, August 1995.
- [7] Kajitani et al., "A gate-level EHW chip: Implementing GA operations and reconfigurable hardware on a single LSI," In Proc. of the International Conference on Evolvable Systems, pp. 1-12, Sept. 1998.
- [8] S. Wakabayashi et al., "GAA: A VLSI genetic algorithm accelerator with on-the-fly adaptation of crossover operators." *ISCAS 98*, 1998.
- [9] S. Wolfram, "Universality and complexity in cellular automata", *Physica*, vol. 10D, pp. 1-35, 1984.
- [10] 동성수, 이종호, "진화하드웨어 구현을 위한 유전 알고리즘 설계", 전자공학회 논문지, 제45권, IE편, 제4호, pp. 27-32, 2008.

— 저자 소개 —



동성수(정회원)

1990년 인하대학교 전기공학과
학사 졸업.

1992년 인하대학교 전기공학과
석사 졸업.

2009년 인하대학교 전기공학과
박사 졸업.

1992년~1995년 나우정밀 중앙연구소 근무.

1996년~2000년 삼성전자 정보통신 네트워크
사업부 근무.

2001년~현재 용인송담대학 디지털전자전공
부교수.

<주관심분야 : ASIC/SoC 하드웨어 설계, 진화적
응하드웨어, 재구성형 컴퓨팅>



이종호(정회원)

1976년 서울대학교 전기공학과
학사 졸업.

1978년 서울대학교 전기공학과
석사 졸업.

1986년 미국 아이오와주립대
전기및컴퓨터공학과
박사 졸업.

1979년~1982년 해군사관학교 전임강사.

1986년~1989년 미국 노틀담 대학교 조교수.

1989년~현재 인하대학교 정보통신공학부 교수.

<주관심분야 : 진화적응하드웨어, 인공지능칩, 재
구성형 컴퓨팅, 지능로봇>