

특집
03

MB-OFDM UWB MAC 시스템의 SoC 설계

목 차

1. 서 론
2. MBOA MAC 개요
3. MBOA MAC 구현 방법
4. MBOA MAC FPGA 구현
5. MBOA MAC SoC 구현
6. 결 론

이현석 · 김도훈 · 조진웅
(전자부품연구원)

1. 서 론

UWB는 1990년대까지 미 국방성에서 군사 목적의 레이더 기술에 적용되던 기술로써 FCC(미연방 통신위원회)가 2002년 2월 UWB의 상업적 사용을 허가하면서 본격적으로 상용화가 가능해지게 된 기술이다. UWB 방식의 신호는 넓은 주파수 대역을 사용할 수 있으므로 주파수 영역에서의 전력 밀도 값을 아주 작은 값으로 할 수 있어 다른 통신신호가 존재하는 주파수에 중첩되어 사용하더라도 간섭을 거의 주지 않을 수 있다는 장점을 가지고 있다[1]. Intel, TI, 삼성전자, Wisair, Staccato등이 참여하고 있는 MBOA(Multiband OFDM Alliance) 주도의 MB-OFDM UWB 방식과 UWB Forum 주도의 DS(Direct Sequence)-CDMA UWB 방식이 치열한 표준화 경쟁을 하였으나, 하나의 단일화된 표준안을 도출하지 못하고 각자의 길을 가고 있다. 그 중에서 MB-OFDM UWB 방식이 WiMedia 단체 주도로 많은 업체가 참여하여 개발을 활발히 진행하였으며[2][3][4], PC 주변 기기, 가전기기, 모바일 단말기기 등에 널리 사

용되어질 것으로 예측된다[5].

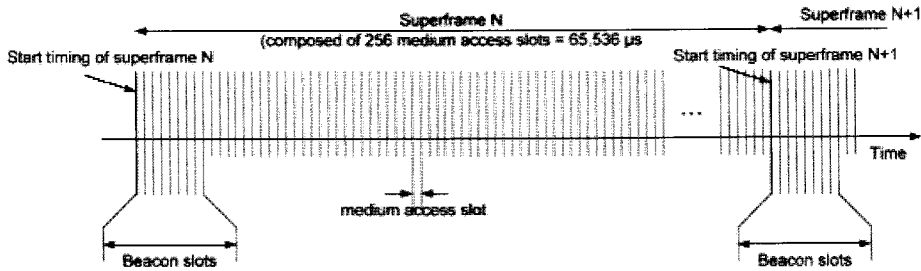
PHY단에서의 고속화가 주 이슈가 되고 있지만, MAC이 얼마나 PHY의 전송속도를 최적화해서 지원할 것인가가 중요한 문제이다[6]. 이에 본 논문에서는 고속의 전송속도를 구현하기 위한 효율적인 하드웨어/소프트웨어 개발 방법론과 성능의 병목현상이 발생하는 DMA, 암호화/복호화 부분에 대한 설계 방법론을 제시한다.

먼저, 제 2장에서는 MBOA MAC의 기본적인 개념과 기능을 설명하고, 제 3장에서는 MBOA MAC 구현 방법론에 대해 다루고, 제 4장에서는 FPGA 에뮬레이션 결과, 제 5장에서는 SoC 구현 결과를 설명하고 마지막으로 제 6장에서 결론을 내릴 것이다.

2. MBOA MAC의 개요

2.1 Superframe 구조

MAC의 프레임 통신의 기본적인 타이밍 구조는 (그림 1)에 나타난 바와 같이 슈퍼프레임이다. 슈퍼프레임은 256개의 MAS(Media Access Slot)로 구성이 되며, MAS는 256usec의 길이를



(그림 1) 슈퍼프레임 구조

가진다. 각각의 슈퍼프레임은 비콘 구간에서 시작이 되는데, 그 시작시간을 BPST(Beacon Period Start Time)이라고 한다. 비콘 구간은 여러개의 비콘 슬롯들로 구성이 되는데, 여러 디바이스가 각각의 비콘을 해당하는 비콘 슬롯에서 송신할 수 있다.

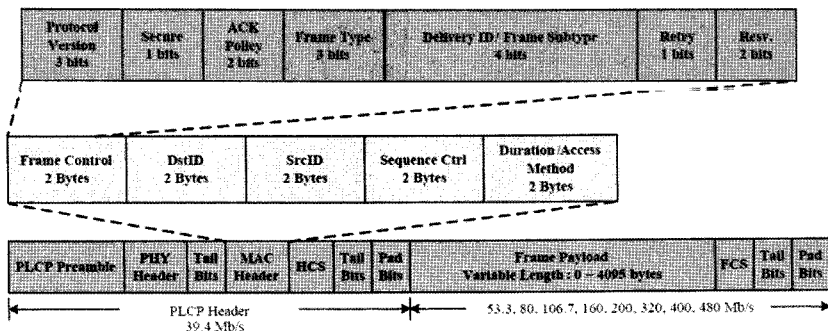
2.2 Frame 구조

MBOA MAC의 프레임은 (그림 2)와 같이 구성이 되며, PLCP 헤더는 39.4Mb/s의 속도로 전송이 되고, 헤더의 정확한 전달을 위하여 HCS(Header Checksum)를 사용한다. 그리고, MAC 프레임 페이로드는 가변 길이를 가지며, 53.3, 80, 106.7, 160, 200, 320, 400, 480Mbps의 속도로 전송이 될 수 있다.

2.3 Distributed MAC

MBOA MAC은 중앙의 Master가 네트워크를 관리하는 방식이 아니라, 모든 디바이스가 네트

워크를 구성하고 관리할 수 있는 분산 방식을 사용하고 있다. 이와 같이 분산 네트워크를 구성하기 위하여 모든 디바이스는 자신이 파악하고 있는 네트워크의 상태를 비콘 프레임에 실어서 송신하게 되며, 그와 동시에 수신되는 다른 비콘들로부터 상대방들이 파악하고 있는 네트워크의 상태를 알게 된다. 그럼으로써, 각각의 디바이스는 자신의 RF통신 거리밖에 있는 디바이스의 상태도 인접한 디바이스의 비콘을 수신함으로써 파악할 수 있게 된다. 만약 디바이스간의 충돌이 일어나면, 가능하면 자신이 먼저 양보하는 메커니즘을 사용하게 된다. 이와 같이 유연한 방법을 사용함으로써, MBOA MAC은 분산 네트워크를 구성하고 관리할 수 있으며, mesh 네트워크 구성이 용이해진다. 비콘은 자신이 파악하고 있는 비콘 구간에 대한 정보(BPOIE)와 현재의 슈퍼프레임에서 자신이 통신하고자 하는 시간을 할당 받았다면 그 정보(DRPIE)를 비콘에 실어 보낸다.



(그림 2) 프레임 구조

3. MBOA MAC 구현

3.1 MAC 기능 분류

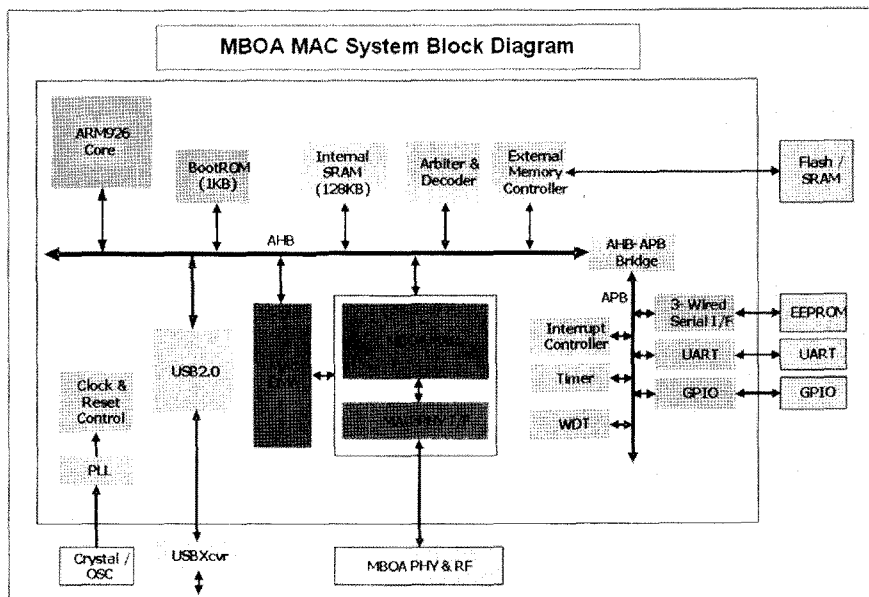
MBOA MAC은 동기식 슈퍼프레임 구조를 가지며 비콘이라는 브로드캐스트 프레임을 사용한다. 그리고, 제한된 무선 자원들을 다수의 MAC entity들이 효율적으로 사용하기 위하여 TDMA나 Enhanced CSMA/CA 등의 액세스 매커니즘을 사용한다. 또한, 최적의 전송속도를 실현하기 위하여 가변전송속도, 조각내기/모음, 다양한 수신확인 프레임, 재전송, 버스트 모드, Aggregation 등의 기법들을 사용하며, 칩이 고속으로 동작하면서 그에 따른 소비 전력을 줄이기 위한 기법과 보안에 대한 대비책을 제공한다.

MAC을 구현하기 위하여 MAC의 각각의 기능들을 어디에서 구현할지를 결정하여야 한다. 여기서 하드웨어는 RTL로 구현되는 부분을 말하며, 펌웨어는 칩에 내장되는 임베디드 CPU상에서 수행되는 프로그램을 지칭한다. 그리고, 드라이버는 Host에서 수행되는 프로그램을 가리킨다.

일반적으로 시간에 민감한 기능(동기화, CSMA/CA 액세스 매커니즘, TDMA 액세스 매커니즘, 송수신 관련 Baseband 제어, 수신확인 프레임 처리 등)과 계산량이 많은 연산(암호화/복호화), 시간이 오래 걸리는 데이터 처리(데이터 복사)등은 하드웨어로 구현을 한다. 그리고, 시간에 덜 민감하지만, 하드웨어의 도움을 필요로 하는 제어 기능들은 펌웨어로 구현을 한다. 마지막으로, 시간에 민감하지 않은 관리 기능들은 일반적으로 드라이버에서 구현을 한다.

3.2 MAC 시스템 설계

위와 같은 기능 분류에 따라 시스템을 다음과 같이 구성하였다. Cache를 내장한 ARM926EJ CPU를 사용하여 프로그램 실행 성능을 높였고, 재사용 및 시스템 설계가 용이한 AMBA 버스를 사용하였다. 그리고, 시스템 메모리 버퍼와 MBOA MAC 하드웨어간의 데이터 이동을 위하여 MAC 전용의 DMA를 설계하였으며, Host와 시스템 메모리 버퍼간의 데이터 이동을 위하여 USB2.0 블록의 전용 DMA를 사용하였다.



(그림 3) MAC 시스템 블록 다이어그램

이 설계를 바탕으로 전체 AHB 버스 점유율을 예측하여 설계의 유효성을 판단하였다. 다음 <표 1>은 AHB Bus 점유율을 예측하기 위한 시나리오이다.

<표 1> AHB Bus 점유예측 시나리오

Type	값	Clocks
Superframe 길이	64 msec	
Beacon 길이	200 bytes	77
Beacon rate	53.3 Mops	
Beacon duration	45 usec	
비콘의 개수	10 ea	
Data length	4000 bytes	1386
Data rate	480 Mbps	
Data duration	80 usec	
데이터 개수	600 ea	
Throughput	300 Mbps	

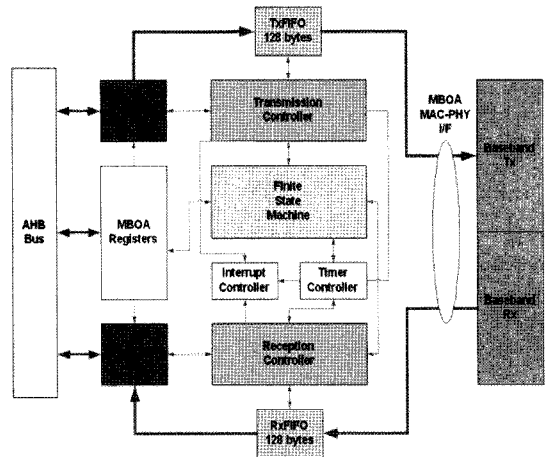
<표 2> 버스 점유율

	Clocks for a superframe
Beacon	$77 \times 10 = 770$
Data	$1386 \times 600 \times 2 = 1663200$
Total	$64,000 \times 133 = 8512000$

<표 2>는 시스템 버스 클럭을 132MHz로 사용할 경우의 버스 점유율을 나타내고 있다. 데이터 이동에 사용되는 버스 점유율은 20%이며 나머지 80%는 펌웨어에서 MAC 프로토콜을 처리하는데 사용할 수 있다.

3.3 MAC 하드웨어 설계

MBOA Registers 블록은 MAC기능 분류에 따라 MAC 하드웨어와 MAC 펌웨어의 인터페이스를 정의하고 있다. 이 레지스터를 통해 MAC 펌웨어는 MAC하드웨어를 제어하고, MAC 하드웨어는 실행 결과들을 MAC 펌웨어에게 전달하게 된다. 그리고, 수행시간이 오래 걸리고, 버스 점유율이 높은 데이터 복사를 위해서 MAC 전용 DMA를 RTL로 설계하였다. 데이터 송신시 펌웨어는 DMA 관련 레지스터(송



(그림 4) MAC 하드웨어 블록도

신할 데이터 버퍼의 위치, 송신 크기)들을 설정한 후, MAC 하드웨어에서 전송이 시작될 기다리다가, 전송이 시작되면 DMA Tx 블록이 지정된 위치에서 설정된 크기만큼의 데이터를 FIFO를 통해 전송하게 된다. 이와 유사하게 수신시에는 펌웨어에서 먼저 수신 버퍼의 위치를 설정하고 데이터가 수신되기를 기다린다. 이 상태에서 실제 데이터가 수신 FIFO를 통해 DMA 블록으로 전달되면, 이 블록은 미리 설정된 위치로 수신된 패킷의 헤더에 있는 크기만큼의 데이터를 전달하게 된다. 이렇게 전용 DMA를 사용함으로써, 적은 크기의 FIFO를 사용하여 실시간으로 데이터 송.수신이 가능하게 되었다.

FSM(Finite State Machine)블록에서는 전체적인 MAC 하드웨어의 상태전이(Scanning, Synchronizing, Transmission, Reception)등을 관리하며, 다른 블록들을 제어하게 된다. 또한 Timer Controller는 MBOA MAC 스펙에 규정된 Superframe 관련 타이밍을 처리한다. Transmission Controller는 FSM의 제어를 받으며, Baseband Transmission 인터페이스 신호를 제어하여 데이터 송신과 수신확인 프레임 수신 등에 관련된 기능을 처리한다. Reception Controller도 FSM의 제어를 받으며, Baseband

Reception 인터페이스로부터 수신한 데이터와 신호를 통해 데이터 수신과 수신확인 프레임 송신 등에 관련된 기능을 처리한다. Interrupt Controller는 MAC 하드웨어로부터 발생한 인터럽트를 관리하며 이 인터페이스를 통해 MAC 펌웨어는 시간에 민감한 기능들을 소프트웨어로 처리할 수 있게 된다.

3.4 MAC 전용 DMA 설계

고속 MAC설계 시 병목 현상이 발생하는 곳은 주로 데이터를 복사하는 부분이다.

MAC 전용 DMA 설계시 고려 사항은 다음과 같다.

- 데이터 복사 수행시간
- 한정된 자원인 메모리 버퍼를 효율적으로 사용
- MAC과의 인터페이스 :
 - 32Bit 단위의 시스템 버스와 8Bit MAC과의 속도차를 고려한 FIFO 설계
- 호스트 인터페이스 블록과의 인터페이스

- 호스트 인터페이스와 MAC 전용 DMA 사이의 프레임 저장 메모리 공간 사이의 데이터 복사 구조 최적화

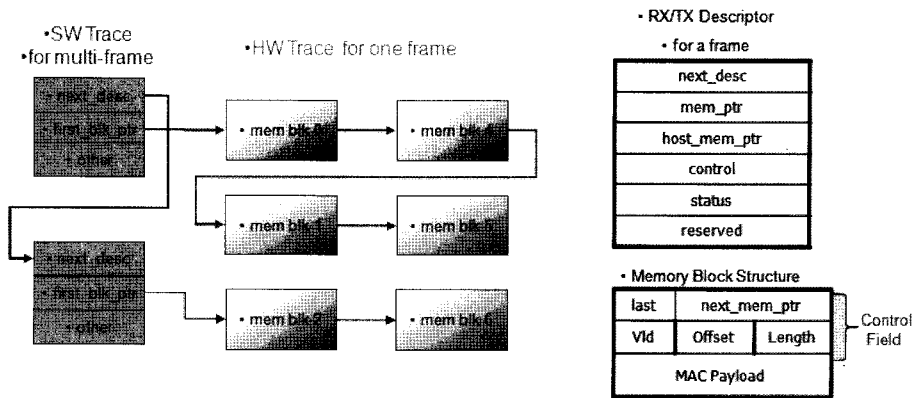
- 메모리 블록 및 DMA Burst 크기 선정
 - 짧은 길이의 프레임을 위한 작은 크기 단위의 메모리 블록과 긴 프레임을 위한 큰 크기 단위의 메모리 블록을 조합하여 사용함
 - CPU의 Interrupt latency 분석에 따라 DMA 버스트 크기 선정

이상을 고려하여 Linked List DMA를 설계하였으며, 그 대략적인 구조는 (그림 5)와 같다.

3.5 암호화 블록 설계

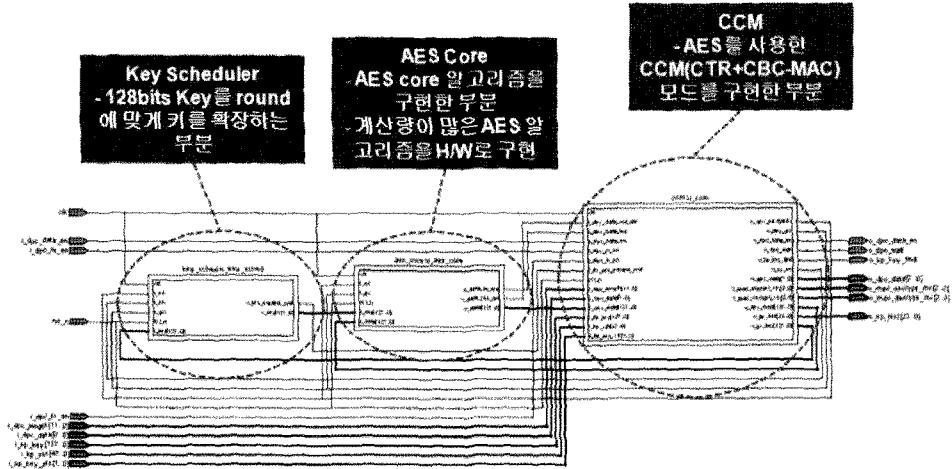
MBOA MAC은 AES-128 블록 암호 알고리즘을 사용하는 CCM 모드를 사용한다. 이 연산은 계산량이 많으므로, 고속 전송을 위해서는 하드웨어로 구현을 하여야 한다.

송신시 MAC은 MAC 헤더와 MAC 페이로드를 포함한 송신 데이터를 CCM 블록에게 전송을



Name	Bits	Access		Description
		SW	DMA	
next_mem_ptr	[20:0]	R/W	R	외부 메모리 접근 가능
Last	31	R/W	R	Memory block의 끝을 나타내는 플래그. DMA refers to this flag only for RX.
Length	[9:0]	R/W	R	해당 메모리 블록의 유효 데이터 길이
Offset	[19:10]	R/W	R	해당 메모리 블록의 유효 데이터의 상대적 위치
Vid	31	R/W	R/W	해당 메모리 블록이 유효한지를 나타내는 플래그로써, S/W가 set 하고, H/W가 Clear 함

(그림 5) Linked List DMA의 구조

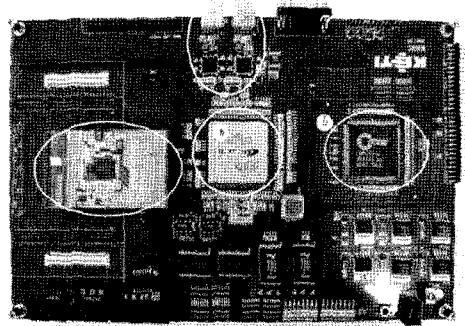


(그림 6) 암호화 블록 구조도

하고, 이에 따라 CCM 블록은 해당 키와 Nonce를 생성하여 위에서 설명한 Encryption과 무결성 코드를 생성하며, 수행 결과를 ENC_STS를 통해서 MAC에게 알려준다.

수신시에는 MAC이 PHY로부터 수신한 MAC 헤더와 MAC 페이로드를 CCM 블록에게 전송하면, 이에 따라 CCM 블록은 송신시 사용한 해당 키와 Nonce를 추출하여 위에서 설명한 Decryption 과정을 수행한 후 그 결과를 DEC_STS를 통해 MAC에게 알려준다. 이 모든 과정은 실시간으로 이루어지므로 송/수신 암호화 관련 F/W의 제어를 최소화하였다.

PHY 전송 속도를 이용할 경우, MAC에서는 전체 시스템 버스의 60%를 사용하면서 21Mbps의 성능을 나타내었다.



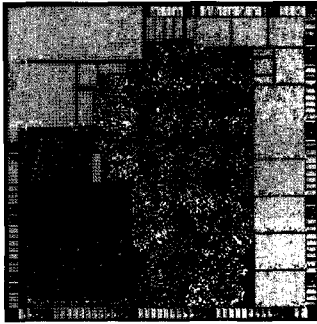
(그림 7) FPGA 에뮬레이션 보드

4. MBOA MAC FPGA 구현

상기에서 설명한 바와 같이 MBOA MAC을 구현하기 위한 시스템은 아래 그림과 같다. 크게 나누어서 MAC 펌웨어를 실행하기 위한 ARM 926EJ-S CPU, System과 MAC RTL을 처리하는 FPGA, MBOA UWB PHY module, Host와의 인터페이스를 위한 고속의 USB2.0, 디버깅을 위한 UART 인터페이스로 구성되었다. FPGA 보드에서는 SoC의 클럭인 132MHz의 1/4 스케일 다운된 33MHz를 사용하였다. 53.3Mbps

5. MBOA MAC SoC 구현

본 설계를 통한 회로는 90nm CMOS 공정으로 제작중이다. 사이즈의 최적화를 위해서 dual port 메모리의 경우 256byte를 넘지 않으면 register로 구현을 하고 그 이상의 경우는 메모리 셀을 사용하여 구현하였다. 아래 그림은 설계된 SoC칩을 나타내고 있으며, MAC 시스템과 베이스밴드, AD/DA 아날로그 IP를 포함하고 있다.



(그림 8) 설계된 SoC 칩

6. 결론

본 논문에서는 고속의 MB-OFDM UWB MAC 설계 방법에 대한 고찰을 하였으며, 에뮬레이션 보드를 통해 그 성능과 안정성을 검증하였다. 특히 본 논문에서 제안한 MAC 하드웨어와 소프트웨어의 Co-design과 MAC 전용 DMA, 암호화 설계 부분은 앞으로의 무선 통신 칩 설계에 적용 가능하며, 시뮬레이션과 에뮬레이션을 병행함으로써, 개발 기간을 단축하고, 최종 목표인 칩의 안정성 검증에 중요한 역할을 할 것으로 기대한다.

참고문헌

- [1] 권수갑, UWB 개념 및 동향, 전자정보센터, 2006
- [2] 정창모, WiMedia Alliance UWB 표준화 현황 및 개발 현황, 2007
- [3] Multiband OFDM Physical Layer Specification, Release 1.1, MBOA, WiMedia Alliance, 2005
- [4] MAC-PHY Interface Specification, Release 1.0, MBOA, WiMedia Alliance, 2005
- [5] 서정욱, 초고속 무선랜 IEEE802.11n 표준 기술 동향, 전자정보센터, 2004
- [6] Distributed Medium Access Control(MAC) For Wireless Network, Release 1.0, MBOA, WiMedia Alliance, 2005

저자약력



이 연 석

2000년 한양대학교 전자통신·전파공학과 (학사)
 2002년 한양대학교 전자통신·전파공학과 (석사)
 2002년~2003년 (주)삼성전기 무선랜AP 선행개발/주임연구원
 2003년~현재 전자부품연구원 통신네트워크연구센터/선임연구원
 관심분야 : 무선통신MAC, 무선보안
 이 메 일 : hslee75@keti.re.kr



김 도 운

1998년 포항공과대학교 전자·전기공학과(학사)
 2000년 포항공과대학교 전자·전기공학과(석사)
 2000년~2005년 (주)LG전자 모뎀ASIC/선임연구원
 2005년~현재 전자부품연구원 통신네트워크연구센터/선임연구원
 관심분야 : WPAN, UWB 모뎀 설계
 이 메 일 : speedo@keti.re.kr



조 진 응

1986년 광운대학교 전자통신공학과(학사)
 1988년 광운대학교 전자통신공학과(석사)
 2001년 광운대학교 전자통신공학과(박사)
 1989년~1993년 동양정밀 중앙연구소/주임연구원
 1993년~현재 전자부품연구원 통신네트워크연구센터/수석연구원
 관심분야 : 무선통신, WPAN
 이 메 일 : chojw@keti.re.kr