

DS-UWB 시스템에서 송신 필터에 따른 초기 동기 획득 성능 비교

Performance of Initial Timing Acquisition in the DS-UWB Systems with Different Transmit Pulse Shaping Filters

강 규 민

Kyu-Min Kang

요 약

본 논문에서는 DS-UWB 시스템에 사용되는 송신 필터에 따른 초기 동기 획득 성능을 모의 실험을 통해 비교하고, 칩 레이트가 1.32 Gchip/s인 DS-UWB 디지털 송신기에서 interpolation factor가 4인 제곱근 코사인 필터를 적용한 경우와 구형 필터를 적용한 경우 DS-UWB 수신기의 초기 동기 획득 성능은 AWGN 채널 환경뿐만 아니라 CM1/CM3 채널 환경하에서도 비슷한 성능을 냄을 실험을 통해 살펴 본다. 또한, 55 MHz의 시스템 클럭으로 동작하는 24 병렬 처리 상관 연산기 및 동기 획득기 구조에 대해 설명하고 초기 동기 획득 방법을 기술한다. 본 논문에서는 DS-UWB 시스템 설계시 구형 송신 필터를 사용하여 1.32 Gsample/s D/A 변환기 및 A/D 변환기를 적용할 수 있게 함으로써 DS-UWB 칩셋 개발시 현실적으로 고려할 수 있는 솔루션을 제시한다.

Abstract

In this paper, we compare the performance of initial timing acquisition in direct sequence ultra-wideband(DS-UWB) systems with different transmit pulse shaping filters through extensive computer simulations. Simulation results show that the timing acquisition performance of the DS-UWB system, whose chip rate is 1.32 Gchip/s, employing a rectangular transmit filter is similar to that employing a square root raised cosine(SRRC) filter with an interpolation factor of 4 in the realistic UWB channels(CM1 and CM3) as well as the additive white Gaussian noise(AWGN) channel. Additionally, we present both a 24-parallel digital correlator structure and a 24-parallel processing searcher operating at a 55 MHz system clock, and then briefly discuss the initial timing acquisition procedure. Because we can adopt an 1.32 Gsample/s digital-to-analog(D/A) converter and an 1.32 Gsample/s analog-to-digital(A/D) converter in the DS-UWB system by employing the rectangular transmit filter, we have a realistic solution for the DS-UWB chipset development.

Key words : DS-UWB, Timing Acquisition, SRRC Filter, Rectangular Filter, Parallel Processing, Searcher, Correlator

I. 서 론

UWB(Ultra-WideBand) 전송 기술은 수백 MHz부터 수 GHz의 넓은 주파수 대역을 활용해서 신호를 송출하므로 전력 세기를 매우 낮추어서 신호를 전송할 수 있기 때문에 기존의 사용 중인 주파수 대역에 간

섭을 주지 않고 통신이 가능한 새로운 전송 기술이다. 이는 주파수 자원이 부족한 현재 상황에 비추어 볼 때 추가의 주파수 대역 할당 없이 이미 사용 중인 1차 업무 혹은 다른 종류의 통신 서비스 주파수 대역과 중복하여 사용할 수 있기 때문에 주파수 자원 공유라는 측면에서 매우 큰 장점이 있다. 이처럼 UWB

한국전자통신연구원 스펙트럼공학연구팀(Spectrum Engineering Research Team, ETRI)

· 논문 번호 : 20090408-038

· 수정완료일자 : 2009년 5월 20일

기술은 비교적 낮은 송신 전력으로 고속의 데이터 통신을 지원할 수 있기 때문에 최근에 고속 무선 개인 통신망(WPAN: Wireless Personal Area Network)에서 큰 주목을 받고 있다. IEEE(Institute of Electrical and Electronics Engineers) 802.15.3a 작업 그룹에서는 직접 시퀀스(DS: Direct Sequence) 방식과 MB-OFDM (Multi-Band Orthogonal Frequency Division Multiplexing) 방식이 UWB 시스템 표준으로 채택되기 위해 표준화 작업이 진행되었으나, 단일화 합의에 실패하고 표준화 작업은 중단된 실정이다. 현재 고속 UWB 시스템은 주로 MB-OFDM 전송 방식이나 DS-UWB 전송 방식으로 개발되고 있으며, 본 논문에서는 DS-UWB 시스템에 대해 다루고자 한다^{[1]~[8]}.

DS-UWB 시스템에서는 변조기에서 생성한 심볼 스트림을 확산 코드(spreading code)로 확산한 후, 이 값과 송신 펄스 정형 필터(pulse shaping filter) 계수를 컨볼루션 연산한 결과값을 D/A(Digital-to-Analog) 변환기로 전달한다. DS-UWB 시스템에서 low band (3.1~4.85 GHz)를 사용하는 경우 데이터 전송률은 최대 1.32 Gbps이며, 이 때 요구되는 디지털 상관 연산기(correlator)의 처리 속도가 GHz대이므로 송수신 부 모듈을 설계할 때 병렬 처리 구조로 설계해야 한다. 따라서 복잡도가 낮고 처리 속도가 빠른 병렬 처리 송수신 구조 및 알고리즘 개발이 절실히 필요하다. 최근 참고문헌 [3]~[5]에서는 병렬 처리 구조의 DS-UWB 시스템에 대해 기술하고 있으며, 특히 참고문헌 [4]에서는 look-up 테이블을 적용한 복잡도가 낮은 병렬 처리 구조의 송신 펄스 정형 필터 설계 방법에 대해 다루고 있다. 제안 방식을 적용하여 송신 필터를 개발할 경우 최대 80 % 이상의 복잡도를 줄일 수 있는 장점이 있지만, 송신 필터 설계시 interpolation factor를 4로 해서 설계할 경우, 칩 레이트(chip rate)가 1.32 Gchip/s인 DS-UWB 송신기에서 5.28 Gsample/s D/A 변환기를 사용해야 한다. 시스템 개발자 입장에서는 기저 대역 모델에서 송신 신호를 5 GHz 대에서 처리하고 5 GHz 이상의 속도로 동작하는 D/A 변환기를 적용하는 것은 큰 부담이 될 수 밖에 없다. 반면에, 가장 기본적인 송신 필터 형태중 하나인 구형파(rectangular pulse)를 송신 필터로 사용하여 송신부를 설계할 경우, 1.32 Gsample/s D/A 변환기를 송신기에 사용하면 되기 때문에 DS-UWB 칩

셋을 개발할 때 현실적으로 고려할 수 있는 솔루션이 될 수 있다. 본 논문에서는 DS-UWB 시스템에서 interpolation factor가 4인 제곱근 코사인(SRRC: Square Root Raised Cosine) 필터를 적용한 경우와 구형 필터를 적용한 경우 초기 동기 획득기의 성능에 미치는 영향을 실험을 통해 비교 분석하고자 한다^{[9],[10]}. 또한, 본 논문에서는 55 MHz의 시스템 클럭으로 동작하는 24 병렬 처리 상관 연산기 및 동기 획득기 구조에 대해 기술하고, 초기 동기 획득 방법에 대해 설명한다^{[11]~[14]}.

서론에 이어서, 제2장에서는 DS-UWB 시스템이 사용될 환경인 채널 및 주파수 대역에 대해 언급하고 확산 코드와 DS-UWB 송수신 구조에 대해 기술한다. 제3장에서는 DS-UWB 송신 필터로 사용되는 제곱근 코사인 필터와 구형 필터 구조에 대해 기술한다. 제4장에서 병렬 처리 동기 획득 구조 및 동기 획득 방법에 대해 설명한 후, 제5장에서는 송신 필터에 따른 초기 동기 획득기의 성능 실험 결과를 비교 분석하고, 제6장에서 결론을 맺는다.

II. DS-UWB 전송 시스템

2-1 UWB 채널 모델

무선 전송 시스템을 설계, 개발하기 위해서는 시스템이 운영될 환경, 즉 채널에 관한 연구가 선행되어야 하며, 이어서 시스템 규격을 만족하는 알고리즘을 개발하고 실제 하드웨어 구현시 시스템 복잡도를 고려한 시스템 파라메타들을 추출하는 과정이 필요하다. 본 장에서는 고속 UWB 시스템의 물리 계층 성능을 평가할 때 유용하게 활용할 수 있도록 IEEE 802.15.3a 연구 그룹에서 제안한 UWB 채널 모델에 대해 기술한다^[15]. UWB 채널 모델은 다경로 이득 크기에 대한 모델링시 Rayleigh 분포가 아닌 log-normal 패이딩 분포를 고려하였으며, Saleh-Valenzuela 채널 모델을 참고하여 많은 측정 과정을 거친 후 다음과 같이 주어진다.

$$h(t) = X \sum_{l_1=0}^{L_1} \sum_{l_2=0}^{L_2} \alpha_{l_2, l_1} \delta(t - T_{l_1} - \tau_{l_2, l_1}) \quad (1)$$

여기서 X 는 log-normal shadowing, α_{l_2, l_1} 은 다경로 이득 상수, T_{l_1} 은 l_1 번째 클러스터에서 첫번째 경로

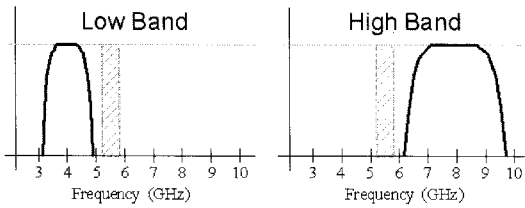


그림 1. DS-UWB 시스템의 사용 주파수 대역
Fig. 1. Operating band of the DS-UWB system.

의 도착 시간, $\tau_{b,i}$ 은 i 번째 클러스터에서 첫 번째 경로와 i_2 번째 경로간의 지연 시간을 각각 나타낸다. 식 (1)에서 클러스터 및 클러스터 내의 각 광선의 도착 시간은 Poisson 도착 과정으로 모델링된다. 참고 문헌 [15]에서는 채널 모델 1(CM1)부터 채널 모델 4(CM4)까지 총 4가지 종류의 채널 모델을 제시하고 있으며, 각 채널 모델은 100개의 프로파일로 구성되어 있다. 채널 모델 1(CM1)은 4 m 이내의 가시 거리(LOS: Line-Of-Sight)에서 측정된 모델이고, 채널 모델 2(CM2)는 4 m 이내의 비가시 거리(NLOS: Non-Line-Of-Sight)에서 측정된 모델이며, 채널 모델 3(CM3)은 4~10 m의 비가시 거리에서 측정된 모델을 나타낸다. 한편, 채널 모델 4(CM4)는 RMS(Root Mean Square) 지연 확산이 25 nsec에 이르는 최악의 비가시 거리 다중 경로 채널 상황을 고려하여 모델링되었다.

2-2 주파수 대역 및 확산 코드

그림 1에서 보는 바와 같이 DS-UWB 시스템은 2개의 주파수 대역을 사용하도록 제시되었으며, 운용 모드에 따라 low band(3.1~4.85 GHz) 또는 high band(6.2~9.7 GHz)를 사용할 수 있다. 각 주파수 대역에서는 특정 반송 주파수(carrier frequency)와 확산 코드를 사용해 최대 6개까지의 피코넷 채널을 구성할 수 있다. Low band를 사용하는 DS-UWB 시스템에서는 27.5 Mbps에서부터 최대 1.32 Gbps까지의 데이터 전송률을 제공할 수 있으며, 데이터 전송 속도에 따라 부호화율 1/2 혹은 3/4으로 길쌈 부호화되고 BPSK(Binary Phase-Shift Keying) 혹은 4-BOK(Bi-Orthogonal Keying)으로 변조된다. 변조 방식이 BPSK인 경우에는 확산 코드 길이를 $L=24$ 에서 $L=1$ 까지 가변하면서 27.5 Mbps에서부터 1.32 Gbps의 데이터 전송

표 1. BPSK 전송을 위한 길이가 24인 ternary 확산 코드

Table 1. Ternary spreading code of length 24 for BPSK transmission.

Code set number	$L=24$ codes
1	-1, 0, 1, -1, -1, -1, 1, 1, 0, 1, 1, 1, 1, -1, 1, -1, 1, 1, 1, -1, 1, -1, -1, 1
2	-1, -1, -1, -1, 1, -1, 1, -1, 1, -1, -1, 1, -1, 1, 1, -1, -1, 1, 1, 0, -1, 0, 1, 1
3	-1, 1, -1, -1, 1, -1, -1, 1, -1, 0, -1, 0, -1, -1, 1, 1, 1, -1, 1, 1, 1, -1, -1, -1
4	0, -1, -1, -1, -1, -1, -1, 1, 1, 0, -1, 1, 1, -1, 1, -1, -1, 1, 1, -1, 1, -1, 1, -1
5	-1, 1, -1, 1, 1, -1, 1, 0, 1, 1, 1, -1, -1, 1, 1, -1, 1, 1, 1, -1, -1, -1, 0, -1
6	0, -1, -1, 0, 1, -1, -1, 1, -1, -1, 1, 1, 1, 1, -1, -1, -1, 1, 1, 1, 1, 1, 1, 1

표 2. BPSK 전송을 위한 길이가 12인 ternary 확산 코드

Table 2. Ternary spreading code of length 12 for BPSK transmission.

Code set number	$L=12$ codes
1	0, -1, -1, -1, 1, 1, 1, -1, 1, 1, -1, 1
2	-1, 1, -1, -1, 1, -1, -1, -1, 1, 1, 1, 0
3	0, -1, 1, -1, -1, 1, -1, -1, -1, 1, 1, 1
4	-1, -1, -1, 1, 1, 1, -1, 1, 1, -1, 1, 0
5	-1, -1, -1, 1, 1, 1, -1, 1, 1, -1, 1, 0
6	0, -1, -1, -1, 1, 1, 1, -1, 1, 1, -1, 1

표 3. BPSK 전송을 위한 길이가 1/2/3/4/6인 ternary 확산 코드

Table 3. Length 6 and shorter spreading code for BPSK transmission.

Code set numbers	$L=6$	$L=4$	$L=3$	$L=2$	$L=1$
1	1,0,0,0,0,0	1,0,0,0	1,0,0	1,0	1

률을 제공하며, 변조 방식이 4-BOK인 경우에는 확산코드 길이가 $L=12$ 에서 $L=2$ 까지 가변하면서 110 Mbps에서부터 1.32 Gbps의 데이터 전송률을 제공한

다. 본 논문에서는 3.1~4.85 GHz의 low band를 사용하는 BPSK 방식의 DS-UWB 시스템에 대해 다루고자 한다.

표 1~3은 3.1~4.85 GHz 주파수 대역을 사용하는 BPSK DS-UWB 시스템에서 적용 가능한 다양한 길이의 확산 코드를 보여준다. DS-UWB 시스템을 구현할 때 채널 환경 및 신호를 주고 받는 디바이스의 떨어진 거리에 따라 다양한 형태의 데이터 전송률을 제공하기 위해 표 1~3과 같이 여러 가지 형태의 확산 코드를 시스템 설계시 적용할 수 있다. DS-UWB 수신기에서 확산 코드 길이별로 상관 연산을 위한 상관기를 설계한다면 하드웨어의 복잡도가 엄청나게 증가할 것이다. 따라서, 다양한 길이의 확산 코드를 사용하여 송신단에서 신호를 확산해서 보내더라도 수신단에서는 하나의 상관기 구조를 사용하여 신호를 역확산(despreading)시킬 수 있는 효율적인 수신 구조를 설계함으로써 시스템의 복잡도를 줄여야 한다. 또한, 수신부 설계시 초기 동기화를 위한 탐색기 블록에서의 상관 연산, 데이터 복조시 레이크 수신기의 핑거별 입력값을 위한 상관 연산, tracking 연산시 사용하는 상관 연산 등에 필요한 상관기를 각각 설계하지 않고 하나의 구조를 서로 공유할 수 있게 효율적으로 설계해야 한다^[3].

2-3 DS-UWB 송수신 구조

그림 2는 BPSK 전송을 위한 DS-UWB 시스템의 송수신 구조를 나타낸다. DS-UWB 시스템의 송신 구조는 그림 2(a)와 같이 스크램블러, 길쌈 부호기, 인터리버, 심볼 매핑, 확산 코드 변조기, 펄스 정형기 등으로 구성된다. 한편, 그림 2(b)에서는 RF(Radio Frequency) 수신기로부터 전달된 아날로그 신호를 칩레이트 A/D(Analog-to-Digital) 변환기로 샘플링하여 구한 디지털 신호를 이용하는 수신기 구조를 나타낸 것으로 병렬 처리 구조의 디지털 상관기, 초기 동기 획득기, 채널 추정기, 레이크 수신기, 등화기, 비터비 복호기 등으로 구성되어 있다.

DS-UWB 시스템 구현 방법은 수신부에서 사용되는 A/D 변환기의 속도에 따라 크게 세가지로 분류된다. 첫번째 방법은 심볼 데이터 전송률에 해당하는 55 MHz대의 속도로 동작하는 A/D 변환기를 사용하는 시스템으로서 이 경우 아날로그 상관기를 수신단

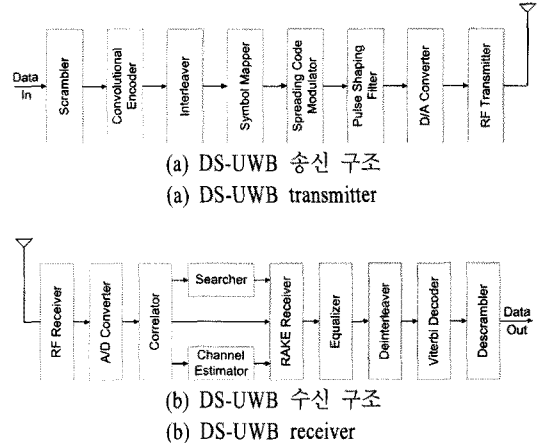


그림 2. DS-UWB 시스템의 송수신 구조
Fig. 2. DS-UWB transceiver.

에서 사용한다. 두번째 방법은 칩 전송률에 해당하는 1.3 GHz 대의 속도로 동작하는 A/D 변환기를 사용하는 시스템으로서 RF 수신기에서 기저 대역(baseband) 신호로 변환된 수신 신호가 A/D 변환기를 거쳐 기저 대역 모뎀에 전달되면 모뎀에서는 디지털 신호를 처리하게 된다. 따라서 이 경우에는 디지털 상관기를 모뎀 수신부에서 사용해야 한다. 세번째 방법은 RF Nyquist rate의 A/D 변환기를 사용하는 시스템으로서 A/D 변환기는 10 GHz 이상의 속도로 동작해야 하고 수신기는 통과 대역(passband)에서 디지털로 신호를 처리한다. 이 경우는 초고속의 10 Gsample/s~20 Gsample/s A/D 변환기가 출시된다는 가정하에 소프트웨어 라디오 기술의 형태로 구현할 수 있는 방안을 제시한 경우로 현재 A/D 변환기의 구현 기술을 고려할 때 실현하기 힘든 방법이라 하겠다. 본 논문에서 다루고자 하는 수신 구조는 위에서 설명한 세가지 방법중 두번째 방법으로 1.32 Gsample/s A/D 변환기를 사용하는 DS-UWB 시스템을 설계하는 경우에 해당된다.

III. DS-UWB 송신 필터

DS-UWB 송신기는 BPSK 데이터 전송시 길이가 L 인 확산 코드를 사용하여 신호를 확산시킨 후 펄스 정형 필터로 전달한다. 송신 펄스 정형 필터를 거쳐 D/A 변환기 및 RF 송신기를 통과한 통과 대역 송신 신호는 다음과 같이 표현된다.

$$s(t) = \sum_{n=-\infty}^{\infty} \left\{ a_n \sum_{m=0}^{L-1} c_m g(t - nT - mT_c) \right\} \cdot \sqrt{2} \cos 2\pi f_c t \quad (2)$$

여기서 $a_n \in \{1, -1\}$ 은 nT 심볼 구간에서의 데이터 심볼을 의미하고, $\{c_m\}$ 은 확산 코드, $T_c (=T/L)$ 는 칩 구간, $g(t)$ 는 송신 펄스 정형 필터, f_c 는 반송 주파수를 나타낸다^{[1],[4]}.

3-1 Square Root Raised Cosine 필터

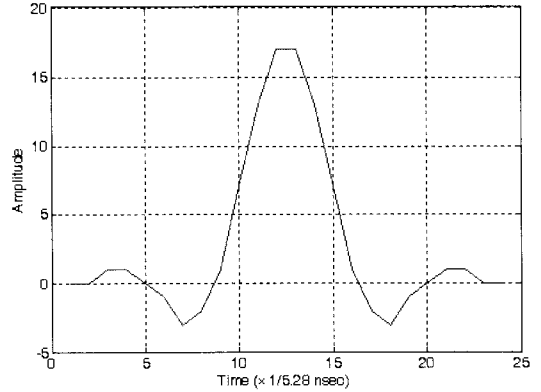
통신 시스템에서는 심볼간의 간섭을 없애기 위해 다양한 형태의 송신 펄스 정형 필터를 설계해서 사용하고 있으며, 제공근 코사인 필터는 디지털 송신 필터 설계시 많이 사용되고 있는 필터중 하나이다^[10]. 제공근 코사인 필터의 주파수 응답은 다음과 같은 형태로 주어진다.

$$|G_c(f)| = \begin{cases} T_c, & 0 \leq |f| \leq \frac{(1-\alpha)}{2T_c} \\ T_c \sqrt{\frac{1}{2} \left[1 - \sin \left[\pi \frac{T_c}{\alpha} \left(|f| - \frac{1}{2T_c} \right) \right] \right]}, & \frac{(1-\alpha)}{2T_c} < |f| < \frac{(1+\alpha)}{2T_c} \\ 0, & |f| \geq \frac{(1+\alpha)}{2T_c} \end{cases} \quad (3)$$

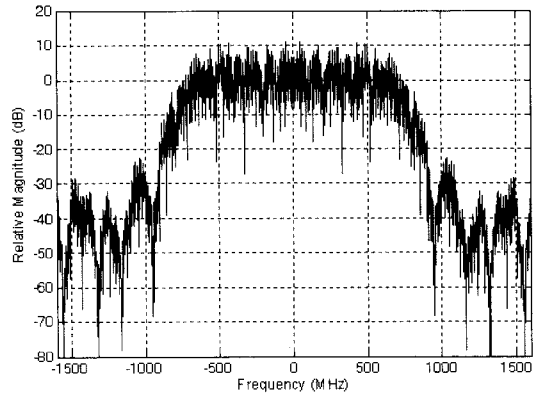
여기서 α 는 roll-off factor를 나타낸다. DS-UWB 송신기 설계시 $\alpha=0.3$, 즉, 30% excess bandwidth를 사용하였다. 그림 3(a)는 제공근 코사인 필터의 임펄스 응답을 보여 주고 있으며, 제공근 코사인 필터 설계시 interpolation factor가 4인 6비트 resolution의 24개 탭을 사용하였다. 제공근 코사인 필터를 통과한 송신 신호 스펙트럼은 그림 3(b)에 나타내었다. 그림 3(b)에서 보는 바와 같이 6 비트 resolution으로 제공근 코사인 필터를 설계할 경우, 대부분의 신호 에너지가 주파수 대역내(in-band)에 모여 있기 때문에 수신기에서 데이터 처리시 효율적으로 그 정보를 이용할 수 있는 장점이 있다.

3-2 Rectangular 필터

칩 레이트가 1.32 Gchip/s인 DS-UWB 송신기에서 interpolation factor가 4인 제공근 코사인 필터를 적용할 경우 5.28 Gsample/s D/A 컨버터를 사용해야 한다. 하지만, 6 비트 이상의 5.28 Gsample/s D/A 컨버터를 구현하기는 쉽지 않기 때문에 현재 시점에서는 시스



(a) 제공근 코사인 필터의 임펄스 응답
(a) Impulse response of the SRRC filter



(b) 제공근 코사인 필터를 통과한 송신 신호 스펙트럼
(b) Spectrum of the transmit signal passed through the SRRC filter

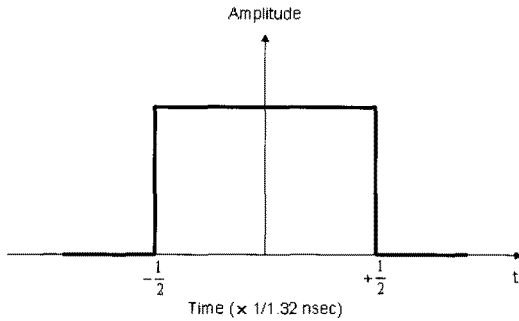
그림 3. 제공근 코사인 필터의 임펄스 응답과 제공근 코사인 필터를 통과한 송신 신호 스펙트럼

Fig. 3. Impulse response of the SRRC filter and spectrum of the transmit signal passed through the SRRC filter.

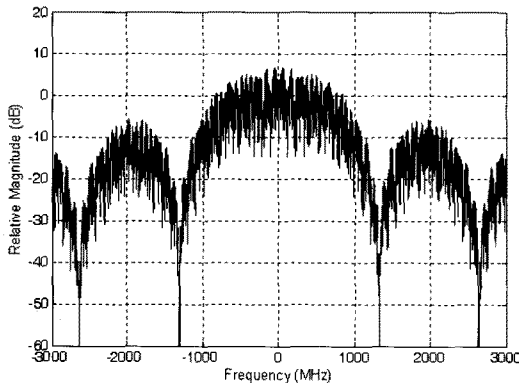
템 설계시 제공근 코사인 필터를 고려할 수가 없는 실정이다. 따라서, 가장 기본적인 송신 필터 형태중 하나인 구형 필터를 하나의 대안으로 고려할 수 있다. 구형 필터의 임펄스 응답은 다음과 같은 형태로 주어진다.

$$g_R(t) = \begin{cases} \frac{1}{T_c}, & -\frac{T_c}{2} \leq t \leq \frac{T_c}{2} \\ 0, & \text{otherwise} \end{cases} \quad (4)$$

그림 4(a)는 1/1.32 nsec 시간 간격을 가지는 구형 파를 보여주고 있으며, 구형 송신 필터를 통과한 송신 신호의 스펙트럼을 그림 4(b)에 나타내었다. 그림



(a) 구형파
(a) Rectangular pulse



(b) 구형 송신 필터를 통과한 송신 신호 스펙트럼
(b) Spectrum of the transmit signal passed through the rectangular filter

그림 4. 구형파와 구형 송신 필터를 통과한 송신 신호 스펙트럼

Fig. 4. Rectangular pulse and spectrum of the transmit signal passed through the rectangular filter.

4(b)에서 보는 바와 같이 구형파를 송신 필터로 사용할 경우 주파수 대역내뿐만 아니라 sidelobe에도 꽤 큰 크기의 송신 신호 에너지가 분포하고 있기 때문에 수신 성능에 약간의 영향을 미칠 수 있는 단점이 있다. 하지만, 1.32 Gsample/s D/A 컨버터를 송신기에 사용하면 되기 때문에 DS-UWB 칩셋을 개발할 때 현실적으로 고려할 수 있는 솔루션이다. 그림 5는 구형 송신 필터를 사용하여 생성된 디지털 신호가 RF 송신기를 통과한 후의 측정된 출력 신호 스펙트럼 모양을 나타내고 있으며, 이 때 측정시 사용된 RF 반송 주파수는 3.978 GHz이다.

IV. 동기 획득 구조

RF 송신기를 통과한 통과 대역 송신 신호가 UWB

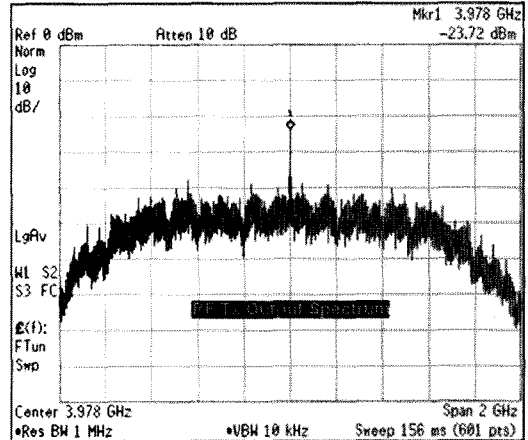


그림 5. 구형 송신 필터를 사용하여 생성된 디지털 신호가 RF 송신기를 통과한 후의 출력 신호 스펙트럼

Fig. 5. Spectrum of the RF transmitter output using the rectangular transmit filter.

채널 및 RF 수신기를 거친 후 기저 대역 수신 입력 단에서 다음과 같은 형태로 주어진다.

$$r(t) = LPF\{(s(t) \otimes h(t) + \tilde{n}(t))\sqrt{2}e^{j2\pi(f_c + \Delta f)t}\} \quad (5)$$

여기서 $LPF(\cdot)$ 는 기저 대역 필터링, \otimes 는 컨볼루션 연산, $\tilde{n}(t)$ 는 평균이 0이고 양측 전력 스펙트럼 밀도가 $N_0/2$ 인 AWGN(Additive White Gaussian Noise), Δf 는 hertz 단위의 주파수 오프셋을 의미한다. 그림 6은 DS-UWB 수신기에서 초기 동기 획득, 채널 추정, 동기 추적, 데이터 복조시 사용되는 병렬 처리 구조의 디지털 상관 검출기의 블록도를 나타낸다. 1.32 Gsample/s A/D 변환기로부터 전달된 24개의 복소수 입력값은 상관 검출기내에 있는 24 칩 크기의 상위 버퍼와 24 칩 크기의 하위 버퍼에 다음과 같이 저장된다.

$$\begin{aligned} \tilde{r}(n, k) &= \tilde{r}(n-1, 24+k), \\ \tilde{r}(n, 24+k) &= \tilde{r}(n, k), \quad k=0, 1, \dots, 23 \end{aligned} \quad (6)$$

이처럼 24 병렬 처리 상관 검출기는 55 MHz 클럭에 맞춰 동작하고 상위 버퍼와 하위 버퍼에 있는 총 48 칩 입력 신호로부터 24개의 상관 검출 연산기에 사용될 길이가 L 인 입력 버퍼값을 저장한다. 이 값을 이용하여 길이가 L 인 확산 코드와 상관(correlation) 연산을 다음과 같이 수행한다.

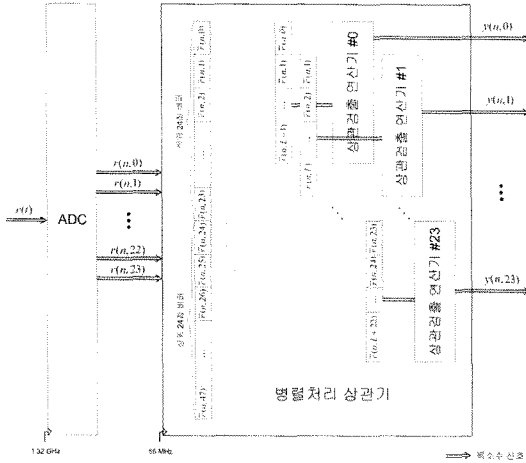


그림 6. 병렬 처리 구조의 디지털 상관 검출기
Fig. 6. Parallel processing digital correlator structure.

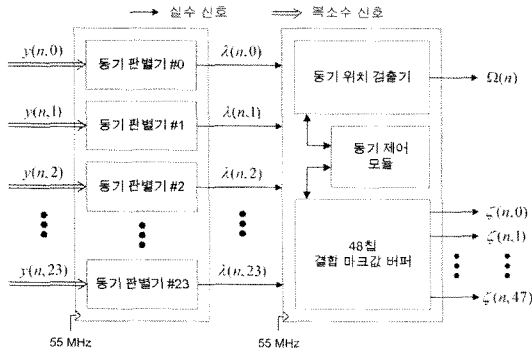


그림 7. 병렬 처리 구조의 동기 획득기
Fig. 7. Parallel processing searcher structure.

$$y(n, k) = \sum_{i=0}^{L-1} r(n, i+k) c_i, \quad k=0, 1, \dots, 23 \quad (7)$$

여기서 $c_i (i=0, 1, \dots, L-1)$ 는 길이가 L 인 확산 코드를 의미한다. 초기 동기 획득 시에서는 $L=24$ 인 삼진 확산 코드를 사용하여 24개의 상관 연산 결과값을 구한 후 그 결과값을 동기 획득기(searcher) 모듈로 전달한다.

그림 7은 병렬 처리 구조의 동기 획득기를 나타내며, 동기 획득기는 24개의 동기 판별기, 동기 위치 검출기, 동기 제어 모듈, 48 칩 결합 마크값을 저장하기 위한 버퍼로 구성된다. 상관 연산기로부터 전달된 24개의 상관 연산 결과값($y(n, k)$)을 사용하여 각각의 동기 판별기에서는 수신 신호의 동기 여부를 판단한 후 출력값($\lambda(n, k)$)을 동기 위치 검출기, 동기 제어 모듈 및 48 칩 결합 마크값 버퍼로 전달한다.

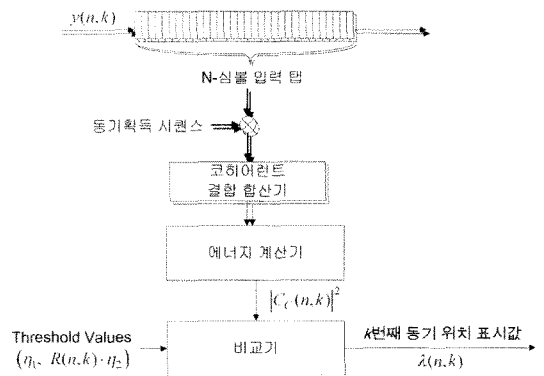


그림 8. 동기 획득기 내에 사용되는 동기 판별기 블록도
Fig. 8. Initial timing acquisition discriminator in the searcher.

결합 마크값 버퍼에 변화가 있는 경우 동기 위치값($\Omega(n)$)을 구하여, 그 값과 결합 마크값($\xi(n, j), j=0, 1, \dots, 47$)을 레지스터에 저장하여 데이터 복조 시 이용하게 된다^[3]. 이때 동기 획득기 내의 모든 모듈은 55 MHz의 심볼 클럭으로 동작한다.

동기 획득기 내에서 사용되는 동기 판별기의 블록도를 그림 8에 나타내었다. 그림 8에서처럼 k 번째 상관 검출 연산기의 출력값은 k 번째 동기 판별기의 입력값으로 사용된다. 코히어런트 결합 합산기에서 동기 판별을 위한 코히어런트 결합값은 다음과 같이 구해진다.

$$C_C(n, k) = \sum_{i=0}^{N-1} y(n-i, k) \tilde{p}_i, \quad k=0, 1, \dots, 23 \quad (8)$$

여기서 $\tilde{p}_i (i=0, 1, \dots, N-1)$ 는 수신단에서 미리 알고 있는 길이가 N 인 동기 획득 시퀀스를 의미한다. 에너지 계산기에서 코히어런트 결합 합산기의 결과값을 제공한 후 비교기로 보내면 비교기는 문턱값(threshold values)과 비교하여 수신 신호의 동기 여부를 다음과 같이 판단한다^{[3],[9]}.

$$|C_C(n, k)|^2 > \eta_1 \text{ and } |C_C(n, k)|^2 > R(n, k) \eta_2 \quad (9)$$

여기서 η_1 과 η_2 는 문턱값을 의미하고, 이 값은 UWB 채널 환경에서 실험 및 측정을 통해 결정되며, 역확산 복소수 입력값의 전력값은 다음과 같이 주어진다.

$$R(n, k) = \sum_{i=0}^{N-1} |y(n-i, k)|^2 \quad (10)$$

식 (9)의 조건을 만족하면 동기 판별기는 '1'을 동기 위치 표시값($\lambda(n, k)$)에 할당하고, 그렇지 않으면 '0'을 할당하여 출력한다.

이렇게 구해진 동기 위치 표시값으로부터 초기 동기 획득을 수행하는 과정을 살펴보면 다음과 같다. 매 심볼 클럭마다 계산되는 24개의 동기 위치 표시값은 상위 24 칩 결합 마크값 버퍼에 저장하고, 이와 동시에 이전 심볼 클럭시 상위 24 칩 결합 마크값 버퍼에 저장되어 있던 24개의 동기 위치 표시값은 하위 24 칩 결합 마크값 버퍼에 저장한다. 하위 24 칩 결합 마크값 버퍼에 저장된 동기 위치 표시값중 '1'이 있는지 체크하여 '1'이 있으면 초기 동기 획득 첫번째 과정을 마무리하고, 그렇지 않으면 초기 동기 획득 첫번째 과정을 계속 수행한다. DS-UWB 시스템에서는 다경로 무선 채널을 통해 신호가 전달되기 때문에 동기 위치 표시값이 '1'인 경우가 여러 개일 수 있으며, 맨 처음 '1'이 관찰되는 위치를 동기 위치값으로 설정한다. 초기 동기 획득 첫번째 과정이 완료된 후에는 약속된 심볼 간격 이후에 동일한 위치에서 초기 동기 획득이 되는지 한번 더 검증하는 과정을 거치고 초기 동기 획득 과정을 마무리한다. 이와 같이 본 논문에 적용된 24 병렬 처리 구조의 동기 획득기는 매 심볼 클럭마다 24개의 동기 판별기에서 동기 위치 표시값을 구한 후 동기 위치 검출기에서 초기 동기 획득 과정을 완료할 때까지 동작하게 된다.

V. 성능 실험 및 결과

그림 9에서는 CM1 채널 환경에서 프리앰블 전송 구간 동안 interpolation factor가 4인 제공근 코사인 송신 필터를 사용한 DS-UWB 시스템과 구형 송신 필터를 사용한 DS-UWB 시스템의 상관 검출값을 비교하고 있으며, 수신 입력 신호의 평균 전력을 1로 정규화하여 성능 실험을 하였다. 본 실험에서는 IEEE 802.15.3a DS-UWB 제안서에 제시된 프리앰블 패턴을 사용하여 상관 연산을 수행하였다^[1]. 제공근 코사인 필터를 사용한 경우와 구형 필터를 사용한 경우의 상관 검출값을 비교해 본 결과 3 칩 간격의 시간 지연이 발생하나, 상관 검출값의 크기는 거의 비슷함을 살펴 볼 수 있다.

그림 10에서는 AWGN 채널 환경에서 제공근 코

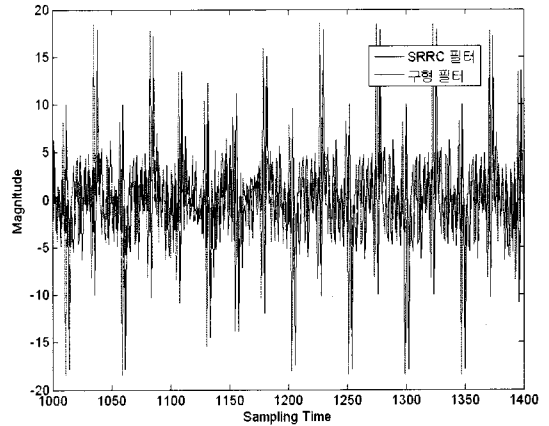


그림 9. 제공근 코사인 송신 필터를 사용한 DS-UWB 시스템과 구형 송신 필터를 사용한 DS-UWB 시스템의 상관 검출값 비교

Fig. 9. Comparison of correlation values obtained by employing the SRRC transmit filter and the rectangular transmit filter in the DS-UWB transmitters.

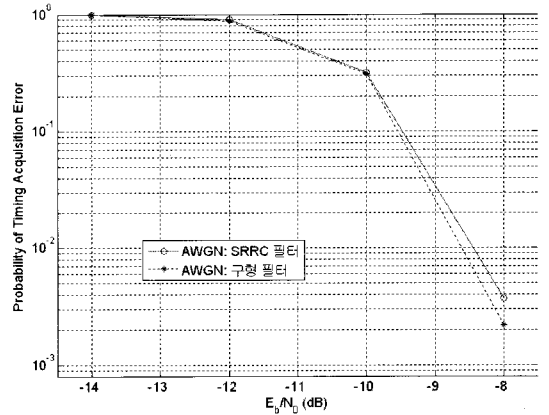


그림 10. AWGN 채널 환경하에서 송신 필터에 따른 DS-UWB 수신기의 초기 동기 획득 성능 비교

Fig. 10. Performance comparison of initial timing acquisition in the DS-UWB systems with different transmit pulse shaping filters in the AWGN channel.

사인 송신 필터를 적용한 DS-UWB 시스템과 구형 송신 필터를 적용한 DS-UWB 시스템의 초기 동기 획득 성능을 비교하고 있으며, 성능 실험시 $N=32$, $\eta_1=5 \times 10^3$, $\eta_2=20$ 을 사용하였다. 그리고, RF 송수신기에서 사용되는 LO(Local Oscillator)간의 주파수 오차는 10 ppm으로 가정하였다. 실험 결과 AW-

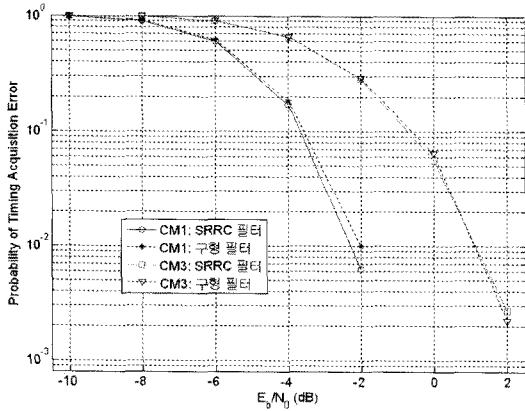


그림 11. CM1/CM3 채널 환경하에서 송신 필터에 따른 DS-UWB 수신기의 초기 동기 획득 성능 비교

Fig. 11. Performance comparison of initial timing acquisition in the DS-UWB systems with different transmit pulse shaping filters in the CM1 and CM3 channels.

GN 채널 환경하에서 두 시스템의 초기 동기 획득 성능은 별 차이가 없음을 확인할 수 있다. 또한, CM1 및 CM3 채널 환경하에서 송신 필터에 따른 DS-UWB 수신기의 초기 동기 획득 성능 비교를 수행해 본 결과 그림 11에서 보는 바와 같이 두 시스템의 성능이 비슷함을 확인할 수 있다.

VI. 결 론

본 논문에서는 BPSK DS-UWB 시스템에 사용되는 송신 필터에 따른 수신기의 초기 동기 획득 성능을 비교하였다. 또한, 55 MHz의 시스템 클럭으로 동작하는 복잡도가 낮은 병렬 처리 구조의 디지털 상관 검출기 및 동기 획득기에 대해 살펴 보았다. 칩 레이트가 1.32 Gchip/s인 DS-UWB 디지털 송신기에서 interpolation factor가 4인 제곱근 코사인 송신 필터를 적용한 경우와 구형 송신 필터를 적용한 경우, DS-UWB 수신기의 초기 동기 획득 성능을 AWGN 채널 환경 및 CM1/CM3 채널 환경하에서 실험한 결과 비슷한 성능을 얻을 살펴 보았다. 주파수 오프셋이 10 ppm인 CM1 채널 환경에서 $E_b/N_0=0$ dB인 경우, 초기 동기 획득 확률이 거의 100 %이기 때문에 구형 필터를 적용하여 DS-UWB 시스템을 구현해도 상당히 우수한 성능의 초기 동기를 획득할 수 있음을 확

인하였다. 하지만, DS-UWB 시스템에서 구형 송신 필터를 사용할 경우 신호 정보를 활용할 수 없는 sidelobe에도 꽤 큰 크기의 송신 신호 에너지가 분포되어 있어 수신 성능 저하를 가져올 수 있기 때문에 시스템 설계시 RAKE 수신기와 등화기를 잘 설계해서 채널 추정 및 심볼간의 간섭 처리를 보다 효율적으로 해주어야 한다. 본 논문에서는 DS-UWB 시스템 설계시 구형 송신 필터를 사용하여 1.32 Gsample/s D/A 변환기 및 A/D 변환기를 적용할 수 있게 함으로써 DS-UWB 칩셋 개발시 현실적으로 고려할 수 있는 솔루션을 제시하였다는데 큰 의의가 있다고 하겠다.

참 고 문 헌

- [1] R. Fisher *et al.*, "DS-UWB physical layer submission to 802.15 task group 3a", *IEEE P802.15-04/0137r4*, Jan. 2005.
- [2] M. Welborn, M. M. Laughlin, "Merger #2 proposal DS-CDMA", *IEEE P802.15-03/334r2*, Sep. 2003.
- [3] K. M. Kang, S. S. Choi, "Initial timing acquisition for binary phase-shift keying direct sequence ultra-wideband transmission", *ETRI Journal*, vol. 30, no. 4, pp. 495-505, Aug. 2008.
- [4] K. M. Kang, S. I. Cho, H. C. Won, and S. S. Choi, "FIR filter of DS-CDMA UWB modem transmitter", *IEICE Trans. Commun.*, vol. E91-B, no. 3, pp. 907-909, Mar. 2008.
- [5] K. M. Kang, S. S. Choi, "A 24-parallel processing DS-UWB system", in *Proc. IEEE ISCE 2009*, pp. 1-4, May 2009.
- [6] K. M. Kang, S. W. Choi, S. I. Cho, and S. S. Choi, "Voltage gain control of a VGA in a UWB receiver", in *Proc. IEEE ISCE 2008*, pp. 1-4, Apr. 2008.
- [7] K. M. Kang, "Packet detection for zero-padded OFDM transmission", *IEICE Trans. Commun.*, vol. E91-B, no. 4, pp. 1158-1160, Apr. 2008.
- [8] K. M. Kang, "A study on performance enhancement of packet detection in MB-OFDM UWB systems", *IEICE Trans. Commun.*, vol. E92-B, no. 1, pp. 237-

245, Jan. 2009.

- [9] G. H. Im, K. M. Kang, "Performance of a hybrid decision feedback equalizer structure for CAP-based DSL systems", *IEEE Trans. Signal Processing*, vol. 49, no. 8, pp. 1768-1785, Aug. 2001.
- [10] S. Chennakeshu, G. J. Saulnier, "Differential detection of $\pi/4$ -shifted-DQPSK for digital cellular radio", *IEEE Trans. Veh. Technol.*, vol. 42, no. 1, pp. 46-57, Feb. 1993.
- [11] S. R. Aedudodla, S. Vijayakumaran, and T. F. Wong, "Acquisition of direct-sequence transmitted reference ultra-wideband signals", *IEEE J. Sel. Areas Comm.*, vol. 24, no. 4, pp. 759-765, Apr. 2006.
- [12] A. M. Tonello, R. Rinaldo, "A time-frequency domain approach to synchronization, channel estimation, and detection for DS-SS impulse-radio systems", *IEEE Trans. Wireless Comm.*, vol. 4, no. 6, pp. 3005-3017, Nov. 2005.
- [13] R. R. Rick, L. B. Milstein, "Optimal decision strategies for acquisition of spread-spectrum signals in frequency-selective fading channels", *IEEE Trans. Comm.*, vol. 46, no. 5, pp. 686-694, May 1998.
- [14] E. Sourour, S. C. Gupta, "Direct-sequence spread-spectrum parallel acquisition in nonselective and frequency-selective Rician fading channels", *IEEE J. Sel. Areas Comm.*, vol. 10, no. 3, pp. 535-544, Apr. 1992.
- [15] J. Foerster, "Channel modeling sub-committee report final", *IEEE P802.15-02/368r5-SG3a*, Dec. 2002.

강 규 민



1997년 2월: 포항공과대학교 전자
전기공학과 (공학사)
1999년 2월: 포항공과대학교 전자
전기공학과 (공학석사)
2003년 2월: 포항공과대학교 전자
전기공학과 (공학박사)
2003년 8월~현재: 한국전자통신연

구원 선임연구원

[주 관심분야] 통신 시스템 설계 및 이론, 신호처리