

높은 홀딩전압을 갖는 사이리스터 기반 새로운 구조의 ESD 보호소자

The novel SCR-based ESD Protection Device with High Holding Voltage

Jong-Il Won*, Yong-Seo Koo**
원종일*, 구용서**

Abstract

The paper introduces a silicon controlled rectifier (SCR)-based device with high holding voltage for ESD power clamp. The holding voltage can be increased by extending a p+ cathode to the first n-well and adding second n-well wrapping around n+ cathode. The increase of the holding voltage above the supply voltage enables latch-up immune normal operation. In this study, the proposed device has been simulated using synopsys TCAD simulator for electrical characteristic, temperature characteristic, and ESD robustness. In the simulation result, the proposed device has holding voltage of 3.6V and trigger voltage of 10.5V. And it is confirmed that the device could have holding voltage of above 4V with the size variation of extended p+ cathode and additional n-well.

요약

본 논문에서는 높은 홀딩 전압을 갖는 사이리스터(SCR; Silicon Controlled Rectifier)구조에 기반 한 새로운 구조의 ESD(Electro-Static Discharge) 보호 소자를 제안하였다. 홀딩전압은 애노드단을 감싸고 있는 n-well에 p+ 캐소드를 확장시키고, 캐소드단을 n-well로 추가함으로써 홀딩전압을 증가시킬 수 있다. 제안된 소자는 높은 홀딩전압 특성으로 높은 래치업 면역성을 갖는다. 본 연구에서 제안된 소자의 전기적 특성, 온도특성, ESD 감내특성을 확인하기 위하여 TCAD 시뮬레이션 툴을 이용하여 시뮬레이션을 수행하였다. 시뮬레이션 결과 제안된 소자는 10.5V의 트리거 전압과 3.6V의 홀딩전압을 갖는다. 그리고 추가적인 n-well과 확장된 p+의 사이즈 변화로 4V이상의 홀딩전압을 갖는 것을 확인하였다.

Key words : ESD, Holding Voltage, Power Clamp, Latch-up

1. 서론

반도체 산업에서 ESD(ElectroStatic Discharge)는 제

품의 품질과 신뢰성 측면에서 중요한 문제로 고려되어 왔다.[1] 특히, 공정 기술이 발달함에 따라 사용되는 게이트 산화막의 두께가 감소하면서 정전기 방전에 의한 소자파괴현상과 수 kV, 수 A로 매우 높은 전압/전류의 ESD 펄스에 의해 칩 내부 회로선로의 열화에 의한 파괴현상은 더욱 심화되어 ESD로부터의 내부 회로의 보호는 집적회로 설계의 중요한 해결과제로 인식 되고 있다. 지금까지 ESD 보호소자로 사용된 GGNMOS(Gate Grounded NMOSFET)는 낮은 전류 구동능력 때문에 상당히 큰 면적으로 설계 되어

* 서경대학교 전자공학과
(Department of Electronics Engineering, Seokyeong University)

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment)

본 연구는 지식경제부의 System IC 사업, 서울시 산학연 협력사업의 나노 IP/SoC 설계 혁신 사업단의 지원으로 이루어졌습니다.

진다.[2] 최근 RF 집적회로 설계에서는 ESD 보호소자의 큰 면적에 의한 큰 기생 캐패시턴스가 패드 신호의 동작 주파수 제한, 입-출력 임피던스 매칭등의 문제를 야기시킬 수 있다. 이로 인해 ESD보호소자의 면적을 줄여 기생 캐패시턴스를 줄이고 기존의 ESD 감내특성을 유지할 수 있는 ESD 보호소자에 대한 연구가 필요하다. 한편, SCR은 높은 failure 전류로 인한 우수한 ESD보호 능력과 낮은 온-저항 때문에 ESD보호소자로서 오랫동안 고려되어져 왔다. SCR의 ESD 보호 능력은 일반적인 MOS 구조보다 면적대비 6배 이상의 높은 감내특성을 제공하게 된다. 일반적으로, ESD보호 소자는 게이트 산화막의 항복전압보다 낮은 트리거 전압을 가져야 하고, 반면에 홀딩 전압은 일반적인 동작 상태 동안에 래치업을 피하기 위해서 회로의 전원 전압 보다 높은 홀딩 전압을 가져야 한다. 그러나 SCR은 상대적으로 높은 트리거링 전압(약 20V)과 낮은 홀딩 전압(1.5V~2V)을 갖게된다. 이러한 SCR의 특성은 게이트 산화막의 파괴와 내부 회로의 고장 전에 ESD를 효과적으로 방전하기 어렵다. SCR을 기반으로 한 소자(LVTSCR, GGSCR)는 낮은 트리거 전압을 위해 개발되었다. 그러나, 낮은 홀딩 전압으로 인해 이 소자들 역시 여전히 래치업 문제가 나타나게 된다.[3-8]

또한 회로의 정상동작 상태에서의 온도 증가는 ESD 보호소자의 전기적 특성에 영향을 미친다. 온도의 증가는 ESD 보호능력, 홀딩 전압, ESD보호소자의 기생 바이폴라 트랜지스터 동작에 영향을 미치고, 전류 불안정으로 인한 전류 필라멘트를 초래하기 때문에 온도의 증가는 소자 파괴의 원인이 된다.[9-10] 따라서, 높은 온도 상태에서 홀딩전압의 분석은 중요하다.

본 논문은 정상 동작에서 래치업 면역특성 향상을 위한 높은 홀딩 전압을 갖는 SCR기반 ESD 보호소자를 제안하고, 높은 온도 상황에서 소자의 특성변화를 분석하고자 한다.

II. 본론

SCR 구조의 ESD보호소자는 적은면적으로 큰 전류를 구동할 수 있으며, 적은면적으로 인한 작은 기생 캐패시턴스 특성을 가지고 있어, RF회로 및 고속으로 동작하는 회로에 적용 가능하다. 그러나 낮은 홀딩전압에 의한 정상상태에서의 래치업 현상은 회로 설계 시에 신뢰성 측면에서 큰 문제로 작용하게 된다. 따라서 SCR 구조 기반의 ESD 보호소자 설계 시 회로 측면에서 래치업을 방지할 수 있는 구조가 필요하게

된다. 본 연구에서는 래치업 방지를 위해 홀딩전압을 높이기 위한 새로운 구조의 ESD 보호소자를 제안하고 각각의 설계 변수를 두어 제안된 소자의 홀딩전압의 특성 분석 및 온도에 따른 홀딩전압의 분석을 하였다.

그림 1은 제안된 소자의 단면도와 등가회로를 나타낸 그림이다.

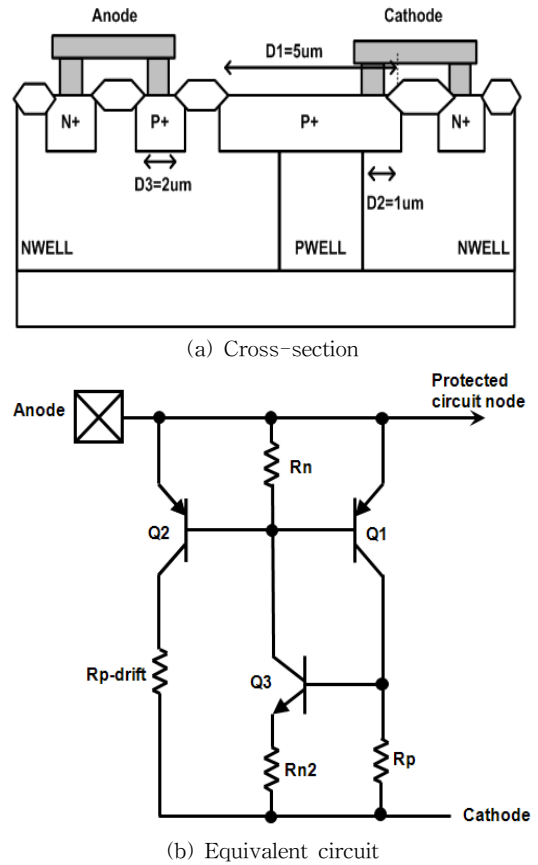


Fig. 1. Cross-sectional and equivalent circuit of proposed ESD protection device

그림 1. 제안된 ESD 보호소자의 단면도와 등가회로

제안된 소자는 기존의 SCR 구조를 변형하여 애노드단을 감싸고 있는 n-well 영역까지 p+ 캐소드 (p-drift)를 확장시켜 기존의 SCR에서 n-well과 p-well 사이의 애벌런치 항복전압에 의해 결정된 트리거 전압을 n-well과 p+ cathode의 애벌런치 항복 전압으로 트리거 전압을 낮추고, SCR내에 기생적으

로 생기는 NPN 바이폴라 트랜지스터의 베이스(Base) 폭을 넓혀 전류이득을 작게 하고 기생 PNP 바이폴라 트랜지스터의 전류 이득을 높혀 홀딩전압을 높혔다. 또한, 캐소드단을 n-well로 덮어 기생 NPN 바이폴라의 이미터주입효율(emitter injection efficiency)을 작게 하여 홀딩전압을 높혔다. 제안된 소자의 동작은 그림 2에 나타내었으며 동작 원리는 다음과 같다. 애노드로부터 ESD 현상 발생 시, n-well과 p-drift 접합은 역방향 바이어스가 된다. 이 순간에, 두 접합 사이의 높은 전계로 인한 애벌랜치 항복이 일어나게 된다. 애벌랜치 항복에 의해 EHP(Electron-Hole Pair)가 생성되는데 이때, Hole 전류는 기생 PNP BJT Q2를 통해서 p-drift접합으로 흐르게 되고, p-well의 전위(potential)는 증가한다. (그림 2.a) 기생 NPN BJT Q3의 이미터-베이스 접합은 p-well의 높아진 전위에 의해 순방향 바이어스가 되고, NPN BJT Q3는 턴-온이 된다. Q3가 턴-온이 될 때, Q3의 전류는 Rn에서 전압강하를 일으키게 되고 PNP-BJT Q1 또한 턴-온이 된다. (그림 2.b) Q1의 전류는 Rp 사이에서 전압강하가 생기게 되고 이는 Q3의 턴-온 상태를 유지하도록 돕는다. 여기서 Q1의 전류에 의해 Q3에 더 이상 바이어스를 공급할 필요가 없게 된다. (그림 2.c) 제안된 소자의 홀딩 전압은 높은 전류 전도 (high current conduction) 상황에서 애노드와 캐소드 사이에 걸리는 전압이고 이는 식 (1)과 같다.

$$\begin{aligned}
 V_H &= V_{BE}(Q1_{PNP}) + V_{BE}(Q3_{NPN}) + V_{Rn2} \\
 &= V_{BE}(Q2_{PNP}) + V_{Rp-drift}
 \end{aligned}
 \tag{1}$$

식 (1)에서 V_{BE} 은 각각 Q1과 Q3의 SCR내의 기생 PNP/NPN 바이폴라 트랜지스터의 이미터-베이스간의 전압이고 V_{Rn2} , $V_{Rp-drift}$ 는 각각 등가회로에서 R_{n2} 와 $R_{p-drift}$ 에 걸리는 전압이다. 또한 홀딩 전압은 두 NPN/PNP 바이폴라 트랜지스터의 이미터 영역으로부터 유입되는 캐리어 때문에 NPN과 PNP의 베이스 영역에서의 공간 전하 중성화(space charge neutralization)의 정도에 의존된다. 그러므로 BJT의 베이스 폭과 V_{Rn2} , $V_{Rp-drift}$ 은 매우 중요하다. 홀딩 전압은 NPN의 베이스 폭과 관련된 p-drift 접합(D1)의 길이와, 추가적인 n-well이 p-drift 접합을 포함하는 길이(D2), 애노드 P+ 접합 면적 즉, 기생 PNP의 이미터 면적(D3)에 영향을 받는다.

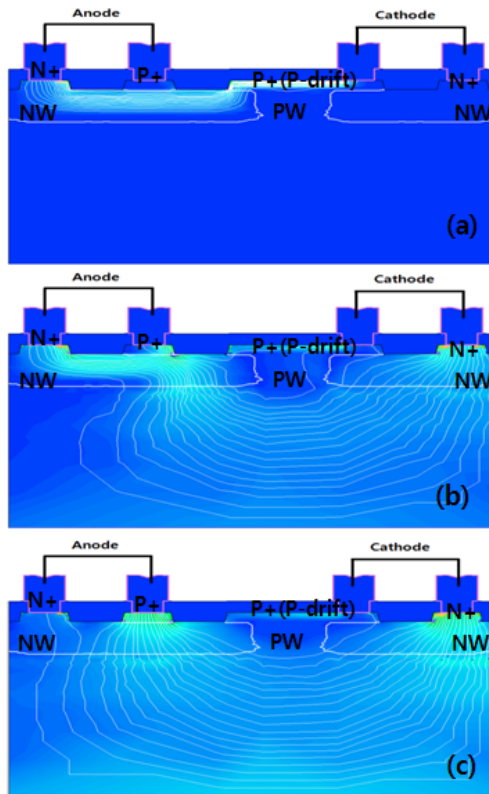


Fig. 2. Total current density and flow line in the proposed device

그림 2. 제안된 소자의 전류 흐름도

2. 제안된 ESD 보호소자의 시뮬레이션

제안된 ESD 보호소자의 특성을 시뮬레이션으로 분석하고자 기존에 사용되어지는 ESD 보호소자 (GGNMOS, Conventional SCR, LVTSCR)와의 DC-IV 특성, ESD 성능의 비교 분석과 각 설계 변수에 따른 홀딩전압의 변화, 300K에서 500K까지의 넓은 온도 범위에서의 홀딩전압 특성을 Synopsys사의 TCAD 시뮬레이터를 사용하여 분석하였다.

가. 기존 ESD 보호소자와의 비교

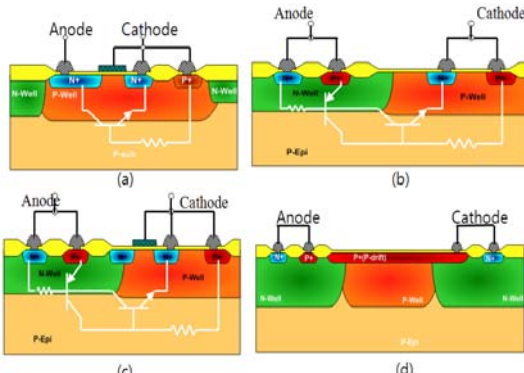


Fig. 3. Cross-section of Conventional ESD Protection Device (a)GGNMOS, (b) Conventional SCR (c) LVTSCR (d) Proposed Device

그림 3. 기존 ESD 보호소자의 단면도 (a)GGNMOS, (b) Conventional SCR, (c)LVTSCR, (d) Proposed Device

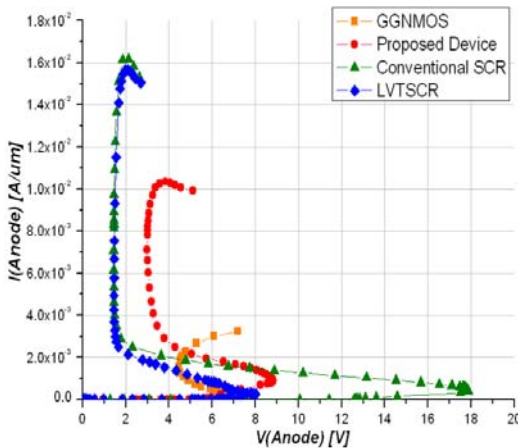


Fig. 4. Simulated DC I-V characteristics for the GGNMOS, Conventional SCR and proposed device.

그림 4. 기존 ESD 보호소자와 제안된 소자의 IV 특성

그림 3는 기존의 ESD 보호소자로 사용되는 GGNMOS, Conventional SCR, LVTSCR과 제안된 소자의 단면도를 나타낸 그림이고, 그림 4는 제안된 소자와 기존 ESD 보호소자간의 DC-IV 특성을 통하여 트리거 전압 및 홀딩전압을 비교한 그래프이다. 제안된 소자의 트리거 전압은 8.9V로 GGNMOS와 LVTSCR의 트리거 전압 8.3V와 비슷하고 홀딩 전압

은 1.8V의 SCR과 비교하여 3V 이상의 높은 홀딩전압을 갖게 된다. 이와 같이 제안된 소자는 기존 SCR보다 높은 홀딩전압으로 향상된 래치업 면역특성을 갖게 된다.

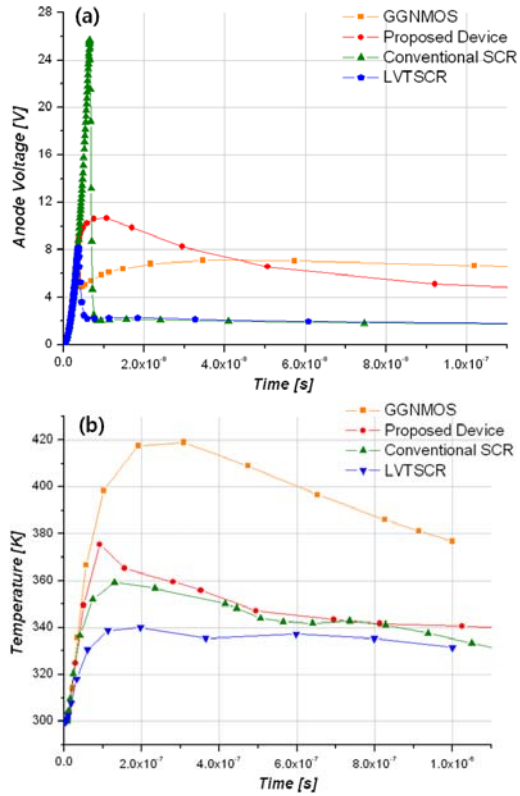


Fig. 5. Simulated waveform for the clamp voltage and lattice temperature after HBM 2kV (a) Clamping Voltage (b) Lattice temperature

그림 5. HBM 2kV에 의한 제안된 소자와 기존 소자의 시뮬레이션 그래프 (a) 전압 (b) 격자 온도

제안된 소자와 기존 소자의 감내특성 비교 분석은 HBM model을 이용하여 혼합모드 시뮬레이션을 통해 수행하였다. 50 μm 의 소자크기와 HBM 2kV의 model이 시뮬레이션에 사용되었다. 그림 5는 각각 시간에 따른 클램핑 전압과 격자 온도특성 그래프를 나타낸다. 시뮬레이션 결과 HBM 2kV 인가 후 제안된 소자의 격자 내 온도는 GGNMOS보다 낮고 Conventional SCR, LVTSCR과 비슷한 특성을 나타낸다. 이는 ESD 성능과 깊은 관련이 있으며 제안된 소자는 높은 전류 구동능력으로 GGNMOS보다 높은 감내특성과 Conventional SCR과 비슷한 ESD 성능을

갖게 된다.

나. 설계 변수에 따른 홀딩 전압 특성

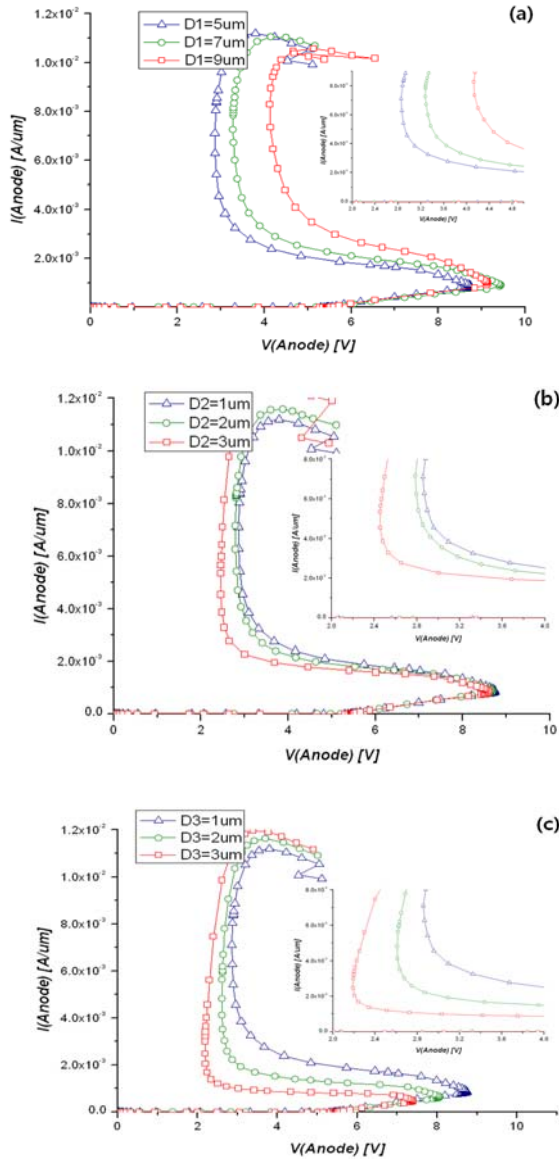


Fig. 6. DC-IV characteristics of proposed device with different design parameter

(a) D1 variation, (b) D2 variation, (c) D3 variation

그림 6. 디자인 변수에 따른 제안된 소자의 DC-IV 특성
(a) D1 변화, (b) D2 변화, (c) D3 변화

제안된 소자의 설계 변수(D1, D2, D3)에 따른 홀

딩전압 특성을 분석하기 위하여 DC-IV 특성을 그림 6에 나타내었다. D1이 증가함으로써 홀딩전압은 3V에서 4V이상으로 증가한다. 왜냐하면 D1이 증가할수록 NPN 트랜지스터(Q3)의 전류이득(beta)이 감소하게 되고, 애노드와 캐소드단 사이의 ESD 방전 경로가 증가했기 때문이다. 이 결과는 그림 6(a)에 나타내었다. D2의 증가는 Q3의 베이스 폭과 관계되는 p-well 영역의 감소로 전체적인 홀딩전압은 감소하게 된다. 그리고 D3는 D2의 홀딩 전압 특성과 같은 경향을 나타낸다. 이들의 결과는 그림 6(b), (c)에 나타내었으며 설계변수에 따른 홀딩 전압 특성을 표 1에 요약 하였다.

Table 1. Holding voltage of proposed device with different design parameter(D1, D2, D3)

표 1. 제안된 소자의 설계변수에 따른 홀딩 전압

D1(um)	V _H [V]	D2(um)	V _H [V]	D3(um)	V _H [V]
5	3	1	3	1	2.2
7	3.5	2	2.8	2	3
9	4.2	3	2.4	3	3.2

다. 온도 변화에 따른 홀딩 전압 특성

제안된 소자의 온도 특성을 분석하기 위하여 300K부터 500K의 넓은 온도 범위에서 시뮬레이션을 수행하였다.

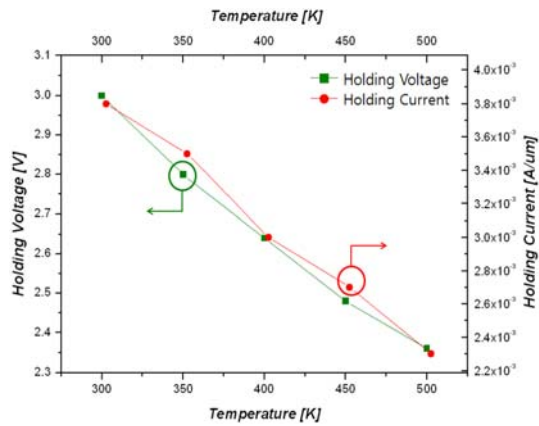


Fig. 7. Simulation of the holding voltage and holding current characteristics on the different temperature (300K-500K)

그림 7. 각각의 온도 범위(300K-500K)에서의 홀딩전압과 홀딩전류 특성

그림 7은 300K부터 500K 사이에서의 홀딩 전압과

홀딩 전류의 시뮬레이션 결과를 보여준다. 온도가 증가함으로써 홀딩 전압은 3V에서 2.4V로 감소하게 되고 홀딩 전류는 3.8E-3A/um에서 2.3E-3A/um로 감소하게 된다. 홀딩 전압의 감소는 높은 온도에서의 기생 NPN/PNP 트랜지스터의 V_{BE} (Emitter-Base Voltage) 감소로 볼 수 있다. 온도가 증가 하게 되면 다이오드 전류가 증가하게 되고, 이는 V_{BE} 의 감소를 이끌게 된다. ESD 동작에서의 중요한 요소인 다이오드 포화 전류(Saturation current)의 온도 의존성은 다음 식 2와 같이 근사 할 수 있다.

$$I_D = I_S (e^{V_D/V_T} - 1) \quad (2)$$

$$I_S \approx T^{(3+\gamma/2)} e^{-E_g/kT}$$

여기서 E_g 는 실리콘의 밴드갭 에너지이다. 그러므로 홀딩 전압 식 1로부터 V_{BE} 의 감소로 온도가 증가하게 되면 제안 된 소자의 전체적인 홀딩 전압은 감소하게 된다. 또한 높은 온도는 캐리어 이동도(Carrier mobility)의 감소 때문에 substrate 및 well의 저항은 증가하게 된다. 즉 R_n , R_p , R_{n2} 는 증가하게 된다. 제안 된 소자의 홀딩 전류 식은 다음과 같다.

$$I_H = \frac{V_{EB}(Q1_{PNP})}{R_n} + \frac{V_{EB}(Q3_{NPN}) + V_{Rn2}}{R_p} \quad (3)$$

R_n , R_p , R_{n2} 의 증가와 V_{BE} 의 감소로 홀딩 전류는 감소하게 된다. 결론적으로 온도의 증가는 홀딩 전압과 홀딩 전류를 감소시키게 된다.

III 결론

본 연구에서는 높은 홀딩 전압으로 높은 래치업 방지 특성을 갖는 새로운 구조의 SCR기반 파워 클램프용 ESD 보호소자를 나타내었다. 제안된 소자는 p+ 캐소드(p-drift)와 추가적인 n-well을 통하여 소자의 높은 홀딩 전압과 래치업 면역 특성을 증가 시켰다. 시뮬레이션 결과로 p+ 캐소드가 확장됨에 따라서 홀딩 전압이 3V에서 4V 이상으로 증가되었고, 추가적인 n-well 영역의 증가에 따라 약 4V의 홀딩 전압을 갖게 되었다. ESD 성능 또한 기존 SCR의 성능과 비슷하다.

또한 넓은 온도 범위에서 홀딩 전압과 홀딩 전류의 온도 의존성에 대하여 분석하였다. 높은 온도는 V_{BE} 의 감소와 well 저항의 증가를 가져오게 되고, 이로 인하여 홀딩 전압과 전류는 감소하는 특성을 나타내었다. 따라서 본 논문에서 제안 된 ESD 보호소자는 높은 신뢰성과 높은 래치업 면역 특성이 필요한 시스템에 적용 가능하게 될 것이다.

참고문헌

- [1] Wang AZH. On-chip ESD protection for integrated circuit. An IC design perspective. 2nd ed. Kluwer Academic Publisher, 2002
- [2] O.Semenov, H. Sarbishaei, M. Sachdev, ESD Protection Device and Circuit Design for Advanced CMOS Technologies, Netherlands, Springer, 2008
- [3] V. Vashchenko, A. Concannon, M. ter Beek, P. Hopper, High holding voltage cascoded LVTSCR structures for 5.5-V tolerant ESD protection clamps, IEEE Trans. on Devices. and Materials Reliability, vol. 4, pp273-280, 2004
- [4] C. Russ, M. P. J. Mergens, J. Armer, P. Jozwiak, G.Kolluri, L. Avery, and K. Vergaegem, GGSCR: GGNMOS triggered silicon controlled rectifiers for ESD protection in deep submicron CMOS processes, in Proc. EOS/ESD Symp., pp.22-31, 2001
- [5] J. Salcedo and J. J. Liou, A novel dual-polarity device with symmetrical/asymmetrical S-type I-V characteristics for ESD protection design, IEEE Electron Device Lett., vol.27, pp. 65-67, 2006
- [6] A Chatterjee and T. Polgreen, A low-voltage triggering SCR for on-chip ESD protection at output and input pads, IEEE Electron Device Lett., vol.12, pp.21-22, 1991
- [7] M.-D. Ker, H.-H. Chang, and C.-Y. Wu, A gate-coupled PTLSCR/NTLSCR ESD protection circuit for deep-submicron low-voltage CMOS ICs, IEEE J, Solid-State Circuits, vol. 32, pp. 38-51, 1997
- [8] M.- D. Ker, and K.- C. Hsu, SCR devices with double-triggered technique for on-chip ESD protection in sub-quarter-micron silicided CMOS processes, IEEE Trans. Device Mater. Rel., vol. 3, pp. 58-68, 2003
- [9] J. A. Salcedo, J. J. Liou, and J. C. Bernier, Novel and robust silicon controlled rectifier(SCR) based devices fo on-chip ESD protection, IEEE Electron device Lett., vol. 25, pp. 658-660, 2004
- [10] S.-L. Jang, L.-S. Lin, S.-H. Li, Temperature-dependant dynamic triggering charactersitics of SCR-type ESD protection circuit Solid-State Electronics, 45, pp. 2005-2009, 2001

저 자 소 개

원 중 일 (학생회원)



2008년 : 서경대학교 전자공학과

졸업 (공학사)

2008년 3월~현재 :

서경대학교 대학원

전자컴퓨터공학과 (공학석사)

<주관심분야> ESD Protectoin,

Power Device, Power MOSFET, etc.

구 용 서 (정회원)

전기 전자 학회 논문지

(Journal of IKEEE) Vo18, No1 참조