

이식형 심장 박동 조율기를 위한 저전력 심전도 검출기와 아날로그-디지털 변환기

Low-Power ECG Detector and ADC for Implantable Cardiac Pacemakers

Young-Jae Min*, Tae-Geun Kim**, Soo-Won Kim**

민 영 재*, 김 태 근**, 김 수 원**

Abstract

A wavelet Electrocardiogram(ECG) detector and its analog-to-digital converter(ADC) for low-power implantable cardiac pacemakers are presented in this paper. The proposed wavelet-based ECG detector consists of a wavelet decomposer with wavelet filter banks, a QRS complex detector of hypothesis testing with wavelet-demodulated ECG signals, and a noise detector with zero-crossing points. To achieve high-detection performance with low-power consumption, the multi-scaled product algorithm and soft-threshold algorithm are efficiently exploited. To further reduce the power dissipation, a low-power ADC, which is based on a Successive Approximation Register(SAR) architecture with an on/off-time controlled comparator and passive sample and hold, is also presented. Our algorithmic and architectural level approaches are implemented and fabricated in standard 0.35 μ m CMOS technology. The testchip shows a good detection accuracy of 99.32% and very low-power consumption of 19.02 μ W with 3-V supply voltage.

요 약

본 논문에서 이식형 심장 박동 조율기를 위한 심전도 검출기와 아날로그-디지털 변환기(ADC)를 설계한다. 제안한 웨이블릿 심전도 검출기는 웨이블릿 필터 뱅크 구조의 웨이블릿 변조기, 웨이블릿 합성된 심전도 신호의 가설 검정을 통한 QRS 신호 검출기와 0-교차점을 이용한 잡음 검출기로 구성된다. 저전력 소모의 동작을 유지하며 보다 높은 검출 정확도를 갖는 심전도 검출기의 구현을 위해, 다중스케일 곱의 알고리즘과 적응형의 임계값을 갖는 알고리즘을 사용하였다. 또한 심전도 검출기의 입력단에 위치하는 저전력 Successive Approximation Register ADC의 구현을 위해, 신호 변환의 주기 중, 매우 짧은 시간 동안에만 동작하는 비교기와 수동 소자로 구성되는 Sample&Hold를 사용하였다. 제안한 회로는 표준 CMOS 0.35 μ m 공정을 사용하여 집적 및 제작되었고, 99.32%의 높은 검출 정확도와 3V의 전원 전압에서 19.02 μ W의 매우 낮은 전력 소모를 갖는 것을 실험을 통해 확인하였다.

Key words : Implantable Cardiac Pacemaker; Wavelet ECG Detector; Successive Approximation Register (SAR) Analog-to-Digital Converter(ADC); Multi-Scaled Product; Soft-Threshold Algorithm

* 高麗大學校 電氣電子工學科

(School of Electrical Engineering, Korea University)

** (주)래드스핀 (Radspin Co. Inc.)

★ 교신저자 (Corresponding author)

※ 본 논문은 2008-2009년도 2단계 두뇌한국(BK)21 사업, 과학기술부의 재원으로 국제과학기술협력재단(K20601000002-07E0100-00220)과 서울시 산학연 협력사업(10920)의 지원을 받아 수행된 연구임.

1. 서론

최근 현대사회에서는 인구의 고령화로 인하여 심장 질환, 정형외과 질환, 시각 장애 등으로 고통 받는 환자의 수가 매년 꾸준히 증가하고 있는 동시에, 의료기기 제조 기술의 급속한 진화와 환자에 대한 치료 전략의 변화로 이식 가능한 의료기기의 성장이 가속

화 되고 있다. 이식형 심장 박동 조율기는 1950년대에

소개 되었으며, 서맥(Bradycardia)과 심차단(Heart Break) 등의 심장 질환을 앓고 있는 환자의 몸 속에 이식된 후에 환자의 심박수와 심장의 리듬을 관찰하여 심장이 일시적으로 뛰지 않거나 느리게 났을 때, 심장에 적절한 전기적인 자극을 가하여 심박 상태를 정상적인 상태로 돌려 주는 역할을 한다.

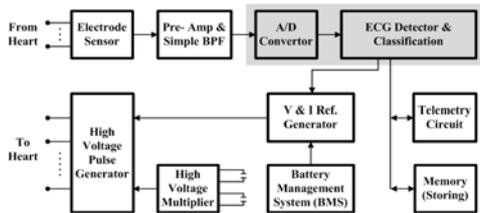


Fig. 1. Block Diagram of Implantable Pacemaker Integrated Circuit

그림 1. 이식형 심장 박동 조율기 집적 회로의 전체 구성도

그림 1은 기존에 제시된 이식형 심장 박동 조율기의 집적 회로(IPIC:Implantable Pacemaker Integrated Circuit)의 공통적인 구조이다[1]. 심장 박동 조율기의 센서에 해당하는 두 개의 전극선(Electrode)이 심장의 심방과 심실에 각각 연결되어 심장의 전기적인 신호를 전달하는 역할을 한다. 전극에서 얻어진 심장의 전기적 신호는 증폭과 필터를 통해 아날로그-디지털 변환기(ADC:Analog-to-Digital Converter)의 입력으로 전달되어, 심전도 검출기(ECG Detector)가 심장의 상태를 확인한다. 비정상적인 심장 박동일 경우, 펄스 발생기가 심장에 전기적 자극을 가한다. 이러한 이식형 심장 박동 조율기의 집적 회로는 근래 활발한 연구가 진행되고 있는 연구 분야 중 하나로서, 매우 복잡한 시스템으로 구성되어 있으며 보다 정교한 의료적 사양을 요구한다. 특히, 최근 이식형 심장 박동 조율기의 집적 회로 구현의 주요 쟁점은 배터리를 사용하는 회로의 특성상 요구되는 저전력의 안정성과 신뢰성을 확보하면서, 모든 블록을 하나의 칩에 집적화(SOC:System On a Chip)하는 것이다.

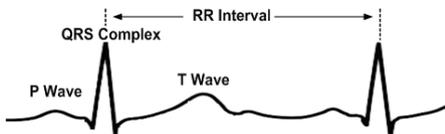


Fig. 2. Electrocardiogram(ECG) Signal

그림 2. 전형적인 심전도 신호

그림 2에서와 같이 IPIC의 기본 신호인 심전도 신호는 P 신호(P Wave), QRS 신호(QRS Complex)와 T 신호(T Wave)로 구성된다. QRS 신호는 낮은 주파수 간격(심전 주기=RR Interval)에서 큰 에너지와 높은 진폭을 가진다. 반면 P, T 신호는 보다 높은 주파수 간격에서 작은 에너지와 낮은 진폭을 가진다. 따라서 심부전이나 심근 경색 등의 심장병을 진단하기 위해서는 P, T 신호를 검출하기 보다는 QRS 신호를 검출하는 것이 용이하며, 잡음 등의 환경적인 요인들에 대해서도 효과적이다. 실제 심전도 신호는 낮은 주파수 영역에 위치하며, 잡음에 매우 민감한 경향을 보인다[2].

잡음 제거는 물론 심전도 신호의 중요한 점들을 검출하기 위한 다양한 심전도 검출 알고리즘이 제안되었다. 표 1은 기존의 심전도 검출 알고리즘들을 알고리즘 특징에 따라 구성의 복잡도와 심전도 검출 정확도의 성능을 요약하였다. J. Pan은 심전도 신호의 시간 영역에서의 실시간 분석 알고리즘을 [3]에서 제안하였다. 이러한 시간 영역에서의 알고리즘은 높은 차수의 균일한 대역 통과 필터의 구현이 어렵기 때문에 검출 정확도가 높은 성능을 갖기 어렵다. 반면 신경 회로망(Neural Network)을 기본으로 한 알고리즘[4]은 매우 높은 검출 정확도를 가진다. 그러나 환자마다 다른 심전도 신호를 기본으로 한 심전도 통계 모델을 결정하는 것 자체가 쉽지 않다. 특히 신경회로망과 웨이블릿 변환 알고리즘을 결합하여, 제안된 알고리즘[5]의 경우도 초대규모 집적회로(VLSI: Very Large Scale Integrated-circuit) 구현의 경우 매우 복잡한 하드웨어 구조를 가진다. 따라서 현재 집적도와 검출 정확도의 성능간의 상충되는 점을 고려한다면 [6], 가장 효과적인 심전도 검출 알고리즘은 웨이블릿 변환을 이용한 알고리즘이다.

Table 1. Comparison with Published ECG Detection Algorithms

표 1. 기존 심전도 검출 알고리즘 비교

Characteristic	Algorithms	Complexity	Performance
Time-Domain [3]	Time Domain Analysis	Simple	96-98%
Morphology [4]	Neural Network	Complex	99%
Combination [5]	Combined Algorithm	Very Complex	~ 99.9%
Time-Frequency Domain [6]	Time and Frequency Transforms : Wavelet , Hilbert, ...	Medium	> 99%

그림 1의 ADC는 실제 아날로그 심전도 신호를 디

지털화 하고, ECG 검출기에 전달하는 역할을 수행한다. ADC의 전력 소모는 심장 박동 조율기 시스템에서 많은 부분을 차지하는데, 심장 박동 조율기 시스템에서의 전력 소모를 줄이기 위해 저전력의 에너지 효율이 높은 ADC가 필요하다. 이론적으로 가장 좋은 전력 효율을 가지는 알고리즘 레벨의 ADC들 중 하나인, Successive Approximation Register(SAR) ADC의 다양한 저전력 설계가 제안되었다[7-9]. 비교기(Comparator)를 제외하고 디지털 또는 수동 소자로 구현 가능한 SAR ADC의 저전력 구현을 위해, Voltage-Scaling과 Clock-Gating의 기술이 사용되었다[10, 11]. 또한 비교기의 정적 전류를 줄여 전력 소모를 최소화하고자 하였다[10, 12]. 제안된 저전력 ADC 설계 기술들은 1KSample/s 이하의 변환 속도가 아닌, 그 이상의 빠른 변환 속도를 갖는 ADC 설계를 위해 제안되었다. 낮은 변환 속도를 요구하는 저전력 ADC 설계에서는, 변환에 필요한 짧은 시간동안만 동작하도록 하여 높은 에너지 효율을 갖는 ADC를 설계, 구현하는 것이 필요하다.

본 논문에서는 IPIC 내에서 심전도 신호를 효과적으로 검출하여 처리하기 위해, 개선된 웨이블릿 알고리즘의 심전도 검출기와 이식형 심장 박동 조율기의 전극을 통해 입력된 아날로그 심전도 신호를 디지털 신호로 변환하여 심전도 검출기에 제공하는 SAR ADC를 제안하였다. 저전력 소모를 유지하며 보다 높은 검출 정확도를 갖는 심전도 검출기의 구현을 위해, 다중스케일 곱(Multi-Scaled Product)의 알고리즘과 적응형의 소프트 임계값(Soft Threshold)을 갖는 알고리즘을 사용하였다. 또한 저전력 소모의 SAR ADC의 구현을 위해, 신호 변환의 주기 중, 매우 짧은 시간 동안에만 동작하는 비교기와 수동 소자로 구성되는 Sample&Hold(S&H)를 사용하였다.

논문의 구성은 다음과 같다. II장과 III장에서는 각각 높은 신뢰성의 저전력 웨이블릿 심전도 검출기와 SAR ADC를 제안하였다. 제안한 심전도 검출기와 ADC는 IV장의 그 구현과 실험 환경 및 실험 결과를 통해 평가 및 검증하였다. 마지막으로 V장에서 결론을 도출하였다.

II. 높은 신뢰성의 저전력 심전도 검출기

본 장에서는 높은 검출 정확도와 간소한 하드웨어 구조의 심전도 검출기 특성을 갖는, 기존 심전도 검출 알고리즘 중 VLSI에서 가장 효과적인 시간-주파수 영역과 시간-스케일 영역 모두에서 분석 가능한 웨이블릿 심전도 검출 알고리즘을 개선한 심전도 검

출기를 제안한다. 웨이블릿 심전도 검출기는 그림 3과 같이 심전도 입력 신호를 웨이블릿 변환을 통해 신호를 분석하는 웨이블릿 필터 뱅크(WFB:Wavelet Filter Bank)의 웨이블릿 변조기(Wavelet Decomposer), 잡음이 제거된 WFB 신호를 합성하여 멀티 스케일 곱의 알고리즘으로 QRS 신호를 검출하는 QRS 신호 검출기(QRS-D:QRS Complex Detector), 그리고 잡음 제거를 위해 심전도 입력 신호의 잡음 신호를 검출하여 QRS 신호 검출부의 제어신호를 생성하는 잡음 검출기(ND:Noise Detector)로 구성된다. 웨이블릿 변조기의 WFB에 의해 여러 주파수 대역(Sub-Band)으로 입력 심전도 신호를 분해한 신호들 WF_1, WF_2, WF_3, WF_4 를 잡음 대 신호비(SNR:Signal-to-Noise Ratio)에 따라, QRS 신호 검출기는 심장 박동 주기를 예측하게 된다. 잡음 검출기는 QRS 신호 검출기에서 WFB 출력에서 잡음을 제거하기 위한 제어신호가 되는 SNR 정보 ND 를 제공한다.

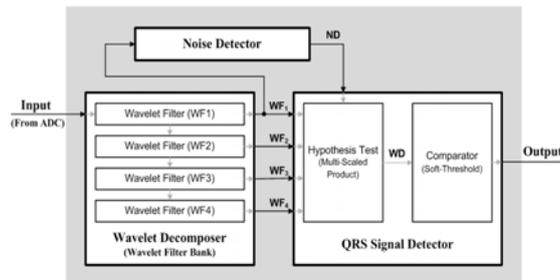


Fig. 3. Block Diagram of Proposed Wavelet ECG Detector
그림 3. 제안한 웨이블릿 심전도 검출기의 전체 구성도

1. 웨이블릿 변조기

Spline Dyadic 웨이블릿의 경우, 현재까지 제안된 웨이블릿 군들 중 가장 간단한 구조이기에 저전력의 간소한 구조의 저대역 통과 필터-고대역 통과 필터 쌍의 구성으로 가장 유리하다[13]. 또한 WFB 2 가지의 구현 구조 중, 데시메이터 필터 뱅크는 다운 샘플링(Down Sampling) 기법을 사용한다[14]. 언데시메이터 필터 뱅크 구조에 비해 적은 수의 레지스터를 사용하게 되므로 저전력의 심전도 검출기 구현이 가능하게 한다.

$$H(z) = \frac{1}{8} + \frac{3}{8}z^{-1} + \frac{3}{8}z^{-2} + \frac{1}{8}z^{-3} \quad (1)$$

$$G(z) = 2 - 2z^{-1} \quad (2)$$

Quadrature Spline Dyadic 웨이블릿은 그림 4와 같

이 식 (1)의 저대역 통과 필터 $H(z)$ 와 식 (2)의 고대역 통과 필터 $G(z)$ 를 기본으로 WFB를 구현한다. 심전도 신호는 8비트 ADC를 통해 1KHz 샘플링 속도로 웨이블릿 변조기에 입력된다. 물론 샘플링 속도가 변화되면 필터의 계수도 변화되어야 한다. 저전력 구현을 위해 필터 계수 $[-1, 1]$ 과 $[1, 3, 3, 1]$ 의 필터로 구성되는 WFB는 덧셈과 시프트 연산만으로 구현하였다. 초단의 웨이블릿 필터의 샘플링 속도는 실험에서 사용될 MIT-BIH 표준 데이터베이스[15]와 동일한 1KHz이다.

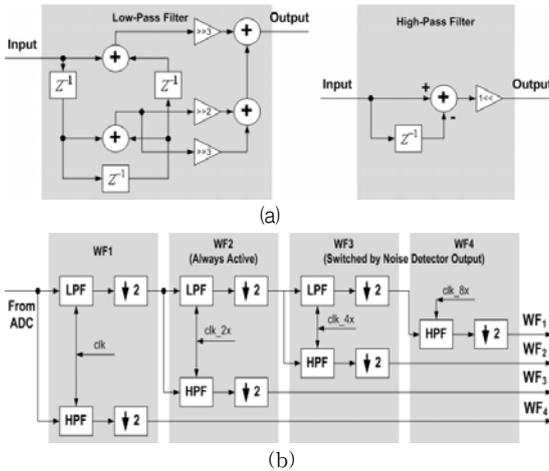


Fig. 4. (a) Schematic of Low-Pass Filter $H(z)$ and High-Pass Filter $G(z)$, (b) Schematic of Wavelet Decomposer with Wavelet Filter Bank

그림 4. (a) 웨이블릿 필터 बैं크의 저대역 통과 필터 $H(z)$ 와 고대역 통과 필터 $G(z)$ 의 회로도, (b) 웨이블릿 필터 बैं크로 구성된 웨이블릿 변조기 회로도

2. QRS 신호 검출기

기존 웨이블릿 심전도 신호 복원부는 GLRT (Generalized Likelihood Ratio Test)의 알고리즘을 사용한다[16, 17]. GLRT 알고리즘은 알려지지 않은 매개 변수를 최대로 예측하여 최대의 가능성을 찾는 알고리즘으로 2개 이상의 곱셈기의 구현을 위해 많은 레지스터가 필요하다. 복잡한 하드웨어 구조로 인해 많은 전력을 소모하는 기존 심전도 검출기를 개선하는, 다중스케일 곱을 사용한 간소한 하드웨어 구조의 웨이블릿 심전도 신호 복원부를 제안한다[18, 19]. 그림 5 (a)와 같이 다중스케일 곱의 알고리즘은 원하는 신호, 즉 잡음이 제거된 가장 많은 성분을 가진 웨이블릿 영역의 신호와 합을 구한다. 식 (3)은 멀티스케일 곱의 알고리즘을 구현한 수식이 되겠다. 식 (3)에서 I 는 복원을 위한 합성에 사용되는 유효한 WFB의

분해된 출력의 부분 집합을 나타낸다.

$$MP_I = \prod_I |WF_I| \tag{3}$$

잡음이 심한 환경, 즉 SNR이 현저히 낮은 환경에서, GLRT 알고리즘이 다중스케일 곱의 알고리즘에 비해 심전도 신호 검출 정확도 성능이 우수하다[16]. 그러나 GLRT 알고리즘의 경우 다수의 곱셈기와 덧셈기를 포함하는 많은 레지스터를 보유한 복잡한 하드웨어 구조로 구현된다.

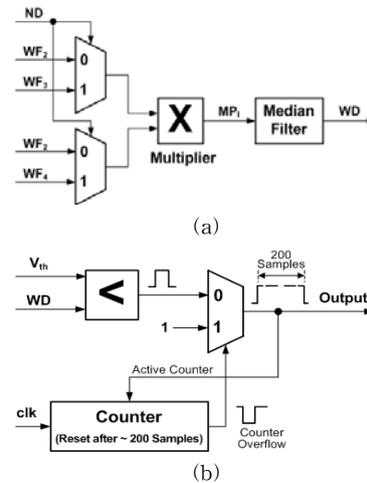


Fig. 5. Schematic of QRS Complex Detector : (a) Multi-Scaled Product Algorithm, (b) Soft-Threshold Algorithm

그림 5. QRS 신호 검출기 회로도 : (a) 다중스케일 곱의 알고리즘, (b) 소프트 임계값을 갖는 알고리즘

QRS 신호 검출부는 웨이블릿 분해부와 멀티스케일 곱에 의해 잡음이 제거 후, 합성된 신호 WD 에서 QRS 신호를 검출한다. 심전도 신호의 T점이 여전히 높은 진폭을 가지기에, QRS 신호 검출 시 T 신호가 포함된 신호를 검출하여 심전도 검출 정확도가 떨어질 가능성이 존재한다. 이를 위해, 그림 5 (b)의 적응형의 소프트 임계값[20]과 비교기의 동작 여부를 제어하는 카운터로 구성된 QRS 신호 검출기를 제안한다. 비교기는 QRS 신호 검출 후, 약 200개의 샘플링 후에 재동작 된다. 비교기는 QRS 신호 검출기로 입력된 심전도 신호의 QRS 첨두치와 외부에서 가하는 소프트 임계값 V_{th} 를 비교하여 검출된 최종 심전도 신호를 출력한다.

3. 잡음 검출기

잡음 검출기는 특정 시간 간격 동안 0-교차점 (Zero-Crossing Point)의 수를 카운트 하는 가장 간단한 하드웨어 구조를 갖는 방법 중 하나로 구현된다 [21]. WFB의 WF_i 신호를 XOR 연산을 통해, 입력 신호 변화를 보여주는 양과 음의 신호로 구현된다. 리셋 카운터(Reset Counter)는 약 200mS의 리셋 시간 간격(Reset Interval)동안 카운트를 동작하는 리셋 신호를 생성한다. 0-교차점 카운터(Counter of Zero-Crossing Points)는 이를 카운트 하여 잡음의 정도에 따라 "0" 또는 "1"의 신호를 출력한다. 잡음 검출기의 출력 "0"은 높은 SNR 환경에서 출력되며, "1"은 낮은 SNR 환경에서 출력된다. 그림 6은 구현한 잡음 검출기의 회로도이다.

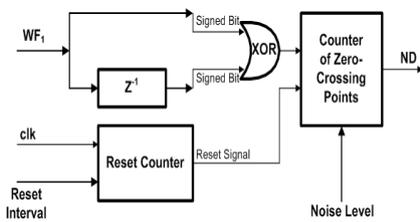


Fig. 6. Schematic of Noise Detector
그림 6. 잡음 검출기의 회로도

III. 저전력 SAR ADC

이식형 의료 기기에 사용되는 ADC는 빠른 변환 속도를 요구치 않으며, 매우 적은 전력 소모를 요구한다. 그림 7의 SAR ADC는 내부의 디지털-아날로그 변환기(DAC: Digital-to-Analog Converter)에서 생성되는 기준 전압을 아날로그 입력 전압 V_{IN} 을 입력으로 하는 S&H의 출력 V_H 과 비교한 뒤, 이진 검색 알고리즘을 이용하여 기준 전압이 입력 전압과 동일해 지도록 디지털 데이터를 발생시키는 데이터 변환기이다. SAR ADC는 S&H와 비교기를 제외한 나머지 블록은 모두 디지털로 구현되기 때문에, 저전력으로 8 비트 이상의 데이터 변환이 가능하다.

1. 비교기

SAR ADC에서 비교기는 S&H에서 공급되는 입력 전압과 내부의 DAC에서 생성되는 기준 전압을 비교하는 역할을 한다. 비교기는 ADC의 해상도인 1LSB의 전압 차이를 감지할 수 있어야 하며, Rail-to-Rail로 동작할 수 있어야 한다. 또한 비교기는 SAR ADC에서 전력 소모가 많은 블록이므로 전력 소모를 줄일

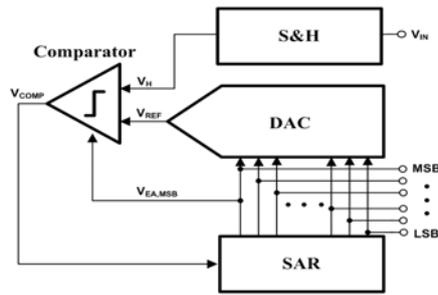


Fig. 7. Block Diagram of SAR ADC
그림 7. SAR ADC의 전체 구성도

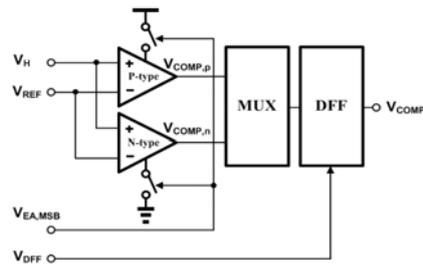


Fig. 8. Block Diagram of Proposed Comparator
그림 8. 제안한 비교기의 전체 구성도

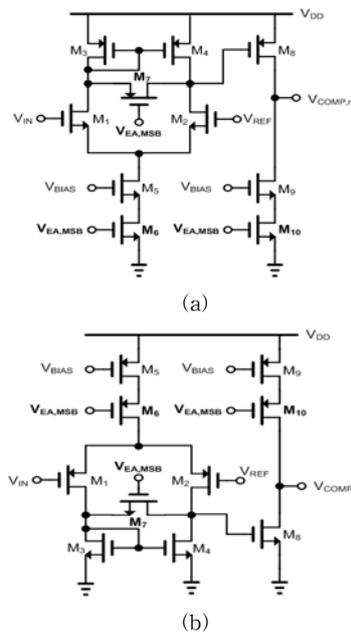


Fig. 9. Schematic of Comparator : (a) NMOS Input Stage Comparator, (b) PMOS Input Stage Comparator
그림 9. 비교기 회로도 : (a) NMOS쌍 입력을 갖는 비교기, (b) PMOS쌍 입력을 갖는 비교기

수 있는 구조로 설계해야 한다. 그림 8은 제안하는 Rail-to-Rail 동작의 비교기 구성도이다. 제안한 비교기는 SAR 레지스터의 MSB의 값에 따라 동작하는 NMOS쌍의 입력을 갖는 비교기, PMOS쌍의 입력을 갖는 비교기와 2:1 멀티플렉서(MUX:Multiplexer)로 구성된다. MSB가 "1"인 경우 NMOS쌍의 입력을 갖는 비교기가, MSB가 "0"인 경우 PMOS쌍의 입력을 갖는 비교기가 동작을 하게 되어, Rail-to-Rail 동작을 구현하였다. 2:1 MUX는 SAR 레지스터의 MSB에 따라, 동작하는 유효한 비교기를 선택한다.

이진 검색법을 사용하는 SAR ADC의 경우 비교기의 입력 값이 순차적으로 바뀌므로, 다시 말해 비교기의 입력 공통 모드 범위가 순차적으로 바뀌므로 이를 이용하면 Rail-to-Rail 비교기의 구현이 수월하다. SAR ADC는 V_{SS} 가 0V인 경우, 제일 먼저 입력 신호가 $V_{DD}/2$ 보다 큰지 작은지에 따라 MSB 신호를 결정하게 된다. 따라서 MSB가 1일 경우에는 입력 신호의 레벨이 $V_{DD}/2$ 에서 V_{DD} 사이의 값이 되므로 NMOS쌍의 입력을 갖는 비교기를 이용하여 데이터 변환 동작을 계속할 수 있게 되며, PMOS쌍의 입력을 갖는 비교기를 Off 시켜서 전력 소모를 줄일 수 있다. 반대로 MSB가 0일 경우에는 입력 신호의 레벨이 0에서 $V_{DD}/2$ 사이의 값이 되므로 PMOS쌍의 입력을 갖는 비교기를 이용하여 데이터 변환을 수행시키고, NMOS쌍의 입력을 갖는 비교기를 Off 시켜서 전력 소모를 줄일 수 있다. 그림 9는 NMOS쌍의 입력을 갖는 비교기와 PMOS쌍의 입력을 갖는 비교기의 회로도이다. 그림 9 (a)에서는 입력 트랜지스터 M1, M2가 NMOS를, 그림 9 (b)에서는 입력 트랜지스터 M1, M2가 PMOS를 사용하여 구현하였다.

또한 비교기의 전력 소모를 줄이기 위하여 일정 구간에서만 비교기를 동작시키고, 나머지 구간에서는 비교기를 Off 시키는 On/Off 시간의 디지털 제어 가능한 비교기를 제안하였다. 그림 10은 제안한 그림 9의 Rail-to-Rail 비교기의 제어 스위치 M6, M7, M10에 인가되는 비교기의 동작 여부 제어 신호들이다. 비교기는 전체 V_{CLK} 의 전체 주기에 비해 약 100nS의 매우 짧은 시간만 동작하도록 구현하였다.

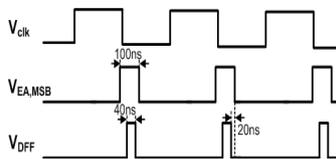


Fig. 10. Timing Diagram of Proposed Comparator
그림 10. 제안한 비교기의 타이밍도

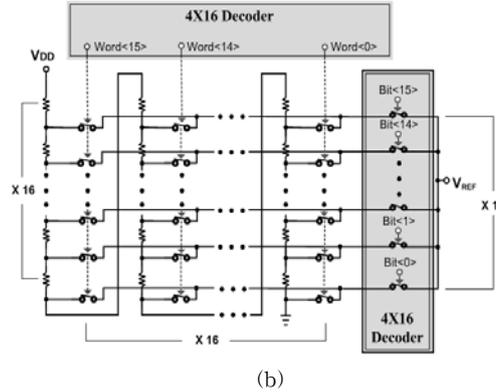
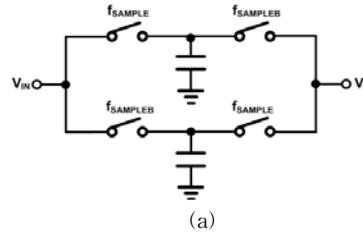


Fig. 11. (a) Schematic of S&H, (b) Schematic of DAC
그림 11. (a) S&H 회로도, (b) DAC 회로도

2. 기타 회로

S&H는 ADC의 제일 앞 단에서 입력 신호를 받아, 다음 단에서 신호를 N비트로 변환하는 동안 그 신호의 값을 일정하게 유지하는 역할을 한다. S&H는 크게 개루프 구조와 폐루프 구조로 나눌 수 있다. 개루프 구조는 그 구조가 단순하므로 전력 소비가 적고 상대적으로 더 빠른 속도를 구현할 수 있다. 동작 속도는 입력 임피던스, 스위치의 임피던스, 커패시터간의 RC-시상수(Time Constant)에 의해 정해진다. 반면, 폐루프 구조는 출력 버퍼의 Settling 시간에 의존한다. 또한 전력 측면에서 Unity-Gain의 증폭기를 사용한 폐루프 구조보다 스위치와 커패시터를 사용하는 개루프 구조가 정전류원이 없기 때문에 전력을 적게 소모한다. 본 논문에서는 저전력의 동작을 위해, 그림 11 (a)와 같은 개루프 구조의 Time-Interleaved S&H를 구현하였다. 구현한 S&H는 수동 소자만을 사용하며, 정전류원이 없기 때문에 매우 적은 전력으로 동작이 가능하다. Sampling 스위치가 f_{SAMPLE} 의 클럭에 의해 On되어 있을 때 입력을 추적(Track)하게 되고, Off되어 있을 때 그 값을 유지(Hold)하게 된다. 두개의 스위치를 서로 교차하여, 입력 신호의 변환 구간 내 어느 시간에서나 항상 입력 값을 일정하게 유지하는 출력으로 내놓을 수 있게 한다.

DAC는 비교기의 기준 전압을 만드는 역할을 한다. SAR ADC 알고리즘은 ADC의 해상도와 같은 해상도를 가진 DAC가 필요하다. 커패시터 Array는 실제 칩 내부에서 선형적으로 크기를 증가시키기가 힘들기 때문에, 고해상도 DAC에 사용하기 어려운 단점이 있다. 또한 Metal-Insulator-Metal(MIM) 커패시터들은 상대적으로 정전 용량 값이 작으므로, 큰 용량 값을 갖는 커패시터를 설계할 때 칩 내부에 넣기 힘들다. 따라서 게이트 Oxide를 이용한 MOS 커패시터를 사용하게 되는 경우 매우 넓은 면적을 차지하게 된다. 또한 실제 MOS 커패시터는 바이어스 전압에 따라 비선형적인 커패시터 값을 보여준다는 단점이 있다. 따라서 본 논문에서는 그림 11 (b)의 커패시터를 사용하지 않은, 8비트의 해상도를 갖는 Matrix 구조의 저항 String DAC를 제안하였다.

IV. 회로 구현 및 실험 결과

제안한 회로는 삼성 CMOS 0.35 μ m 공정을 사용하여 집적화 되었다. 그림 12는 제작된 회로의 칩 사진으로, 패드를 제외한 전체 칩 면적은 2.81mm²이다. ADC의 S&H, 비교기, 기준 전압을 발생시키는 DAC를 제외한 모든 디지털 회로는 CMOS 공정의 표준 로직 셀을 이용하는 Cell-Based 설계로 집적하였다. 표 2는 Cell-Based 설계로 구현한 디지털 회로의 하드웨어 구성을 나타낸다.

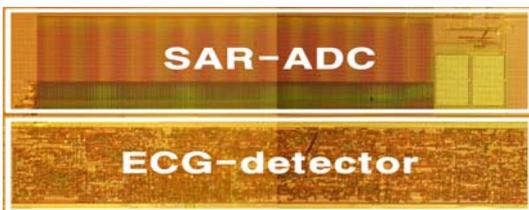


Fig. 12. Photograph of Fabrication Circuits
그림 12. 제작된 칩 사진

Table 2. Hardware Elements of Proposed ECG Detector
표 2. 제안한 심전도 검출기의 하드웨어 구성 요소

Block	D-FlipFlop	Adder	Counter	Comparator	Multiplier
WFB	104	128	-	-	-
ND	8	-	8	-	-
QRS-D	-	-	16	2	1
SAR ADC	40	32	4	-	-
Total	152	160	28	2	1

집적된 ADC의 8비트 출력 디지털 데이터는 Logic Analyzer를 이용하여 샘플링한 뒤, MATLAB의 Windowing과 FFT를 통하여 ADC의 동적 특성을 측정하였다. 측정에는 3V의 전원 전압을 사용하였으며, 16KHz의 클럭을 사용하였고, 출력 디지털 데이터는 1.024KHz의 Sampling 주파수를 가진다. 128Hz의 입력 주파수를 가지는 사인파를 입력으로 인가한 뒤, 측정된 ADC 출력의 FFT 결과를 그림 12에 나타내었다. 측정된 SNR은 46.9dB이며, SNDR은 45.4dB이다. 유효 비트수(ENOB : Effective Number of Bit)는 식 (4)와 같이 약 7.5비트가 측정되었다. 제안한 ADC 회로의 평균 전력 소모량은 5.4 μ W이다. 표 3에 실험을 통해 측정된 ADC의 성능을 요약하였다.

$$ENOB = \frac{SNR - 1.76dB}{6.02} = \frac{46.9dB - 1.76dB}{6.02} \approx 7.5(\text{Bit}) \quad (4)$$

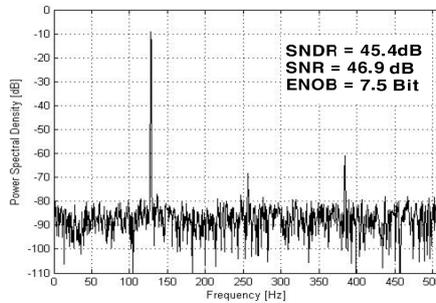


Fig. 12. Measured Reconstructed Spectrum of Fabricated SAR ADC

그림 12. 제작된 SAR ADC의 실험 출력 스펙트럼 결과

Table 3. Measured Performance of Proposed SAR ADC

표 3. 제안한 SAR ADC의 측정 성능 요약

Technology	0.35 μ m CMOS
Supply Voltage	3.0V
Sampling Rate	1.024KHz
Input Signal Swing	3.0V (Rail-to-Rail)
SNR / SNDR	46.9dB / 45.4dB
INL /DNL	1.5LSB / 1LSB
Power Consumption	5.4 μ W
Chip Area	1.6mm ²

제안한 회로의 보다 실제적인 검증을 위해 MIT-BIH 표준 데이터베이스[15]의 심전도 신호를 임의의 파형 발생기 Tektronix AWG420을 통해 아날로그 입력

신호를 생성하는 등의 실험 환경을 구축하였다. 그림 13은 심전도 검출기의 동작을 검증한, 시간축에 따라 측정된, 즉 오실로스코프를 통해 측정된 신호이다. 각각 심전도 검출기 심전도 입력, 잡음 검출기 출력, 웨이블릿 복원부 출력, 최종 심전도 출력의 신호이다.

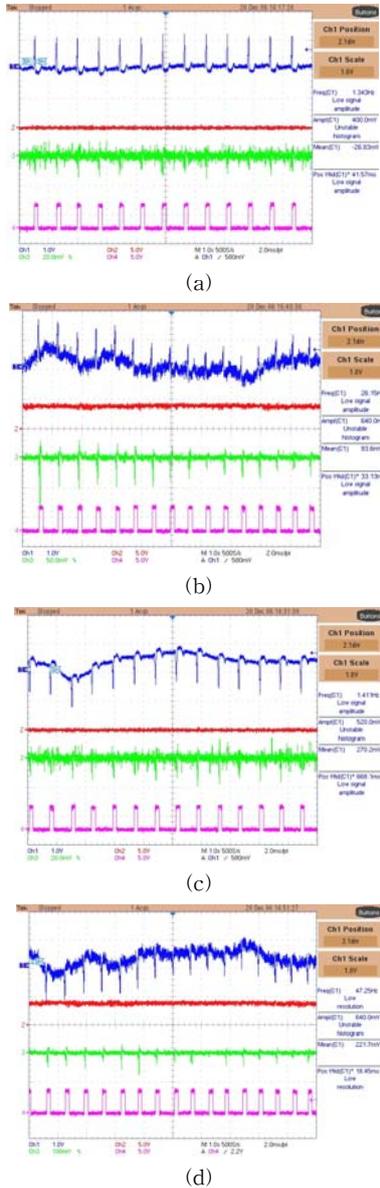


Fig. 13. Measured Waveforms of Fabricated ECG detector
 그림 13. 제작된 심전도 검출기의 실험 결과 파형

그림 13 (a)는 높은 SNR의 환경에서 일반적인 심전도 입력인 경우, 그림 13 (b)는 낮은 SNR의 환경에서 DC-오프셋을 갖는 심전도 입력인 경우, 그림 13 (c)는 높은 SNR의 환경에서 반전된 심전도 입력인 경우, 그리고 그림 13 (d)는 낮은 SNR의 환경에서 DC-오프셋은 물론 반전된 심전도 입력인 경우의 실험 파형이다. 표 4는 제안한 심전도 검출기에 MIT-BIH 표준 데이터베이스의 여러 기록 신호들을 입력하여 검출 결과를 기록한 표이다. 이는 그림 13의 실험 환경 중, 낮은 검출 정확도를 가지는 것을 기록하였다. 평균 99.32%의 높은 심전도 검출 정확도가 측정되었으며, 3V의 전원 전압에서 평균 19.02μW의 소모 전력을 갖는 것을 실험을 통해 확인하였다. 표 5에 제안한 심전도 검출기의 실험 결과를 기존 심전도 검출 알고리즘과 비교 및 요약하였다.

Table 4. Measured detection accuracy of Fabricated ECG detector

표 4. 제작된 심전도 검출기의 측정 검출 정확도

Recording No. of [2]	100	109	111	119	200	201	231	233
Error Points	6	1	2	1	3	21	3	8
Total Point	2273	2532	2124	1987	2601	1963	1886	3079
Accuracy(%)	99.73	99.96	99.90	99.95	98.88	98.90	99.80	99.74

Table 5. Performance Comparisons of Published ECG Detectors

표 5. 제안한 심전도 검출기와 기존 심전도 검출기의 성능 비교 및 요약

Block	This Work	[16]	[22]	[23]
Algorithm	Discrete Wavelet	Discrete Wavelet	Neural Network	Hilbert
Hardware Complexity	923 Cells	2665 Cells	Very Many Cells	-
Detection Accuracy	>99%	>99%	>89%	>99%
Real-Time Detection	0	0	0	0

V. 결론

본 논문은 보다 높은 검출 정확도와 보다 간소한 하드웨어 구조를 갖는, 기존 웨이블릿 심전도 검출기를 개선한 저전력의 심전도 검출기와 그 입력단의 데이터 변환기로 사용되는 저전력의 SAR ADC를 제안하였다. 제안한 회로는 삼성 CMOS 0.35μm 공정을 이용하여 집적화 하였는데, 2.81mm²의 면적에 3V의 전원 전압에서 평균 19.02μW의 매우 낮은 소모 전력

을 가지면서 99.32%의 높은 심전도 검출 정확도를 갖는 것을 확인하였다. 특히 제안한 심전도 검출기는 최근에 발표된 웨이블릿 심전도 검출기에 사용된 표준 셀의 35%인 923개의 표준 셀만을 사용하여, 간소한 하드웨어 구조를 가지는 것을 확인하였으며, 설계한 ADC는 기존 ADC의 전력 소모를 On/Off 시간의 제어가 가능한 비교기를 제안하여 저전력 동작을 가능케 하였다.

본 논문에서 구현한 회로는 이식형 심장 박동 조율기는 물론 배터리를 사용하여 저전력 소모 동작을 요구하는 의료기기 산업 전반에 활용이 가능한 핵심 기술로 평가된다. 게다가 구현한 집적 회로는 CMOS 공정의 표준 로직 셀을 사용하였는데, 클럭 게이트 구조[24]나 스택 구조의 트랜지스터 회로[25]를 사용하는 설계를 통해 보다 저전력의 구현이 가능하리라 기대된다.

참고문헌

- [1] L. S. Y. Wong, S. Hossain, A. Ta, J. Edvinsson, D. H. Rivas, and H. Naas, "A Very Low-Power CMOS Mixed-Signal IC for Implantable Pacemaker Applications," *IEEE JSSC*, vol. 39, no. 12, pp. 2246-2456, Dec. 2004
- [2] G. M. Friesen, T. C. Jannett, M. A. Jadallah, S. L. Yates, S. R. Quint, and H. T. Nagle, "A Comparison of the Noise Sensitivity of Nine QRS Detection Algorithms," *IEEE Trans. on Biomedical Eng.*, vol. 37, no. 1, pp. 85-98, Jan. 1990
- [3] J. Pan, and W. J. Tompkins, "A Real-Time QRS Detection Algorithm," *IEEE Trans. on Biomedical Eng.*, vol. 32, no. 3, pp. 230-236, Mar. 1985
- [4] Y. H. Hu, W. J. Tompkins, J. L. Urrusti, and V. X. Afonso, "Applications of artificial neural networks for ECG signal detection and classification," *J. Electrocardiol.*, vol. 26, pp. 66-73, 1994
- [5] S. M. Szilagyi, and L. Szilagyi, "Wavelet Transform and Neural-Network-Based Adaptive Filtering for QRS Detection," *Proceeding of the 22nd IEEE Engineering in Medicine and Biology*, vol. 2, pp.1267-1270, Sep. 2003
- [6] B. U. Kohler, C. Hennig, and R. Orglmeister, "The Principles of Software QRS Detection," *IEEE Engineering in Medicine and Biology Magazine*, vol. 21, no. 1, pp. 42-57, Jan.-Feb. 2002
- [7] A. Matsuzawa, "Technology Trend of ADCs," *IEEE Symposium on VLSI-DAT*, pp. 176-179, Apr. 2008
- [8] B. Black, *Analog-to-Digital Converter Architectures and Choices for System Design*, Analog Devices, 1999
- [9] A. P. Chandrakasan, N. Verma, and D. C. Daly, "Ultralow-Power Electronics for Biomedical Applications," *Annual Review of Biomedical Engineering*, vol. 10, pp. 247-274, Apr. 2008
- [10] M. van Elzakker, E. van Tuijl, P. Geraedts, D. Schinkel, E. Klumperink, and B. Nauta, "A 1.9 μ W 4.4fJ/Conversion-step 10b 1MS/s Charge-Redistribution ADC," *IEEE ISSCC Dig. Tech Papers*, pp. 244-245, Feb. 2008
- [11] J. Sauerbrey, D. Schmitt-Landsiedel, and R. Thewes, "A 0.5-V 1- μ W Successive Approximation ADC," *IEEE JSSC*, vol. 38, no. 7, pp. 1261-1265, Jul. 2003
- [12] A. Agnes, E. Bonizzoni, P. Malcovati, and F. Maloberti, "A 9.4-ENOB 1V 3.8 μ W 100KS/s SAR ADC with Time-Domain Comparator," *IEEE ISSCC Dig. Tech. Papers*, pp. 246-247, Feb. 2008
- [13] P. Getreuer, *Filter Coefficients to Popular Wavelets*, MATLAB Central, Oct. 2005
- [14] S. G. Mallat, "A Theory for Multiresolution Signal Decomposition: The Wavelet Representation," *IEEE Trans. on Pattern Analysis and Machine Intelligence*, vol. 11, no. 7, pp. 674-693, Jul. 1989
- [15] www.physionet.org/physiobank/database/mitbih
- [16] J. N. Rodrigues, T. Olsson, and V. Owall, "A Dual-Mode Wavelet Based R-Wave Detector using Single-Vt for Leakage Reduction," *IEEE ISCAS*, vol. 2, pp. 1330-1333, May 2005
- [17] S. M. Kay, and J. R. Gabriel, "An Invariance Property of the Generalized Likelihood Ratio Test", *IEEE Signal Processing Letters*, vol. 10, no. 12, pp. 352-355, Dec. 2003
- [18] P. B. M. Sadler, T. Pham, and L. C. Sadler, "Optimal and wavelet-based shock wave detection and estimation," *Journal Acoustic Society of America*, vol. 104, no. 2, pp. 955-963, Aug. 1998
- [19] K. H. Kim, and S. J. Kim, "A Wavelet-Based Method for Action Potential Detection From Extra-cellular Neural Signal Recording With Low Signal-to-Noise Ratio," *IEEE Trans. on Biomedical Eng.*, vol. 50, no. 8, pp. 999-1001, Aug. 2003

[20] D. L. Donoho, "De-Noising by Soft-Threshold," *IEEE Trans. on Information Theory*, vol. 41, no. 3, pp. 613-626, May 1992

[21] V. T. Jordanov, D. L. Hall, and M. Kastner, "Digital Peak Detector with Noise Threshold," *IEEE Nuclear Science Symposium Conference Record*, vol. 1, pp. 140-142, Nov. 2002

[22] K. A. K. Azad, Z. M. Darus, and M. A. M. Ali, "Testable ASIC Design for A Fuzzy Logic Based QRS Complex Detector," *IEEE ICSE*, pp.175-178, Nov. 1998

[23] D. S. Benitez, P. A. Gaydecki, A. Zaidi, and A. P. Fitzpatrick, "A New QRS Detection Algorithm Based on the Hilbert Transform," *Computers in Cardiology*, pp. 379 - 382, Sep. 2000

[24] F. Emmett, and M. Biegel, *Power Reduction Through RTL Clock Gating*, Automotive Integrated Electronics Corporation, 2000

[25] K. Loy, "Leakage Power Reduction in Low-Voltage CMOS Design," *IEEE ICECS*, vol. 2, pp. 167-173, Sep. 1998

저 자 소 개

민 영 재 (학생회원)



2006년 : 고려대학교
전기전자전파공학부 (공학사)
2008년 : 고려대학교 바이오마이크로시스템기술 (공학석사)
2008년 9월~현재 : 고려대학교
전자전기공학과 (박사과정)
<주관심분야> High-Speed

CMOS Transceiver, Nyquist-Rate Data Converter, $\Sigma\Delta$ Modulator

김 태 근 (비회원)



1979년 : 서울대학교 전자공학과 (공학사)
1981년 : 서울대학교 전자공학과 (공학석사)
1988년 : Texas A&M 대학교 전자공학과 (공학박사)
1989년 3월~1997년 5월 :

현대전자 이사

1997년 5월~1998년 12월 : 동부전자 상무이사
1998년 12월~2008년 7월 : 슬림텍(주) 대표이사
2007년 5월~2008년 3월 : (주)씨티엘 대표이사
2008년 8월~현재 : 나노엘에스아이(주) 고문
2009년 1월~현재 : (주)래드스핀 이사

<주관심분야> High-Speed CMOS Transceiver, Power Management Devices

김 수 원 (정회원)



1974년 : 고려대학교 전자공학과 (공학사)
1983년 : Texas A&M 대학교 전자공학과 (공학석사)
1987년 : Texas A&M 대학교 전자공학과 (공학박사)
1989년 3월~현재 : 고려대학교 전자공학과 교수

<주관심분야> High-Speed CMOS Transceiver, Nyquist-Rate Data Converter, $\Sigma\Delta$ Modulator