

CCD 영상센서를 위한 CMOS 아날로그 프론트 엔드

CMOS Analog-Front End for CCD Image Sensors

Daejeong Kim^{**}, Jeongkwon Nam^{*}

김대정^{**}, 남정권^{*}

Abstract

This paper describes an implementation of the analog front end (AFE) incorporated with the image signal processing (ISP) unit in the SoC, dominating the performance of the CCD image sensor system. New schemes are exploited in the high-frequency sampling to reduce the sampling uncertainty apparently as the frequency increases, in the structure for the wide-range variable gain amplifier (VGA) capable of 0~36 dB exponential gain control to meet the needed bandwidth and accuracy by adopting a new parasitic insensitive capacitor array. Moreover, the double cancellation of the black-level noise was efficiently achieved both in the analog and the digital domain. The proposed topology fabricated in a 0.35- μm CMOS process was proved in a full CCD camera system of 10-bit accuracy, dissipating 80 mA at 15 MHz with a 3.3 V supply voltage.

요약

본 논문은 고성능 이미지 센서인 CCD 시스템에서 전체 시스템의 성능을 좌우하는 아날로그 프론트 엔드(analog-front end, AFE)를 영상신호처리 유닛과 함께 SoC로써 구현한 설계에 관한 것이다. 데이터의 전송속도가 빨라짐에 따라 데이터 샘플링의 불확실성을 낮추었으며, 0~36 dB의 높은 이득을 가지는 지수함수적인 가변 이득 단의 대역폭을 구현하기 위한 구조 및 증폭기의 정밀도를 높이기 위한 기생 커패시터스에 둔감한 커패시터 배열을 개발하였다. 또한, 블랙-레벨 상쇄를 위한 아날로그 및 디지털 영역에서의 이중 블랙 레벨 상쇄를 효과적으로 구현하였다. 제안된 구조를 0.35- μm CMOS 공정으로 구현하였으며, 10-bit 해상도의 전체 CCD 카메라 시스템에 적용하여 그 동작을 검증하였다. 제안한 AFE는 3.3 V 공급전압 및 15 MHz의 데이터 전송속도에서 80 mA를 소모하였다.

Key words : CCD, analog front end, variable gain amplifier

1. 서론

캠코더, 디지털 카메라, 보안 카메라 등의 고성능

이미지 시스템 시장에서의 CCD 이미지 센서의 응용이 늘어나고 있다. 전하결합 소자(charge-coupled device, CCD)는 빛을 전기적인 신호로 바꾸어 주는 소자로서, 내부의 고전압 신호를 발생하기 위한 전압 구동칩뿐만 아니라 CCD의 출력 아날로그 신호를 환경에 따라 적절하게 증폭하여 디지털로 변환해 주는 아날로그 인터페이스 시스템(analog-front end, AFE) 및 바로 뒤에서 디지털 신호를 입력받아 영상신호처리를 담당하는 영상신호처리 시스템(image signal processor, ISP)을 필요로 한다[1]. CCD 배열(array)로부터의 아날로그 신호는 공정, 전압, 온도(PVT) 변

* 國民大學校 電子工學部
(School of Electrical Engineering, Kookmin University)

★ 교신저자 (Corresponding author)

※ 감사의 글 (Acknowledgment) 본 논문은 국민대학교의 연구지원에 의해 수행되었습니다. 반도체설계교육센터 (IDEC)의 소프트웨어 지원에 감사드립니다.

接受日:2009年 3月 5日, 修正完了日:2009年 3月25日

화 및 동작조건의 변화에 매우 민감하므로, 이를 잘 받아들여서 적절한 증폭 및 디지털 변환을 통해 디지털 영역으로 보내주는 아날로그 프론트 엔드의 성능이 전체 시스템의 성능을 좌우할 정도로 중요하다. 특히, 고속 데이터 샘플링 시 발생하는 샘플링 오차, CCD에 내재하는 블랙 픽셀 레벨의 상쇄 기법, 0~36 dB의 광대역 가변이득단의 설계 등은 아날로그 프론트 엔드 시스템의 주요 극복 과제이다.

본 논문은 10-bit 15-Msamples/s를 처리할 수 있는 AFE의 구현에 관한 것이다. 구현된 AFE는 일종의 IP의 형태로서 다음 단의 ISP와 함께 SoC의 형태로써 같은 칩에 집적되었다. 제안하는 AFE는 상관이중 샘플러(correlated double sampler, CDS), 가변이득 m-DAC(variable-gain multiplying D/A converter, V-MDAC), 다단(multi-stage) 가변이득 증폭기(variable-gain amplifier, VGA) 및 파이프라인 ADC(pipeline ADC)로써 구성된다.

II. 본론

1. 구조 및 회로

제안하는 CCD 영상신호 처리를 위한 구조는 특히, 고속 데이터 전송을 위한 샘플링 대책, 블랙 레벨 잡음 제거를 위한 기법 및 회로, 넓은 이득 범위를 구현하기 위한 가변이득증폭기의 구조, 지수함수적인 이득특성을 위한 기법 및 성능향상 회로를 포함하고 있다.

가. 전체 구조

전형적인 CCD의 이미지 출력신호는 그림 1에 보인 것처럼 리셋(reset)과 기준레벨(reference level) 및 데이터레벨(data level)로써 구성된다. 여기서의 신호는 기준레벨과 데이터레벨의 차이 값으로서 최대 신호범위는 1 V이다. 이를 샘플링하기 위해서는 기준레벨을 샘플링 하고나서 데이터 레벨을 샘플링 하여 그 차이를 구하는 상관이중 샘플링(CDS) 동작이 필요하다. 본 설계에서는 영상처리부(ISP)가 기준클럭(CK_ref) 및 데이터클럭(CK_data)을 발생하며 각각 1 ns의 해상도로써 수 ns 범위의 샘플링 지연을 조절할 수 있다.

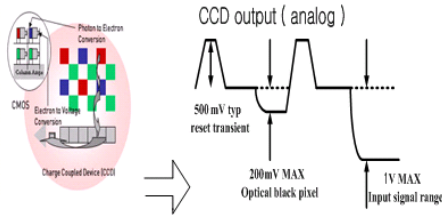


Fig. 1. Correlated double sampling of CCD signal
그림 1. CCD 신호의 상관이중 샘플링

15 MS/s 이상의 고속 데이터 전송의 경우에는 신호가 두리몽실해져 기준클럭(CK_ref) 및 데이터클럭(CK_data)의 하강모서리(falling edge)의 흔들림(jitter)이 데이터의 불확실성을 뚜렷하게 유발한다. 따라서 데이터 전송속도가 증가할수록 클럭 버퍼 지연 시간 변이를 보상할 수 있는 방법이 필요해진다.

CCD 어레이의 한쪽 부분에는 빛을 막아 놓은 부분이 있으며 이들을 광학적 블랙 픽셀(optical black pixel)이라고 한다. 이들은 블랙레벨 픽셀 구간(black-level pixel interval)동안 감지되며, 이 때의 신호를 광학적 블랙레벨 신호(optical black-level signal)라고 한다. 실제로는 정상 픽셀 구간(normal pixel interval) 동안에 감지된 신호에서 이러한 블랙레벨 신호를 뺀 값이 순수한 데이터 신호가 된다. 따라서 블랙레벨을 데이터 레벨에서 제거해 주는 동작인 데이터 신호의 클램핑(clamping) 동작이 포함되어야 하는데, 이 동작이 없으면 신호에 오프셋이 더해져서 아날로그 회로들의 전압 헤드룸(headroom)이 훼손된다.

그림 2는 제안하는 CCD 인터페이스 시스템의 전체 구조로서 DLL, CDS, V-MDAC, VGA 및 10-bit 파이프라인 ADC로써 구성되는 AFE 부분과 ISP 및 디지털 필터로써 구성되는 디지털 부분으로 구성되어 있다.

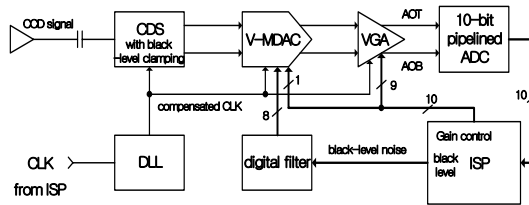


Fig. 2. Proposed overall architecture of CCD interface SoC
그림 2. 제안하는 CCD 인터페이스 SoC의 전체 구조

AFE의 주 클럭은 ISP에서 발생되며, CDS까지의 클

록경로의 스큐(skew)를 보상하기 위해 DLL을 추가하였다. 블랙레벨 클램핑 동작은 아날로그 영역과 디지털 영역에서 이중으로 수행된다. 먼저, CDS 내부의 국부 피드백으로써 주된 아날로그 클램핑 동작을 수행하며, V-MDAC, VGA, ADC, ISP 및 디지털 필터로써 구성되는 루프에서 남은 잔류오차 및 CCD 블랙레벨의 저주파 변이를 디지털 영역에서 상쇄하는 클램핑이 이루어진다. 이러한 루프는 매 번의 수평주사(horizontal line)마다 한 번씩 블랙 픽셀 구간 동안에 형성된다. 각각의 수평주사의 블랙 픽셀 구간 동안에 ADC의 출력은 블랙레벨 데이터를 포함하고 있으며, 이를 ISP에서 저장하고 있는 블랙레벨 기준 값과 비교하여 수정한다. 정상 픽셀 구간 동안에 디지털 필터를 거쳐 8 bit의 데이터로 출력된다. 이 디지털 데이터를 V-MDAC에서 완전 차동형 아날로그 데이터로 변환하여 입력신호로부터 뺀 후, 증폭한다.

전체 오픈 루프 경로의 결합 이득은 ISP로부터 오는 10 bit의 디지털 데이터에 의해 0 dB에서 36 dB까지의 넓은 범위로 제어된다.

나. 상관이중 샘플러(correlated double sampler, CDS)

상관이중 샘플러는 CCD 입력신호를 샘플링 하는 것과 아날로그 영역에서의 블랙레벨 클램핑 기능의 두 가지 동작을 수행한다. 그림 3은 제안하는 상관이중 샘플러의 구조를 보인 것이다. 두 개의 단일 출력(single-ended) 표본화/유지(S/H) 회로는 각각 CK_ref 및 CK_data에 동기되어 순차적으로 기준레벨과 데이터레벨을 감지한다. 이 때, 클램퍼(clamper)에 저장되어 있는 블랙 기준레벨과 블랙 데이터레벨을 각각 입력으로부터 빼서 그 차이를 차동형 아날로그 신호로서 출력한다.

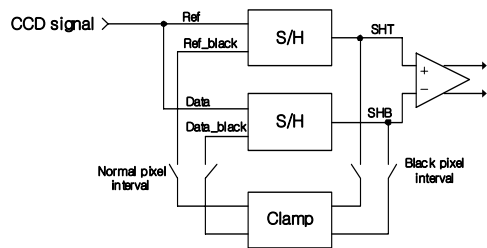


Fig. 3. CDS scheme with clamping loop
그림 3. 클램핑 루프가 있는 CDS 구조

본 논문에서 제안하는 클램퍼는 광학적 블랙 픽셀 구간동안에 입력되는 4 개의 연속적인 블랙 신호를

평균하는 동작을 수행한다. 그림 4는 블랙레벨 구간 동안의 클램퍼의 동작을 Spectre로서 트랜지스터 레벨의 시뮬레이션 한 결과로서 P1, P2, P3, P4의 4 사이클 동안에 평균된 블랙신호의 평균값이 형성되는 과정을 보인 것이다.

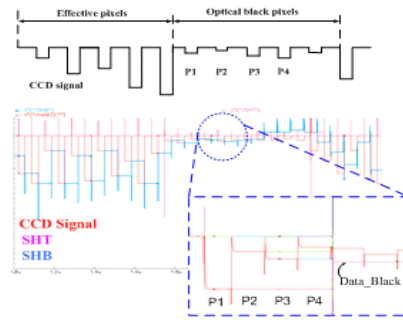


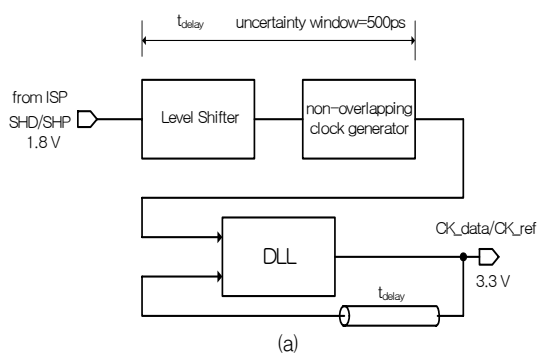
Fig. 4. Averaging behavior of clamper for 4 consecutive black pixels

그림 4. 4 개의 연속적인 블랙 픽셀에 대한 클램퍼의 평균화 동작

이렇게 블랙레벨 잡음이 제대로 수정된다면 CCD 블랙레벨은 ADC의 가장 낮은 기준 값에 일치하게 된다.

다. 고속 데이터 샘플링 기법

고속의 CCD 데이터를 샘플링하기 위해서는 샘플링 클럭의 안정도를 높여야 한다. 이를 위한 기법으로서 그림 5(a)와 같이 DLL을 이용한 부지연을 활용하였다. ISP로부터 표본화/유지 회로까지의 경로에는 ISP로부터 오는 1.8 V의 클럭 소오스를 아날로그 영역의 3.3 V로 변환하기 위한 레벨이동기 및 클럭발생기를 포함하는 지연 시간이 존재하므로 그림 5와 같은 구조로써 이를 상쇄하도록 설계하였다.



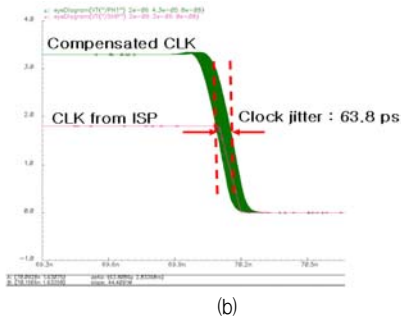


Fig. 5. Reduction of uncertainty in clock path (a) delay time compensation scheme (b) jitter of DLL
 그림 5. 클럭경로의 불확실성의 감소 (a) 지연시간 상쇄구조 (b) DLL의 지터특성

이러한 구조는 약 3 ns 정도의 지연시간 자체를 상쇄하는 효과 및 그 지연시간의 불확실 구간(uncertainty window)을 줄여주고자 하는 것이 주요 아이디어이다. 그림 5(b)에 보인 Spectre 시뮬레이션에서는 샘플링 클럭 경로에 존재하는 약 500 ps의 불확실 구간을 약 63.8 ps의 클럭 지터에 의한 불확실 구간으로 줄임으로써 고속 데이터 샘플링의 신뢰도를 증가시켰다.

라. 가변이득단 (VGA)

가변이득단은 ISP로부터의 10 bit 데이터에 의해 0 dB ~ 36 dB까지의 dB-선형적인(linear-in-dB) 넓은 범위의 이득을 구현한다. 이득이 높을수록 연산증폭기의 큰 대역폭을 요구하므로 그림 6(a)와 같이 V-MDAC 및 3 단의 VGA를 포함하는 4 단의 이득단을 구성하였다. 각 단의 이득을 효과적으로 조절하기 위하여 10 bit를 13 bit으로 코드 변환한 후 (1+8+2+2) bit으로 4 단 분산 처리하였다. 그림 6(b)는 이러한 4 단 이득단의 개념적인 이득 특성곡선을 보이고 있다.

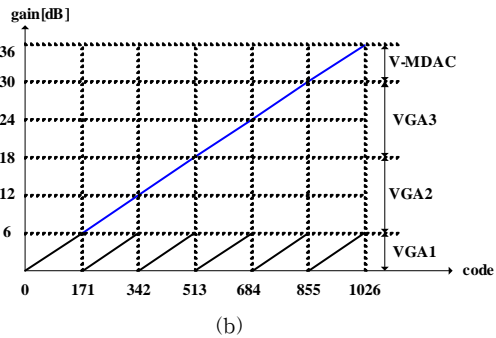


Fig. 6. Gain distribution of VGA (a) multi-stage amplification structure (b) gain transfer function
 그림 6. VGA의 이득 분포 (a) 다 단 증폭 구조 (b) 이득 전달 특성

V-MDAC은 0dB/6dB, VGA2 및 VGA3는 0/6/12dB를 구현하고, VGA1은 8 bit의 0에서 165까지의 코드에 의해 0에서 6 dB까지 0.035 dB 간격으로 dB-선형적인 이득을 구현한다. 따라서 이득전달특성은 165 코드가 지나갈 때마다 VGA1에서 누적된 INL이 리셋된다.

(1) 가변이득 m-DAC(V-MDAC)

CDS 단에서 완전히 제거되지 못한 블랙레벨 잡음은 V-MDAC을 포함하는 디지털-아날로그 루프에서 제거되는 데, 이 때 V-MDAC은 ISP로부터의 8 bit 데이터를 차동 아날로그 신호로 변환하여 입력신호로부터 빼 주며, 1 bit의 이득 조절 비트에 따라 0 dB 혹은 6 dB의 이득을 제공하는 역할을 한다. 본 논문에서 제안하는 V-MDAC의 회로를 그림 7에 보였다.

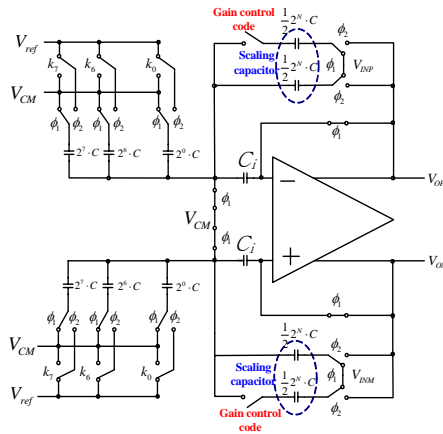
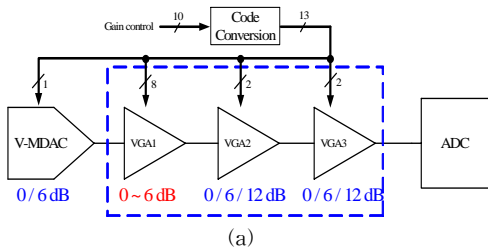


Fig. 7. Circuit implementation of V-MDAC
 그림 7. V-MDAC의 회로 구현

샘플링 모드(Φ_1)에서는 입력 전압(V_{INP} , V_{INM})이 정해진 이득에 해당하는 입력 커패시터에 충전된다. 이때 이진 가중 DAC(binary weighted DAC)의 커패시터들은 방전된다. 증폭 모드(Φ_2)에서는 DAC 입력 데이터(블랙레벨 잡음)인 k_0 에서 k_7 의 값에 따라 DAC 커패시터들이 충전된다. 동시에 입력 커패시터는 출력 단으로 연결되어 블랙레벨 잡음이 제거된 입력 신호가 출력된다.

커패시터 C_i 는 연산증폭기의 오프셋 전압을 제거하기 위한 것으로서, Φ_1 구간에서 오프셋 전압을 샘플링하였다가 Φ_2 구간에서 샘플링되었던 오프셋 전압을 상쇄시킨다.

(2) 지수함수 변형기(exponential shaper)

그림 6의 구조에서 VGA1에 해당하는 지수함수적인(혹은 dB-선형적인) 가변이득기인 지수함수 변형기는 기능적으로 가장 정밀도를 요하는 블럭이다. 본 논문의 지수함수 변형기는 참고문헌 [2]의 구조에 바탕을 두고 있다. 지수함수는 그 자체를 정확하게 구현하는 것이 불가능하므로 다음과 같은 1차 근사함수를 사용한다[2].

$$e^{2x} \approx \frac{1+x}{1-x} \quad (1)$$

식 (1)의 함수를 구현하기 위한 지수함수 변형기로서 그림 8의 회로를 사용하였다[3].

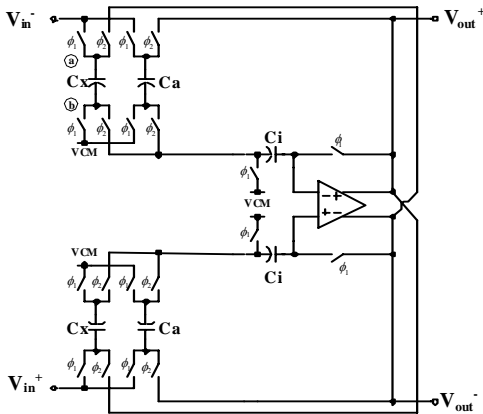


Fig. 8. Circuit implementation of exponential shaper
그림 8. 지수함수 변형기 회로의 구현

Ca는 고정된 값이고 Cx는 지정된 이득에 따라 변

화하는 값이다. 샘플링 모드(Φ_1)에서는, Ca 및 Cx는 입력신호(V_{in}^+ , V_{in}^-)를 샘플링한다. 홀드 모드(Φ_2)에서는, Ca 및 Cx는 각각 출력(V_{out}^+ , V_{out}^-)에 연결되지만 Ca가 입력과 반대극성의 출력에 연결되어 부의 피드백(negative feedback) 경로를 형성하는 데 반해, Cx는 입력과 같은 극성의 출력에 연결되어 정의 피드백(positive feedback) 경로를 형성한다. 따라서

$$\frac{V_{out}^+ - V_{out}^-}{V_{in}^+ - V_{in}^-} \approx \frac{1 + \frac{C_x}{C_a}}{1 - \frac{C_x}{C_a}} \quad (2)$$

가 구현된다. Cx가 0에서 $1/3C_a$ 까지 변하면 이득은 0에서 6 dB까지 구현된다. 본 논문에서는 Cx를 효과적으로 구현할 수 있는 방안을 제시한다. 단위 커패시턴스(unit capacitance)를 C라고할 때, Cx를 식 (3)과 같은 개념으로 구현하였다.

$$C_x = \left(\sum_{i=0}^n b_i \cdot 2^{i-1} C \right) + b_{n+1} \cdot kC \quad (3)$$

여기서 b_0 는 LSB, b_{n+1} 은 MSB이며, $n=0\sim 6$ 이다. b_0 에서 b_6 까지는 이진 가중치를 갖는 커패시턴스를 조절하며, b_7 은 종결 커패시터(termination capacitor) kC 를 조절한다.

식 (2)에 의해 Cx는 0에서 $1/3C_a$ 까지 $1/496C_a$ 의 간격으로 변화해야한다. 본 논문에서는 코드의 변화에 따른 이득의 단조증가성(monotonicity)을 보장하기 위하여 이득을 이상적인 이득보다 약간 작게 되도록 설정하였다. 즉, $C_a=248C$ 로 고정하고 Cx는 0에서 82.5까지 가변하였다. 그림 9는 이와 같은 개념으로 트랜지스터 레벨로 구현된 지수함수 변형기의 이득 코드를 0에서 1024까지 변화시켰을 때의 Spectre 시뮬레이션 결과를 보인 것이다.

이 회로에서 연산증폭기는 완전 차동형 폴디드 캐스코드(folded cascode)로서 출력에 공통모드 피드백(common-mode feedback, CMFB)회로를 사용하였다. 바이어스 회로는 전류모드로 설계되어 각각의 연산증폭기에 분배됨으로써 주변 전압 잡음의 영향을 최소화 하였다.

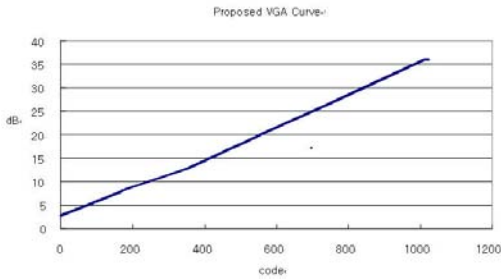


Fig. 9. Simulated results of exponential shaper by Spectre

그림 9. 지수함수 변형기 이득의 Spectre 시뮬레이션 결과

(3) 기생 커패시턴스(parasitic capacitance)의 고려

식 (3)의 가변 커패시턴스 C_x 는 그림 10의 회로와 같이 구현되었다. 여기서 b_0 에 의해 조절되는 직렬 연결된 두 개의 단위 커패시터는 $C/2$ 를 구현하므로 전체 커패시터 어레이의 면적을 절반으로 감소시키는 효과가 있다.

그림 10의 회로에서 C_x 가 가변이기 위해서는 스위치가 조절 비트 b_i 에 의해 ON/OFF 되어야 하는데, 스위치가 OFF되는 경우 커패시터의 바텀(bottom)이 OFF 노드에 연결된다. 만약 이 노드가 열려 있으면, 스위치의 기생(parasitic) 커패시터에 의해 ① 노드에서의 전하 보존이 영향을 받는다.

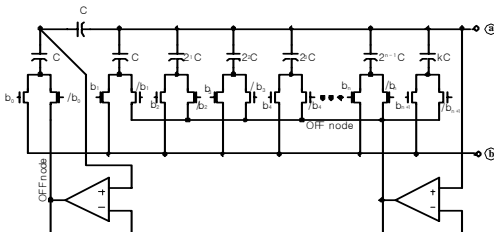


Fig. 10. Circuit implementation of variable capacitance C_x in Fig. 8 to minimize the effect of parasitic capacitances

그림 10. 기생 커패시턴스의 영향을 최소화 한 그림 8의 가변 커패시턴스 C_x 의 구현회로

결과적으로, 기생 커패시턴스에 의한 수 mV의 오차 전압이 형성될 수 있다. 본 논문에서는 이러한 영향을 최소화하고자 OFF 노드에 단위 버퍼를 연결함으로써 OFF 노드 전압을 ①와 거의 같도록 하여 기생 커패시터의 영향을 거의 제거할 수 있었다.

(4) VGA2 및 VGA3

그림 2의 VGA2 및 VGA3를 그림 11에 내었다. 다른 VGA 단과 마찬가지로 C_i 는 연산증폭기의 오프셋 전압을 상쇄하기 위한 것이며, 입력 샘플링 커패시터는 $24C_u$, 피드백 커패시터는 $6C_u$, $6C_u$ 및 $12C_u$ 로 split 하였다. Φ_1 구간에서는 오프셋 전압과 차동입력 신호가 샘플링되며, Φ_2 구간에서 샘플링 된 전하가 피드백 커패시터 쪽으로 이동하여 증폭 동작을 수행한다. S_0 및 S_1 은 ISP에 의해 설정되는 컨트롤 신호로서 (S_0, S_1)=(H, H)일 때는 0 dB, (L, H)일 때는 6 dB, (L, L)일 때는 12 dB의 이득을 구현한다.

마. 파이프라인 ADC (pipelined ADC)

그림 2의 파이프라인 ADC는 일반적인 형태의 3단 구조를 사용하였다. 일반적인 파이프라인 ADC와 마찬가지로 첫 번째 데이터가 출력될 때까지 4 클록의 latency가 존재하며, 내부적으로 디지털 correction을 활용한다. 정밀도는 10bit이며, 데이터 처리속도는 30MS/s이다.

2. 구현 및 측정결과

제안하는 CCD 카메라의 인터페이스 시스템은 0.35- μ m 1폴리 6메탈(single poly six-metal) n-well CMOS 공정으로써 제작되었다. 그림 12는 제작된 AFE IP의 칩 사진으로서 2.4*3.1mm²의 능동영역 면적을 차지한다.

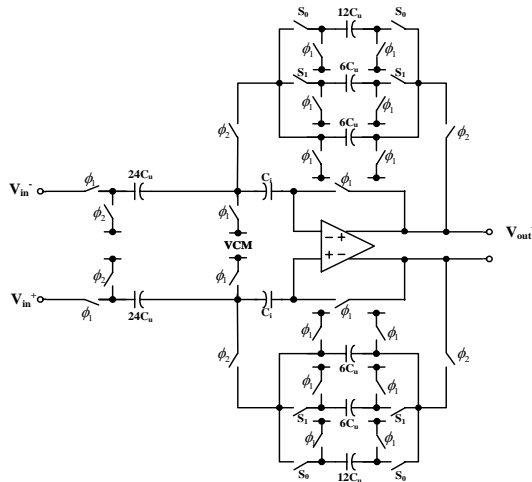


Fig. 11. Circuit of VGA2 and VGA3 for 0dB/6dB/12dB amplification

그림 11. 0dB/6dB/12dB 증폭을 위한 VGA2 및 VGA3 회로

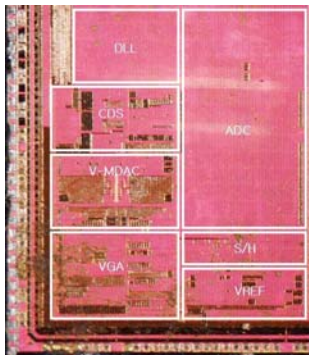


Fig. 12. Microphotograph of AFE (2.4*3.1mm²)
 그림 12. AFE의 칩 사진 (2.4*3.1mm²)

제작된 칩에서는 아날로그 동작의 선형성(linearity) 측정을 위하여 LCM(linearity check mode) 모드를 설정하였다. 이 모드에서는 입력으로서 CCD의 출력 신호를 가하거나 혹은 정현파 또는 펄스 파를 외부에서 가해 VGA의 출력을 외부에서 측정할 수 있도록 하였다. 그림 13은 VGA의 이득을 36 dB로 설정하고 입력으로서 1.5 MSPS의 CCD 신호를 가했을 때의 VGA의 차동출력(AOT 및 AOB)을 LCM 모드에서 측정한 것이다.



Fig. 13. CCD signal and the differential output of VGA with the gain of 36 dB

그림 13. CCD 신호 및 이득이 36 dB일 때의 가변이득 증폭기의 차동출력

VGA 이득을 측정하기 위하여 LCM 모드에서 10 mVp-p의 펄스를 입력에 가하고 파이프라인 ADC의 출력 10 bit 데이터를 획득하여 분석하였다. VGA에서 0 dB, 6 dB, 36 dB의 이득 설정 시, ADC 출력으로서 “0010011101”, “0010111011”, “1111111111”을 얻

었다.

AFE와 ISP가 같이 구현된 SoC를 12.5 MHz의 CCD 카메라 시스템 보드에 장착하여 그림 14와 같은 영상을 얻었다. DLL은 15 MHz 이상의 고속 동작이거나 특히, 잡음이 많은 환경에서 효력을 발휘하였다.



Fig. 14. CCD image processed with the implemented SoC
 그림 14. 제작된 SoC를 탑재하여 처리된 영상신호

표 1은 구현된 CCD 카메라 인터페이스 시스템의 주요 특성을 요약한 것이다.

Table 1. Summary of the measured results of AFE

표 1. AFE의 측정 결과 요약

해상도	10 bit
공급전압	3.3 V
최대 샘플링속도	15 MHz
DNL	+1.18/-0.78 LSB
VGA 이득 범위	0 ~ 36 dB
이득 조절 해상도	10 bit
전력 소모	80 mA @ 12.5 MHz
칩 능동영역	2400 μ m x 3100 μ m

III 결론

혼성모드 CMOS 공정을 이용한 CCD 이미지 센서용 아날로그 프론트 엔드(AFE)의 SoC 구현에 관하여 기술하였다. 고속 샘플링을 위한 클록킹 기법, 아날로그 영역 및 디지털 영역에 걸친 이중의 블랙레벨 상쇄 기법, DAC 기능과 증폭기 기능을 결합한 가변이득 multiplying DAC, 기생 커패시턴스의 영향을 최소화한 지수함수 발생기 등의 효과적인 회로를 제안하였다.

디지털 부분인 영상신호처리 부분(ISP)은 1.8 V 0.18- μ m 소자로써 구현되고, 아날로그 부분인 AFE는

3.3 V 0.35- μm 소자를 사용하여 칩을 제작하였으며, CCD 센서 시스템에 탑재하여 15 MHz의 10 bit 해상도에 해당하는 영상을 얻을 수 있었다.

참고문헌

- [1] Hyneczek, "Theoretical Analysis and Optimization CDS signal Processing Method for CCD Image Sensors," *IEEE Trans. on Electron Devices*, Vol. ED-39, no. 11, pp. 2497-2507, 1992
- [2] R. Harjani, "A low-power CMOS VGA for 50 Mb/s disk drive read channels," *IEEE Trans. Circuits Syst. II*, Vol. 42, pp.370-376, 1995
- [3] Y. Fujimoto, H. Akada, H. Ogawa, K. Iizuka, and M. Miyamoto, "A switched-capacitor variable gain amplifier for CCD image sensor interface system," *Proc. 28th Eur.Solid-State Circuits Conf.*, pp. 94-95, Sept. 2002

저 자 소 개

김 대 정 (정회원)



1987년 : 서울대학교 전자공학과 졸업 (공학사)

1989년 : 서울대학교 대학원 전자공학과 (공학석사)

1994년 : 서울대학교 대학원 전자공학과 (공학박사)

1999년 3월~현재 : 국민대학교

전자공학부 부교수

<주관심분야> 아날로그 인터페이스, 고속 클럭킹, 전원회로

남 정 권 (학생회원)



2007년 : 국민대학교 전자공학부 졸업 (공학사)

2007년 3월~현재 : 국민대학교 대학원 전자공학과 (석사과정)

<주관심분야> 아날로그 혼성모드 IC, PMIC