

NMOS 트랜지스터와 사이리스터 보호용 소자를 이용하는 입력 ESD 보호방식의 비교 연구

A comparison study of input ESD protection schemes utilizing NMOS transistor and thyristor protection devices

Jin-Young Choi^{*★}

최진영^{*★}

Abstract

For two input ESD protection schemes utilizing the NMOS protection device or the lvtr_thyristor protection device, which is suitable for high-frequency CMOS ICs, we attempt an in-depth comparison study on the HBM ESD protection level in terms of lattice heating inside the protection devices and the peak voltage applied to the gate oxides in the input buffer through DC, mixed-mode transient, and AC analyses utilizing the 2-dimensional device simulator. For this purpose, we suggest a method for the equivalent circuit modeling of the input HBM test environment for the CMOS chip equipped with the input ESD protection circuit. And by executing mixed-mode simulations including up to four protection devices and analyzing the results for five different test modes, we attempt a detailed analysis on the problems which can be occurred in a real HBM test. In this procedure, we explain about the strength and weakness of the two protection schemes as an input protection circuit for high-frequency ICs, and suggest guidelines relating to the design of the protection devices.

요약

보호용 NMOS 소자 또는 lvtr_thyristor 소자를 사용하는 고주파 CMOS IC용 입력 ESD 보호회로 방식을 대상으로, 2차원 소자 시뮬레이터를 이용하는 DC 해석, 혼합모드 과도해석 및 AC 해석을 통해 보호용 소자내 격자온도 상승 및 입력버퍼단의 게이트 산화막 인가전압 측면에서의 HBM ESD 보호강도에 대한 심도있는 비교 분석을 시도한다. 이를 위해, 입력 ESD 보호회로가 장착된 CMOS 칩의 입력 HBM 테스트 상황에 대한 등가회로 모델링 방법을 제시하고, 5가지 HBM 테스트 모드에 대해 최대 4개의 보호용 소자를 포함하는 혼합모드 과도 시뮬레이션을 시행하고 그 결과를 분석함으로써 실제 HBM 테스트에서 발생할 수 있는 문제점들에 대한 상세한 분석을 시도한다. 이러한 과정을 통해 고주파용 입력 보호회로로서의 두 가지 보호방식의 장단점에 대해 설명하는 한편, 각 보호용 소자의 설계와 관련된 기준을 제시한다.

Key words : ESD protection, HBM, NMOS, Thyristor, Mixed-mode simulation

1. 서론

CMOS 칩은 정전기 방전(Electrostatic discharge: ESD) 문제에 상대적으로 취약하여 입력패드에 보호용 소자의 장착이 필수적이다. 하지만 정전기 방전시 보호용 소자 자체의 열적 파괴를 방지하기 위해서는 큰 폭의 소자를 사용하여 방전 전류밀도를 줄이는 것이 중요하며, 이는 입력노드에 큰 기생 커패시턴스를 추가한다. 이러한 큰 기생성분의 추가는 고주파 IC에서 이득 감소나 잡음특성 저하와 같은 치명적인

* 弘益大學校 電子電氣工學科

(Dept. of Electronic & Electrical Engineering, Hongik University)

★ 교신저자 (Corresponding author)

※ 감사의 글 (이 논문은 2007학년도 홍익대학교 학술연구진흥비에 의하여 지원되었음.)

接受日: 2009年 3月 11日, 修正完了日: 2009年 3月 30日

성능 저하를 야기한다[1].

추가되는 커패시턴스를 줄이기 위해 여러 가지 방법들이 제안되어 왔으나, 근원적인 방법은 보호용 소자 자체의 크기를 줄이는 것이며 그 예로서 싸이리스터 소자를 이용하는 방법이 제안되었다[1]. NMOS 트랜지스터와 비교 시, 싸이리스터 소자는 pnpn 구조의 동작에 의한 유지전압 감소가 소자크기 감소의 주요 인이라고 할 수 있다.

본 논문에서는 표준 CMOS 공정의 사용을 가정하고 고주파 CMOS 칩의 입력부에서 인체모델(Human-body model: HBM) 및 기계모델(Machine model: MM) 방전 대비용으로 사용되고 있는, NMOS 트랜지스터 또는 싸이리스터 소자를 이용하는 보호회로 방식을 소개한 뒤, HBM 테스트의 각종 방전모드에 대해 두 가지 보호방식에 의한 방전 특성을 상세히 비교 분석해 본다.

MM 방전 특성은 기계와의 접촉저항이 작아 칩에 인가되는 전압파형에 oscillation이 발생한다는 점을 제외하면 정전기 방전경로가 HBM 경우와 동일하므로, HBM에 대한 ESD 강도로부터 MM에 대한 강도를 유추할 수 있는 것으로 알려져 있다. 따라서 본 논문의 내용은 HBM 테스트에 대한 분석만으로 제한하기로 한다.

비교 분석을 위한 도구로는 열생성 모델을 포함하는 2차원 소자 시뮬레이터와 회로 시뮬레이터를 사용한다. 소자 시뮬레이터를 이용하는 분석은 시간적, 비용적 면에서의 장점뿐만 아니라 실제 제작 및 측정으로는 알 수 없는 보호용 소자 내부의 파괴 메커니즘의 규명을 가능케 한다는 장점이 있어 정전기 방전 분야에서도 널리 사용되며[2] 그 결과의 신빙성이 인정되는 분석 방법이다.

II 절에서는 비교 분석에 사용할 ESD 보호용 소자들의 구조를 제시하고 DC 소자 시뮬레이션에 의한 소자 특성을 소개한다. DC 시뮬레이션 분석결과는 IV 절에서 시행하는 혼합모드 과도 시뮬레이션 결과의 타당성을 설명하기 위해 사용된다. III 절에서는 HBM 테스트의 방전모드에 대해 설명하고, 각 보호용 소자들을 이용하는 고주파 IC용 입력 보호회로를 제시한 뒤, 각 보호회로에서의 방전모드별 방전경로에 대해 설명한다. IV 절에서는 소자 시뮬레이션과 회로 시뮬레이션을 동시에 시행하는 혼합모드 과도 시뮬레이션 결과를 토대로 실제 방전 시의 취약모드를 규명하고, 입력버퍼의 게이트 산화막에 인가되는 최대전압, 보호용 소자내 최고온도 지점 등에 대해 상세한 분석 결과를 제시한다.

V 절에서는 제안된 보호용 소자별 보호회로를 사용하였을 경우 추가되는 기생성분의 크기를 예측하기

위한 AC 소자 시뮬레이션의 결과를 소개한다. VI 절에서는 소자 설계 시 주의해야 할 사항들에 대해서 논의하고, VII 절에서 결론을 맺는다.

II. 보호용 소자 구조 및 DC 특성

그림 1은 본 논문에서 가정한 보호용 NMOS 소자의 단면도를 보여준다. 이 소자는 그림의 비교적 깊은 접합이 의미하듯이 n⁺ 소스와 드레인에 ESD 이온 주입을 시행한 보편적인 ESD 보호용 트랜지스터를 대변한다. HBM ESD 방전 시 NMOS 소자내 열발생에 의한 최고온도 지점은 게이트 쪽 드레인 접합에 나타나므로[3], 이에 의한 드레인 콘택 용융의 문제를 완화하기 위해 게이트와 드레인 콘택간 거리를 3.5μm 로 비교적 크게 한 구조를 가정하였다.

보호용 NMOS 소자에 요구되는 소자폭은 크므로 일반적으로 multi-finger 형태의 레이아웃을 사용하며, 그림 1은 NMOS 소자의 여러 개 finger 중 한 finger에 대한 단면도라고 할 수 있다.

표 1에는 구조관련 주요 파라미터들을 정리하였다. n⁺ 및 p⁺ 확산영역의 도핑은 1.2×10²⁰/cm³의 피크농도를 갖는 가우시안 분포를 가정하였다.

그림 1의 상단 좌우 변에 위치한 p⁺ 접합은 가드링 형태의 기판 콘택용 접합을 대변하며, p형 기판의 하단 노드에는 그림에는 표시하지 않았으나 원거리에 위치하는 기판 콘택까지의 분포저항을 고려하기 위해 1MΩ·μm의 저항을 직렬로 추가하였다.

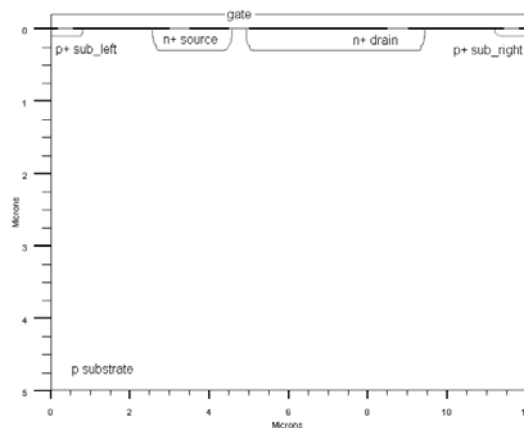


Fig. 1. Cross section of the NMOS protection device
그림 1. 보호용 NMOS 소자의 단면도

Table 1. Principal structure parameters of the NMOS protection device

표 1. 보호용 NMOS 소자의 주요 구조 파라미터

파라미터	값
유효채널길이	0.38 μm
게이트 산화막 두께	75 \AA
기판 도핑	10 ¹⁶ /cm ³
채널 피크 도핑	2.35 \times 10 ¹⁷ /cm ³
n ⁺ 소스/드레인 접합 깊이	0.3 μm
p ⁺ 기판 접합 깊이	0.1 μm
게이트-드레인 콘택 간격	3.5 μm
게이트-소스 콘택 간격	1.0 μm

2차원 소자 시뮬레이터 ATLAS[4]를 이용하여 DC 시뮬레이션을 시행하였다. 충돌이온화 모델 등 필요한 모든 물리적 모델을 포함하였으며, 격자온도 상승과 관련된 모델로는 주열, 생성-결합 열, 펠터-톰슨 열 모델을 포함하였다.

그림 2는 그림 1에 보인 보호용 NMOS 소자의 소스, 게이트 및 기판을 접지시킨 상태에서 드레인 전압 또는 전류를 증가시키며 시뮬레이션한 DC 특성을 반로그 스케일로 보여준다. 본 소자에서는 드레인 전압이 5V 미만인 구간에서는 MOS 채널을 따른 누설 전류가 지배적이나 드레인 전압이 증가함에 따라 드레인 접합의 역방향 누설전류가 완만히 증가하다 드레인 전압이 9.3V 정도에 이르면서 애벌랜치에 의한 접합의 항복이 일어난다.

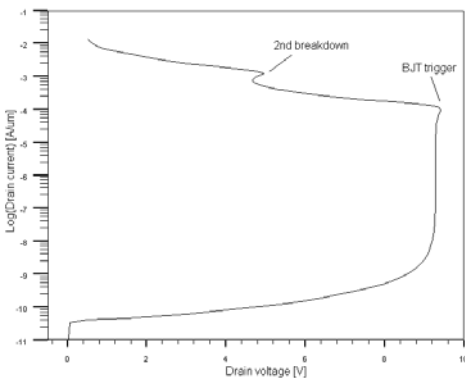


Fig. 2. Drain current-voltage characteristics of the NMOS protection device

그림 2. 보호용 NMOS 소자의 드레인 전류-전압 특성

이후 충돌이온화에 의해 생성되는 정공은 기판 노드로 빠져나가고 이 정공전류는 기판 내부의 전위를 상승시킨다. 접합의 항복에 의해 충분한 정공 전류가 흐르게 되면 소스 접합 아래의 기판 전위가 상승하여 n⁺소스/p기판 접합이 순방향 바이어스 되고 소스로부터 전자가 주입되면서 횡방향 npn(소스/기판/드레인) 바이폴라 트랜지스터가 트리거 된다. 이후 드레인 접

합에서의 정공 생성은 소스에서 주입되는 전자에 의한 충돌이온화에 의해 증폭되므로 요구되는 드레인-소스간 전압은 감소하고, 이에 따라 그림 2의 'BJT trigger' 라고 표시한 부분에서와 같은 스냅백 현상이 야기된다. 9.4V에서의 스냅백 이후 드레인-소스간 전압은 4.6V 정도의 유지전압으로 감소한다.

그림 2에서 드레인 전류가 1.3mA/ μm 를 초과하면 2차항복(2nd breakdown)이 발생하며 실제 소자에서는 드레인 콘택 용융과 관계되는 소자의 파괴가 발생한다[5]. 시뮬레이션 결과에서 그림의 2차항복은 소자내 최고온도가 1100°K 초과 시 발생함을 확인하였다.

그림 3은 보호용 lvtr_thyristor 소자의 구조를 보여준다. 이 소자는 참고문헌 [1]에서 스냅백 전압을 낮추기 위해 NMOS 트랜지스터를 조합시켜 제안된 pnpn 구조의 소자이다. lvtr_thyristor 소자는 표준 CMOS 공정에서 제작이 가능하며 소자내 NMOS 구조는 그림 1의 NMOS 소자와 유사하나 본 분석에서는 그림의 비교적 얇은 접합이 의미하듯이 ESD 이온 주입을 시행하지 않은 소스 및 드레인 구조를 가정하였다.

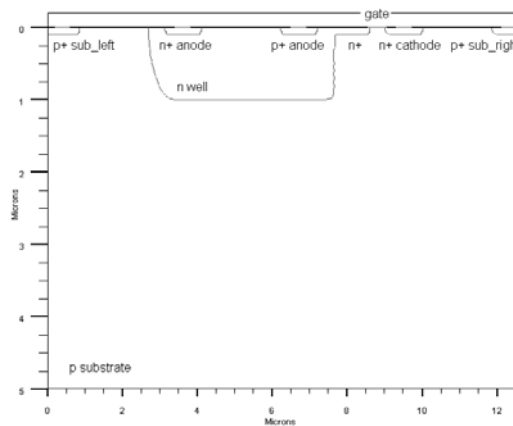


Fig. 3. Cross section of the lvtr_thyristor protection device

그림 3. 보호용 lvtr_thyristor 소자의 단면도

Table 2. Principal structure parameters of the lvtr_thyristor protection device

표 2. 보호용 lvtr_thyristor 소자의 주요 구조 파라미터

파라미터	값
p ⁺ 및 n ⁺ 접합 깊이	0.1 μm
n웰 깊이	1 μm
n ⁺ , p ⁺ 애노드 전극 간격	2.7 μm
NMOS 유효채널 길이	0.38 μm
NMOS 게이트 산화막 두께	75 \AA

표 2에는 lvtr_thyristor 소자의 구조관련 주요 파라미터들을 정리하였다. 그림 3의 n웰은 10¹⁷/cm³의 피

크 농도를 갖는 가우시안 분포를 가정하였고, 기판 도핑농도, n^+ 및 p^+ 확산영역의 도핑 분포는 그림 1에서와 같다. 그림 3의 p형 기판 하단 노드에도 그림 1의 NMOS 소자에서와 같이 직렬저항을 추가하였다.

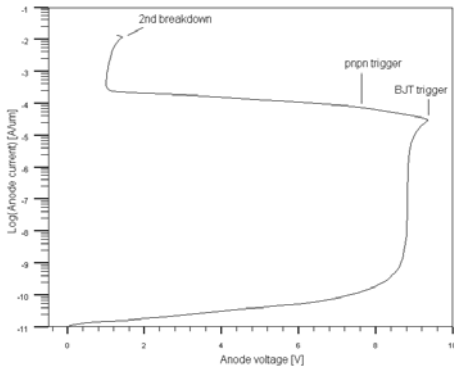


Fig. 4. Anode current-voltage characteristics of the lvtr_thyristor protection device

그림 4. 보호용 lvtr_thyristor 소자의 애노드 전류-전압 특성

그림 4는 그림 3에 보인 lvtr_thyristor 소자의 NMOS 게이트, n^+ 캐소드 및 기판을 접지시킨 상태에서 n^+ 애노드와 p^+ 애노드를 하나로 묶어 애노드 전압 또는 전류를 증가시키며 시뮬레이션한 DC 특성을 보여준다. 그림 2의 NMOS 특성과 유사하게, 애노드 전압이 5V 미만에서는 n웰/ n^+ 캐소드간 MOS 채널 누설전류가 지배적이며 애노드 전압이 증가함에 따라 전계의 세기가 가장 큰, n웰 우측의 n^+ 접합/p기판 접합의 역방향 누설전류가 완만히 증가하다가 애노드 전압이 8.8V 정도에 이르면서 애벌랜치에 의한 접합의 항복이 일어난다. 이때 이 n^+ 접합은 NMOS 트랜지스터의 드레인 역할을 하며 항복전압은 그림 1에 보인 NMOS 소자에서의 접합과 형태가 달라 다소 낮게 나타난다.

충분한 정공전류가 흐르게 되면 n^+ 캐소드 접합 아래의 기판 전위가 상승하여 n^+ 캐소드/p기판 접합이 순방향 바이어스 되고 캐소드로부터 전자가 주입되면서 역방향 npn(n^+ 애노드/p기판/ n^+ 캐소드) 바이폴라 트랜지스터가 트리거된다. 앞서 설명한 바와 마찬가지로 바이폴라 트랜지스터가 트리거되면 그림에 나타난 스냅백 현상이 발생한다. 이 상황에서 n^+ 애노드로부터의 바이폴라 트랜지스터 전류는 n웰을 통해 흐르고 n웰 분포저항에서의 전압강하에 의해 p^+ 애노드 아래 부분의 전위를 감소시킨다. 바이폴라 전류가 충분히 커지면 p^+ 애노드/n웰 접합이 순방향 바이어스 되어 pnpn 싸이리스터(p^+ 애노드/ n^+ 애노드/p기판/ n^+ 캐소드)가 트리거되면서 요구되는 애노드-캐소드 간 유지전

압이 크게 감소하므로 그림 4에 'pnpn trigger'라고 표시한 부분에서 애노드 전압의 보다 급격한 감소가 관찰된다. 결과적인 유지전압은 1V 정도의 값을 가지게 되며 이는 그림 2에 보인 NMOS 소자 경우에서의 유지전압 4.6V에 비해 현저히 낮다.

그림 4의 2차항복은 소자내 최고온도가 1100°K에 이르는 전류인 12mA/ μ m를 초과하면서 발생함을 확인하였다. 두 가지 소자에 대한 주요 특성을 표로 정리하면 다음과 같다.

Table 3. Principal DC characteristics of the protection devices
표 3. 보호용 소자의 주요 DC 특성

보호용 소자	유지전압	항복전압	스냅백전압
NMOS	4.6V	9.3V	9.4V
lvtr_thyristor	1.0V	8.8V	9.4V

III. 보호용 소자별 ESD 입력 보호회로

ESD 보호회로의 장착에 의해 입력패드에 추가되는 기생성분은 최소화되어야 하므로 입력패드에 연결되는 보호용 소자의 수는 적을수록 바람직하며, 소자의 수를 줄이는 효과적인 방법은 $V_{DD}-V_{SS}$ 클램프 NMOS 보호용 소자를 이용하는 것이다.

그림 5와 6은 본 논문에서 선정한 두 가지 보호용 소자를 이용하며, 추가되는 기생성분의 최소화를 고려한 ESD 보호회로 방식을 보여준다. 본 보호회로는 HBM 및 MM 대비 보호 방식으로 잘 알려져 있다. 그림에는 칩 내부 입력버퍼의 예로서 CMOS 인버터를 포함하였다.

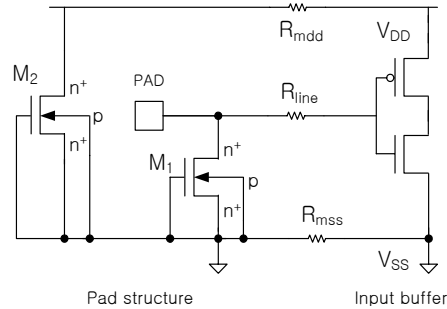


Fig. 5. Protection circuit utilizing the NMOS device

그림 5. NMOS 소자를 이용하는 보호회로

그림 5의 M_1 과 M_2 에는 모두 그림 1의 보호용 NMOS 소자를 사용한다. 패드- V_{SS} 간 소자인 M_1 에서 드레인은 패드에, 게이트, 소스 및 기판은 모두 V_{SS} 에 연결한다. $V_{DD}-V_{SS}$ 클램프 소자인 M_2 에서 드레인은 V_{DD} 에, 게이트, 소스 및 기판은 모두 V_{SS} 에

연결한다. 클램프 NMOS 소자를 포함하여 모든 보호용 소자는 패드 근처에 위치하여 ESD 인가전압에 의한 입력버퍼단 게이트 전압의 상승이 최소화되도록 하는 것이 중요하다.

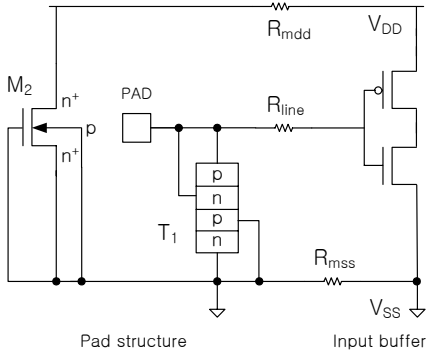


Fig. 6. Protection circuit utilizing the lvtr_thyristor device
 그림 6. lvtr_thyristor 소자를 이용하는 보호회로

그림 6의 T₁에는 그림 3의 lvtr_thyristor 소자를 사용하며 p⁺ 및 n⁺ 애노드는 패드에, p 기판 및 n⁺ 캐소드는 V_{SS}에 연결한다. 그림 6에는 표시하지 않았지만 T₁ 내부의 NMOS 게이트도 정상동작 시 오프상태 유지를 위해 V_{SS}에 연결한다. M₂의 연결은 그림 5에서와 동일하다.

입력 핀 HBM 테스트는 발생 가능한 모든 방전모드를 포함해야 하므로 다음에 정의하는 5가지 모드에 대해 테스트가 진행된다.

- 1) PS 모드: V_{SS} 핀 접지상태에서 입력 핀에 +V_{ESD} 인가
- 2) NS 모드: V_{SS} 핀 접지상태에서 입력 핀에 -V_{ESD} 인가
- 3) PD 모드: V_{DD} 핀 접지상태에서 입력 핀에 +V_{ESD} 인가
- 4) ND 모드: V_{DD} 핀 접지상태에서 입력 핀에 -V_{ESD} 인가
- 5) PTP 모드: 한개 입력 핀 접지상태에서 다른 입력 핀에 +V_{ESD} 인가

NMOS 소자를 이용하는 보호회로에서의 주 방전경로는 그림 7에서 볼 수 있듯이, PS 모드 경우에는 M₁의 npn 바이폴라 트랜지스터가 주 방전경로가 되고, NS 모드 경우에는 M₁의 p기판/n⁺드레인 순방향 다이오드가 주 방전경로가 된다. PD 모드 경우에는 M₁의 바이폴라 트랜지스터와 M₂의 p기판/n⁺드레인 순방향 다이오드가 직렬로 주 방전경로를 형성하고, ND 모드 경우에는 M₂의 바이폴라 트랜지스터와 M₁의 p기판/n⁺드레인 순방향 다이오드가 직렬로 주 방전경로를 형성한다.

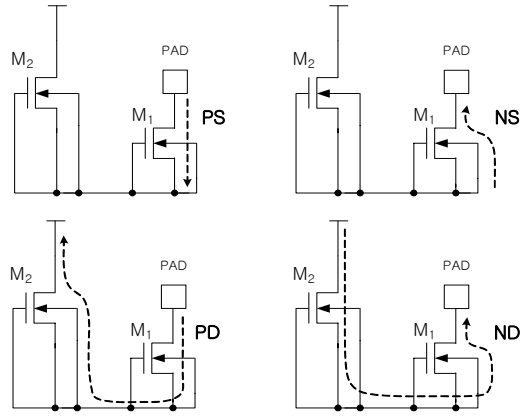


Fig. 7. Main discharge paths for each test modes in the protection circuit utilizing the NMOS device

그림 7. NMOS 소자를 이용하는 보호회로 경우 테스트 모드별 주 방전경로

소자내 온도 상승은 전류밀도와 전계의 곱에 비례하므로 순방향 다이오드에 비해 유지전압이 높은 바이폴라 트랜지스터 방전경로에서 온도 상승의 문제가 발생할 수 있다. 따라서 PS와 PD 모드를 대비하여 M₁에, ND 모드를 대비하여 M₂에 충분한 소자폭을 지정하여야 한다. NS 모드 경우에는 순방향 다이오드 방전경로에 걸리는 전압이 1V 미만이므로 온도 상승의 문제가 가장 작은 모드임을 알 수 있다.

그림 6에 보인 lvtr_thyristor 소자를 이용하는 보호회로에서의 주 방전경로도 그림 7에 보인 바와 거의 유사하나 M₁ 대신 사용되는 T₁내에서의 방전경로만 상이하다. 즉, T₁의 pnpn 싸이리스터가 M₁의 바이폴라 트랜지스터 방전경로 역할을 하고, T₁의 p기판/n⁺애노드 순방향 다이오드가 M₁의 p기판/n⁺드레인 순방향 다이오드 방전경로 역할을 한다.

pnpn 싸이리스터 경우 유지전압이 낮아 온도 상승이 큰 문제가 되지 않으므로 lvtr_thyristor 소자의 폭은 크지 않아도 되나, ND 모드를 대비하여 M₂에 충분한 소자폭을 지정하여야 함을 알 수 있다.

그림 8은 NMOS 소자를 이용하는 보호회로 경우 PTP 모드에서의 주 방전경로를 보여준다. 그림에서 볼 수 있듯이, M₁의 바이폴라 트랜지스터와 다른 입력패드에 위치한 M₃의 p기판/n⁺드레인 순방향 다이오드가 직렬로 주 방전경로를 형성한다. 이와 유사하게 lvtr_thyristor 소자를 이용하는 보호회로 경우에는 T₁의 pnpn 싸이리스터와 다른 입력패드에 위치한 T₃의 p기판/n⁺애노드 순방향 다이오드가 직렬로 주 방전경로를 형성함을 추측할 수 있다.

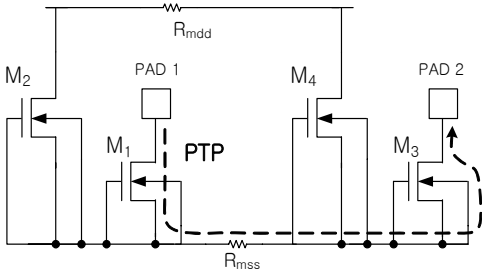


Fig. 8. Main discharge path for the PTP mode in the protection circuits utilizing the NMOS device

그림 8. NMOS 소자를 이용하는 보호회로 경우 PTP 모드에서의 주 방전경로

IV. HBM 혼합모드 과도 시뮬레이션

HBM 테스트 상황은 그림 9의 등가회로로 모델될 수 있다. 그림의 등가회로는 PS 모드를 가정한 것이며, 'Test environment'라고 표시된 부분은 테스트 장비의 연결 상황에 대한 등가회로에 해당된다. C_{ESD} 와 R_{ESD} 는 각각 인체의 커패시턴스와 접촉저항을 의미하며 국제표준에 의해 100pF과 1.5kΩ로 지정하였다. C_s , C_t , L_s 는 테스트 장비와 칩 사이에 존재하는 작은 기생요소들로서 이들에 대한 전형적인 값인 1pF, 10pF, 5μH를 각각 지정하였다[6]. 그림의 V_{ESD} 는 ESD 인가 전압에 해당되며 스위치 S_1 , S_2 의 온오프 절환에 의해 커패시터 C_{ESD} 에 충전된 전하의 방전이 시작된다. 시뮬레이션 시 스위치 절환 시간은 매우 짧은 0.15ns를 가정하였고 이에 따라 S_2 우측 노드의 전압은 0s에 0V, S_2 단락 시점인 0.15ns에 V_{ESD} 전압(예: 2000V)으로 상승하면서 방전이 시작된다.

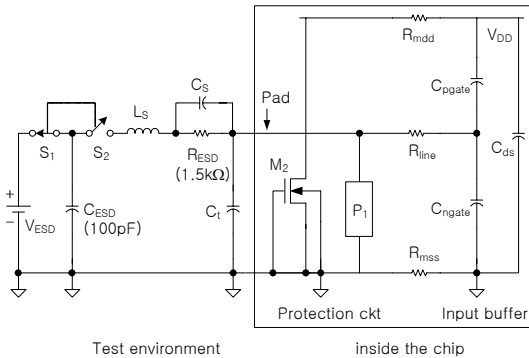


Fig. 9. An equivalent circuit of the HBM test

그림 9. HBM 테스트 등가회로

그림에서 칩 내부의 패드 부분에는 V_{DD} - V_{SS} 클램프 NMOS 소자와 보호용 소자 P_1 을 보호회로의 예로서 도시하였다.

칩 내부의 입력버퍼로는 CMOS 인버터를 가정하고 등가회로를 그림에서와 같이 커패시터로 모델링하였다. C_{ngate} , C_{pgate} , C_{ds} 는 각각 입력버퍼단의 NMOS 게이트 산화막 커패시터, PMOS 게이트 산화막 커패시터, n웰/p기판 간 접합 커패시터를 대변하며 각각 0.1pF, 0.1pF, 0.01pF의 보편적인 값을 가정하였다. 이와 같이 간단한 모델링 방법을 선택한 이유는 인버터의 NMOS와 PMOS 게이트에 인가되는 방전전압에 의한 게이트 산화막 파괴문제를 분석코자 하는 본 혼합모드 시뮬레이션의 의도에 근거한다.

R_{line} , R_{mdd} , R_{mss} 는 각각 입력 신호선 저항, V_{DD} 및 V_{SS} 금속배선 저항을 의미한다. 본 논문에서는 ESD에 보다 취약한, 패드에 가까이 위치한 입력버퍼 경우를 가정하여 $R_{line}=R_{mss}=R_{mdd}=5\Omega$ 으로 비교적 작게 지정하였다. 패드에서 멀리 위치한 입력버퍼 경우에는 R_{line} , R_{mss} , R_{mdd} 증가에 따른 RC 지연에 의해 입력버퍼에 상대적으로 낮은 전압이 인가되어 게이트 산화막 파괴 문제가 작아진다.

그림 5, 6의 두 가지 보호회로를 사용할 경우를 가정하고 그림 9의 HBM 테스트 등가회로에 대해 각각 혼합모드 과도 시뮬레이션을 시행하였다. 혼합모드 시뮬레이션 시 그림 9의 회로에 대해 회로 시뮬레이션이 수행되는 것과 동시에, 보호용 소자(M_2 , T_1)에 대해서는 소자 시뮬레이션이 연동되어 수행된다. 따라서 시뮬레이션 결과로부터 그림 9의 각 노드 전압 및 마디 전류의 시간에 따른 변화뿐만 아니라 보호용 소자내 전위, 전류, 격자온도 등 시간에 따른 모든 소자내 변화도 확인할 수 있다. 그림 8의 PTP 모드에 대한 혼합모드 시뮬레이션 시에는 총 4개의 보호용 소자에 대한 소자 시뮬레이션이 이루어지므로 시뮬레이션 시간이 가장 긴 경우가 된다.

모든 혼합모드 과도 시뮬레이션에 대해 V_{ESD} 는 일반적으로 요구되는 2000V로 지정하였다. 또한 서로 다른 두 보호회로가 열발생 측면에서 동일한 ESD 강도를 갖게 하여 보편성 있는 비교를 하기 위해, 혼합모드 시뮬레이션 시 보호용 소자 내 최고온도가 각각 500°K 정도가 되도록 수차례의 시뮬레이션을 거쳐 보호용 소자의 폭을 조정하였고, 그 결과 최종 소자폭은 NMOS 소자 경우 250μm, lvtr_thyristor 소자 경우 20μm가 되었다.

혼합모드 시뮬레이션 결과의 예로서, 그림 10은 그림 5의 NMOS 보호회로를 사용할 경우 PS 모드에서 주방전 경로인 NMOS 소자(그림 5의 M_1)에서의 시간에 따른 드레인 전류 변화를 보여준다. 최대 드레인 전류는 2.2A에 이르며 그림 9의 등가회로에서 추정할 수 있듯이 대략적으로 $R_{ESD}C_{ESD}=1.5k\Omega \times 100pF=0.15\mu s$ 의 시정수에 의한 방전특성이 관찰된다.

그림 11은 동일한 시뮬레이션 결과로부터 시간에 따른 입력버퍼단의 C_{ngate} 인가전압 및 C_{pgate} 인가전압 변화를 보여준다. 여기서 패드전압은 C_{ngate} 인가전압과 거의 차이가 나지 않아 도시하지 않았다.

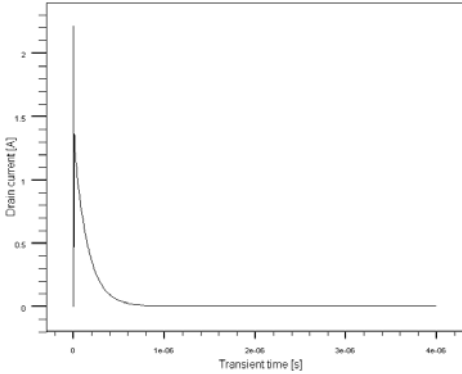


Fig. 10. Variation of the drain current of M_1 in the PS mode in case of using the NMOS protection circuit

그림 10. 보호회로 사용 경우 PS 모드에서 M_1 의 드레인 전류 변화

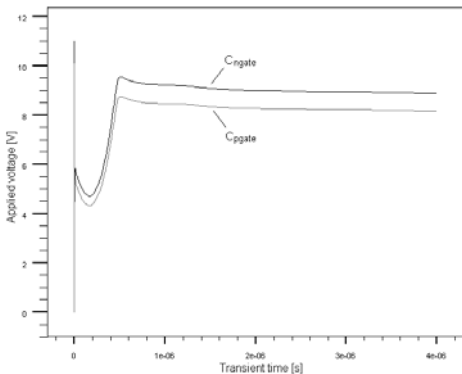


Fig. 11. Variations of the voltages across C_{ngate} and C_{pgate} in the PS mode in case of using the NMOS protection circuit

그림 11. NMOS 보호회로 사용 경우 PS 모드에서의 C_{ngate} 인가전압 및 C_{pgate} 인가전압 변화

그림 11에서 보면, 방전 초기 패드전압(= M_1 의 드레인 전압)이 11V 정도로 상승하는 시점(그림 9의 S_2 단락 후 0.67ns 경과 시점)에서 NMOS 소자의 바이폴라 트랜지스터가 트리거 되어 유지전압인 5V 정도로 패드전압이 감소하면서 바이폴라 트랜지스터를 통한 주방전이 일어난다. 방전전류가 크게 감소한 0.50 μ s 정도에 바이폴라에 의한 주방전이 종료되면서 패드전압은 9.5V 정도로 재상승함을 알 수 있다. 이 전

압은 드레인 접합의 항복전압에 해당되며, 바이폴라 동작이 종료된 이후의 방전은 본 접합의 항복모드 누설전류에 의해 오랜 시간동안 지속된다. 따라서 방전 후기 C_{ngate} 에는 최대 9.5V 정도의 전압이 인가되며, C_{pgate} 에는 V_{DD} 노드가 주 방전경로에 있지 않아 C_{ngate} 대비 전체적으로 1V 정도 낮은 전압이 인가된다.

방전이 진행됨에 따라 항복전류가 감소하므로 방전 종료에 소요되는 시간은 매우 길며 추가의 시뮬레이션에 의해 패드전압이 5V까지 감소하는 데 소요되는 시간은 7.4ms, 3V까지 감소하는 데 소요되는 시간은 18.5ms에 이르는 것을 확인하였다.

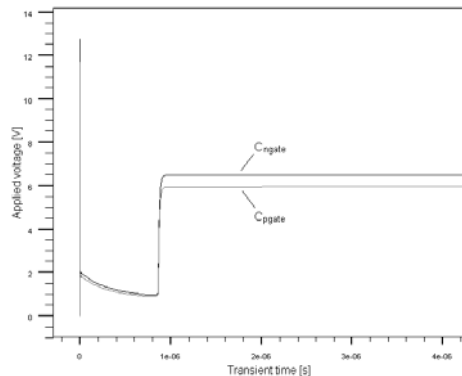


Fig. 12. Variations of the voltages across C_{ngate} and C_{pgate} in the PS mode in case of using the $lvtr_thyristor$ protection circuit

그림 12. $lvtr_thyristor$ 보호회로 사용 경우 PS 모드에서의 C_{ngate} 인가전압 및 C_{pgate} 인가전압 변화

그림 12는 그림 6의 $lvtr_thyristor$ 보호회로를 사용할 경우 PS 모드에서의 시간에 따른 입력버퍼단의 C_{ngate} 인가전압과 C_{pgate} 인가전압의 변화를 보여준다. 주방전 경로인 $lvtr_thyristor$ (그림 6의 T_1)의 애노드를 통한 전류 변화는 그림 10과 거의 유사함을 확인하였다.

방전 초기 패드전압이 12.8V 정도로 상승하는 시점(S_2 단락 후 0.77ns 경과 시점)에서 바이폴라 트랜지스터가 트리거 된 후, npn 싸이리스터가 트리거 되어 싸이리스터 유지전압인 2V 정도로 패드전압이 감소하면서 싸이리스터를 통한 주 방전이 일어난다. 방전전류가 크게 감소한 0.9 μ s 정도에 싸이리스터 동작에 의한 주방전이 종료되면서 패드전압은 6.5V 정도로 재상승하여 오랜 시간 유지됨을 알 수 있다. 이때의 주된 애노드 전류성분은 n웰/p기판 접합의 항복전류와 MOS 약반전 전류임을 확인하였다.

이 경우에도 C_{pgate} 에는 C_{ngate} 대비 전체적으로 1V

가까이 낮은 전압이 인가된다.

추가 시물레이션에 의해 페드전압이 5V까지 감소하는 데 소요되는 시간은 165ms, 3V까지 감소하는 데 소요되는 시간은 510ms에 이르는 것을 확인하였다.

1. 방전 초기 입력버퍼단 게이트 산화막 인가전압

앞서 분석한 PS 모드 경우, 방전초기에 NMOS 소자의 바이폴라 트랜지스터와 lvtr_thyristor 소자의 pnpn 싸이리스터의 트리거 시점은 그림 9의 S₂ 단락 후 각각 0.67ns와 0.77ns로 큰 차이가 없으며, 트리거에 소요되는 시간으로 인해 방전개시 직후 보호용 소자에는 순간적으로 스넵백전압보다 높은 전압(NMOS 소자 경우 11V, lvtr_thyristor 소자 경우 12.8V)이 유기된다. 이에 따라 그림 11, 12에서 볼 수 있는 바와 같이 방전초기에 페드 및 입력버퍼단 게이트 산화막에 높은 전압이 인가된다.

테스트 모드에 따라 방전 초기 입력버퍼단의 게이트 산화막에 인가되는 최대전압은 C_{ngate} 또는 C_{pgate}에 나타나며, 각 모드별로 시행한 혼합모드 시물레이션 결과로부터 방전 초기 최대전압이 인가되는 테스트 모드를 취약모드로 정의하여 최대전압의 크기 및 인가 위치, 시점을 정리하면 표 4와 같다.

Table 4. Peak voltage applied to the input-buffer gate oxides in the early stage of discharge

표 4. 방전 초기 입력버퍼단 게이트 산화막 인가 최대 전압

보호회로 방식	취약 모드	최대전압[V]		시점[ns]
		C _{ngate}	C _{pgate}	
NMOS	PS	11.0		0.68
	PD		11.9	0.62
	ND		11.8	0.62
lvtr_thyristor	PS	12.8		0.78
	PD		13.3	0.66
	ND		13.5	0.83

사용하는 보호회로의 종류와 무관하게 PD와 ND 모드의 방전 초기에 C_{pgate}에 최대전압이 인가됨을 알 수 있다. 하지만 이러한 전압이 예를 들어 10V 이상 인가되는 기간이 0.2ns 이하일 정도로 매우 짧으므로 방전 초기 입력버퍼단의 게이트 산화막 손상은 야기되지 않을 것으로 판단된다[7].

2. 방전 후기 입력버퍼단 게이트 산화막 인가전압

방전 후기 입력버퍼단 게이트 산화막에 걸리는 최대전압 역시 테스트 모드에 따라 C_{ngate} 또는 C_{pgate}에서 나타나며, 각 모드별 시행한 혼합모드 과도 시물레이션 결과로부터 방전 후기 최대전압이 인가되는

테스트 모드를 취약모드로 정의하여 최대전압의 크기를 정리하면 표 5와 같다.

Table 5. Peak voltage applied to the input-buffer gate oxides in the later stage of discharge

표 5. 방전 후기 입력버퍼단 게이트 산화막 인가 최대 전압

보호회로 방식	취약모드	최대전압[V]	
		C _{ngate}	C _{pgate}
NMOS	PD	9.6	10.4
	ND		10.4
lvtr_thyristor	ND		10.7

PS 모드의 결과와 관련하여 앞에서 설명한 바와 같이 방전 후기의 페드전압은 방전 초기와 달리 장시간 유지되므로 입력 버퍼단 게이트 산화막의 파괴를 야기할 수 있다.

NMOS 보호회로 사용 경우 PD 모드에서 C_{pgate} 인가전압이 C_{ngate} 인가전압 대비 높은 것은 그림 7의 M₁ 드레인 항복전압에 M₂에서의 다이오드 순방향 전압강하가 직렬로 추가되기 때문이다. 마찬가지로 이유로 ND 모드 경우 C_{pgate}에 10.4V의 전압이 인가된다.

lvtr_thyristor 보호회로 사용 경우 ND 모드에서 C_{pgate}에 10.7V의 최대전압이 인가되며, 이는 클램프 NMOS 소자(M₂)의 드레인 항복전압과 lvtr_thyristor 소자(T₁)내 다이오드 순방향 전압강하의 합에 해당된다. NMOS 대비 다소 높은 이유는 lvtr_thyristor 소자폭이 상대적으로 작아 다이오드 전압강하가 다소 크기 때문으로 판단된다.

표 5의 방전 후기 게이트 산화막에 인가되는 최대전압을 기준으로 볼때 NMOS 보호회로 경우 취약모드는 PD와 ND 모드이고, 입력버퍼단 게이트 산화막 두께가 동일하다면 PMOS 게이트 산화막이 상대적으로 취약함을 알 수 있다. lvtr_thyristor 보호회로 경우 취약모드는 ND 모드이며 역시 입력버퍼단의 PMOS 게이트 산화막이 상대적으로 취약함을 알 수 있다.

표 5의 취약모드에서 입력버퍼단의 게이트 산화막에 인가되는 최대전압은 보호회로 방식 간에 큰 차이가 없음을 알 수 있다. 이는 취약모드에서의 최대전압이 주로 V_{DD}-V_{SS} 클램프 NMOS 소자의 드레인 항복전압에 의해 결정되기 때문이다. 방전 후기 입력버퍼단에 인가되는 전압을 줄이기 위해서는 V_{DD}-V_{SS} 클램프 NMOS 소자 대신 다이오드 string을 사용하는 방식이 제안되었으나[8], V_{DD}-V_{SS} 간 누설전류 문제를 해결하기 위해서는 비표준 CMOS 공정의 사용이 필요할 수 있다[9].

3. 열적파괴 측면의 취약모드 및 최고온도 위치

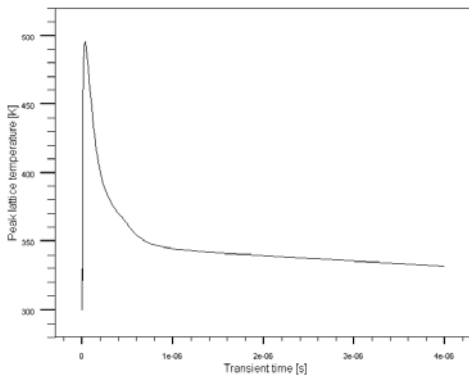


Fig. 13. Variation of the peak temperature inside the NMOS device(M_1) in the PS mode in case of using the NMOS protection circuit

그림 13. NMOS 보호회로 사용 경우 PS 모드에서의 NMOS 소자(M_1)내 최고온도 변화

NMOS 보호회로 경우 PS 모드에서의 주 방전경로는 M_1 이므로 최고온도는 M_1 소자에서 나타나며, 그림 13은 시간에 따른 M_1 소자내 최고온도의 변화를 보여준다. 바이폴라 동작 기간 중인 30ns 정도에 최고 495°K까지 상승 후 방전전류의 감소에 따라 서서히 감소함을 알 수 있다. 소자내 2차원 온도 분포를 조사한 결과 최고온도 지점은 게이트 쪽 n^+ 드레인 접합임을 확인하였다.

싸이리스터 보호회로 경우 PS 모드에서의 주 방전경로는 T_1 이므로 최고온도는 T_1 소자에서 나타난다. 0.9ns 정도에 잠시 최고 473°K까지 상승 후 pnpn 싸이리스터가 트리거되면서 유지전압 감소와 동시에 330°K까지 감소한 후 방전전류의 증가와 더불어 재상승하여 47ns에 421°K까지 상승한 뒤 방전전류의 감소에 따라 서서히 감소한다. 0.9ns에서 최고온도 지점은 높은 전계가 인가되어 항복이 발생하는 n웰 우측의 n^+ 접합이고, 47ns에서 최고온도 지점은 전류가 집중되는 n^+ 캐소드 접합임을 확인하였다.

보호용 소자내 온도 상승이 가장 높은 모드를 취약모드로 정의할 경우, 각 보호회로 방식별 취약모드, 소자내 최고온도 위치 및 시점은 표 6과 같다.

두 가지 보호회로 방식에 공통으로 사용되는 NMOS 소자에서의 최고온도 지점은 M_1 , M_2 구분 없이 모두 게이트 쪽 드레인 접합이며, 이러한 현상이 그림 1에서 게이트/드레인 콘택 간격을 크게 지정하는 이유가 된다.

Table 6. Weak modes, peak temperature locations and times depending on the protection scheme

표 6. 보호회로 방식별 취약모드, 최고온도 위치 및 시점

보호회로 방식	취약모드	최고온도 [°K]	최고온도	
			위치	시점 [ns]
NMOS	PS, PD, PTP	495	M_1 의 게이트 쪽 드레인 접합	32
	ND	495	M_2 의 게이트 쪽 드레인 접합	31
lvtr_thyristor	PS	473	T_1 의 n웰 우측 n^+ 접합	0.9
		421	T_1 의 n^+ 캐소드 접합	47
	ND	495	M_2 의 게이트 쪽 드레인 접합	33

lvtr_thyristor 보호회로 경우 T_1 소자에서의 최고온도 지점은 n웰 우측의 n^+ 접합이나 본 접합에는 콘택이 없어 콘택 용융에 의한 문제발생의 우려는 작다고 할 수 있다.

표에서 볼 수 있듯이 lvtr_thyristor 소자내 두 번째 최고온도 지점은 n^+ 캐소드 접합이며, 이 접합을 보완하기 위해 접합면적의 증가 또는 ESD 이온주입 등의 접합 엔지니어링을 고려할 수 있겠다. 하지만 n^+ 캐소드는 패드에 연결되지 않으므로 입력노드에 추가되는 커패시턴스는 증가하지 않는다.

V. AC 소자 시뮬레이션

본 절에서는 앞서 비교한 그림 5와 6의 두 보호회로 방식을 사용할 경우 입력패드에 추가되는 기생성분의 양을 AC 소자 시뮬레이션에 의해 계산해 본다.

그림 1의 보호용 NMOS 소자를 패드에 연결할 경우 드레인 노드만 패드에 연결되므로 드레인을 제외한 모든 노드들을 접지로 한 상태에서 드레인 노드에 AC 전압을 인가하여 시뮬레이션을 시행하였다. 그림 3의 lvtr_thyristor 소자 경우에는 n^+ 애노드와 p^+ 애노드가 패드에 함께 연결되므로 이들을 제외한 모든 노드들을 접지로 한 상태에서 애노드에 AC 전압을 인가하였다. 이때 소자 특성의 비교를 단순화하기 위해 모든 노드의 DC 전압은 0V로 지정하였다.

개략적인 기생성분의 크기 비교를 위한 보호용 소자의 AC 등가회로로는 직렬 RC 형태가 적절하며 [10], 참고문헌 [10]에서의 방법에 따라 AC 소자 시뮬레이션에 의해 주파수 함수로 구한 어드미턴스 값과 AC 등가회로에 의한 어드미턴스 값과의 fitting을 통해 얻은 모델 파라미터 R과 C의 값은 표 7과 같다.

표의 수치는 소자폭이 1 μ m인 소자의 R과 C 값에 해당된다.

Table 7. Parasitics of each protection device

표 7. 보호용 소자별 기생성분

보호용 소자	C [F/ μ m]	R [$\Omega \cdot \mu$ m]
NMOS	4.45×10^{-15}	1.0×10^3
lvtr_thyristor	3.1×10^{-15}	1.4×10^4

NMOS 소자 경우 주 커패시턴스는 n⁺드레인/p기판 접합 커패시턴스이며 접합의 깊이 및 면적이 커서 C 값이 비교적 크다.

lvtr_thyristor 소자의 주 커패시턴스는 그림 3에서 알 수 있는 바와 같이 n웰/p기판 접합 커패시턴스와 n웰 우측의 n⁺접합/p기판 접합 커패시턴스의 병렬합성이다. 결과적인 1 μ m 당 커패시턴스는 NMOS 보호용 소자 경우의 70% 정도에 이른다.

Table 8. Parasitics added to the input node in each protection scheme

표 8. 보호회로 방식별 입력노드 추가 기생성분

보호회로 방식	C [F]	R [Ω]
NMOS(250 μ m)	1.1×10^{-12}	4.0
lvtr_thyristor(20 μ m)	6.2×10^{-14}	700

표 8은 입력패드에 추가되는 기생성분을, 표 7의 결과로부터 소자폭(괄호 안에 표기)을 감안하여 계산한 결과이다. 종합해 보면 lvtr_thyristor 보호회로를 사용할 경우 NMOS 보호회로 사용 경우와 비교 시, 온도 상승 면에서 유사한 수준의 ESD 강도를 제공하면서 입력패드에 추가되는 커패시턴스 양은 1/18 미만의 수준으로 크게 감소시킬 수 있음을 알 수 있다.

VI. 추가 논의

1. NMOS 소자 설계 시 주의 사항

추가된 혼합모드 과도 시뮬레이션을 통해 보호용 NMOS 소자에서 p형 기판 콘택을 가까이 배치하지 않을 경우 아래와 같은 사유로 인해 ESD 보호강도에 문제가 발생할 수 있음을 발견하였다.

PD, ND 및 NS 모드의 방전 초기 그림 7의 M₁ 또는 M₂가 pn(p기판/n⁺드레인) 순방향 다이오드로 동작하는 상황에서 p형 기판 콘택을 가까이 배치하지 않을 경우 기판 분포저항에서의 전압강하로 인해 n⁺소스/p기판 접합에 역바이어스가 인가된다. 이 경우 p기판/n⁺드레인 접합이 순방향 바이어스 상태이므로 NMOS 소자내 기생 npn(n⁺드레인/p기판/n⁺소스) 바이폴라 트랜지스터가 동작되어 M₁ 또는 M₂의 n⁺소

스 접합 온도가 크게 상승하는 문제가 발생할 수 있다. 또한 이러한 현상의 결과로 PD 및 ND 모드 경우 입력버퍼단 PMOS 게이트 산화막에 M₂와 M₁ 유지전압의 합인 12V 정도의 전압이 인가되어 게이트 산화막의 파괴 문제를 야기할 수 있다. 따라서 보호용 NMOS 소자 레이아웃 시 그림 1에 보인 바와 같이 p형 기판 콘택을 가능한 가까이 배치하는 것이 매우 중요하다.

2. lvtr_thyristor 소자 설계 시 주의 사항

NMOS 보호회로 경우와 동일한 문제가 발생할 수 있다. p형 기판 콘택을 가까이 배치하지 않을 경우 NS 및 ND 모드 경우 패드에 연결되는 소자 T₁이 pn(p형기판/n⁺에노드) 순방향 다이오드로 동작하는 상황에서 마찬가지로 이유로 npn(n⁺에노드/p기판/n⁺캐소드) 바이폴라가 동작되어 T₁의 n⁺캐소드 온도가 크게 상승하는 문제가 발생하고, ND 모드 경우에는 입력버퍼단 PMOS 게이트 산화막에 높은 전압이 인가될 수 있다. 따라서 p형 기판 콘택을 가능한 가까이 배치하는 것이 역시 중요하다.

VII. 결론

보호용 NMOS 소자 또는 lvtr_thyristor 소자를 사용하는 고주파 CMOS IC용 입력 ESD 보호회로 방식을 대상으로, 2차원 소자 시뮬레이터를 이용하는 DC, 혼합모드 과도 및 AC 해석을 통해 HBM 방전 특성에 대한 심도있는 비교 분석을 시도하였다.

입력 ESD 보호회로가 장착된 CMOS 칩의 HBM 테스트 상황에 대한 등가회로 모델을 제시한 후, 5가지 테스트 모드에 대해 최대 4개의 보호용 소자를 포함하는 혼합모드 과도 시뮬레이션을 시행하고 그 결과를 분석함으로써 실제 HBM 테스트에서 발생할 수 있는 문제점들에 대한 상세한 분석을 시도하였다. 본 논문의 기여사항을 요약하면 다음과 같다.

- 1) HBM 정전기 방전 시 발생가능한 문제점의 분석을 위한 소자 시뮬레이션 기반 과도해석 방법을 제시하였다.
- 2) ESD 보호회로 방식별로 보호용 소자내의 온도 상승 측면에서의 취약 테스트 모드를 규명하는 한편, 보호용 소자내의 최고온도 지점을 규명하였다.
- 3) 보호회로 방식별로 입력버퍼단의 게이트 산화막에 인가되는 최대전압 측면에서의 취약모드를 규명하였다.
- 4) 보호회로 방식별로 입력노드에 추가되는 기생성분의 크기를 정량적으로 비교하였다.
- 5) 보호용 소자 자체의 온도 상승 및 입력버퍼단 게이트 산화막에 인가되는 전압을 최소화하기 위한 보호용 소자별 설계 기준을 제시하였다.

참고문헌

- [1] A. Chatterjee and T. Polgreen, "A low-voltage triggering SCR for on-chip ESD protection at output and input pads," *IEEE Electron Devices Lett.*, vol. 12, pp. 21-22, Aug. 1991.
- [2] H. Feng, G. Chen, R. Zhan, Q. Wu, X. Guan, H. Xie, and A. Z. H. Wang, "A mixed-mode ESD protection circuit simulation-design methodology," *IEEE J. Solid-State Circuits*, vol. 38, pp. 995-1006, June 2003.
- [3] S. Aur, A. Chatterjee, and T. Polgreen, "Hot-carrier reliability and ESD latent damage." *IEEE Trans. Electron Devices*, vol. 35, pp. 2189-2193, Dec. 1988.
- [4] ATLAS II Framework, Version 5.10.2.R, Silvaco International, 2005.
- [5] A. Amerasekera, L. van Roozendaal, J. Bruines, and F. Kuper, "Characterization and modeling of second breakdown in nMOST's for extraction and ESD-related process and design parameters." *IEEE Trans. Electron Devices*, vol. 38, pp. 2161-2168, Sept. 1991.
- [6] C. H. Diaz, S. M. Kang, and C. Duvvury, *Modeling of electrical overstress in integrated circuit*, Kluwer Academic Publishers, 1995.
- [7] Z. H. Liu, E. Rosenbaum, P. K. Ko, C. Hu, Y.C. Cheng, C. G. Sodini, B. J. Gross, T.P. Ma, "A comparative study of the effect of dynamic stressing on high-field endurance and stability of reoxidized-nitrided, fluorinated and conventional oxides," in *IEDM Tech. Dig.*, 1991, pp. 723-726.
- [8] T. J. Maloney, S. Dabral, "Novel clamp circuits for IC power supply protection," *IEEE Trans. Components, Packaging, and Manufacturing Technology*, part C, vol. 19, issue 3, pp. 150-161, July 1996.
- [9] M.-D. Ker, Y.-W. Hsiao, and W.-L. Wu, "ESD-protection design with extra low-leakage-current diode string for RF circuits in SiGe BiCMOS process," *IEEE Trans. Device and Materials Reliability*, vol. 6, pp. 517-527, Dec. 2006.
- [10] 최진영, "정전기 보호용 소자의 AC 모델링에 관한 연구," *전기전자학회논문지*, 제 8권, 제 1호, pp. 136-144, 2004년 7월.

저 자 소 개

최진영 (정회원)



1979년 : 서울대학교 전기공학과 졸업 (공학사)

1986년 : 플로리다대학교 대학원 전기공학과 (공학석사)

1991년 : 플로리다대학교 대학원 전기공학과 (공학박사)

1992년 8월~현재 : 홍익대학교 교수

<주관심분야> 반도체 소자 모델링, ESD 보호회로 분석 및 설계, RF 집적회로 설계